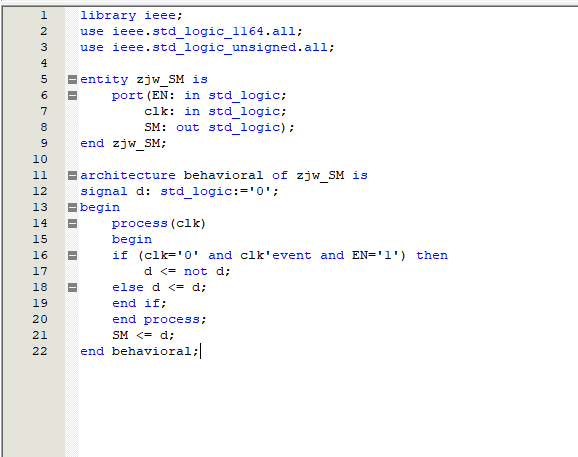
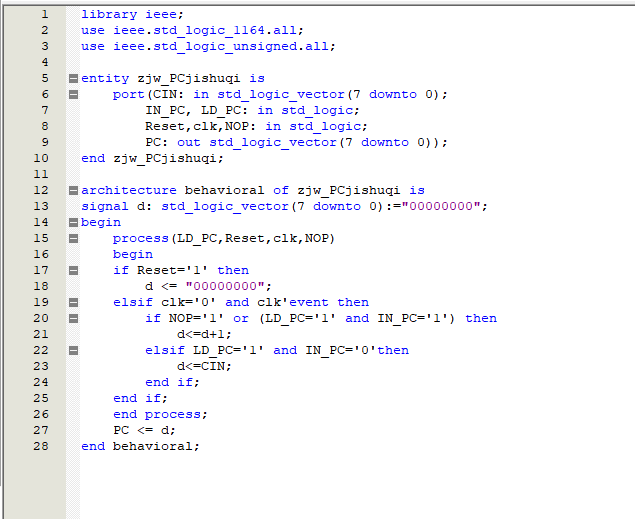
# 实验四预习

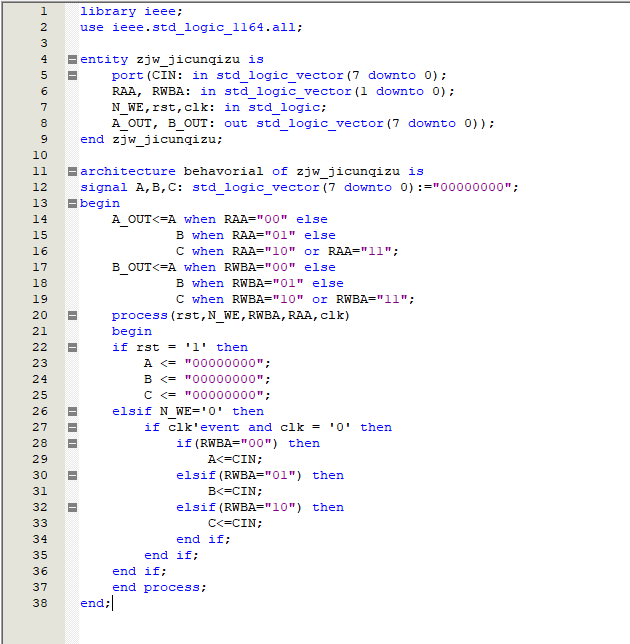
## 用 VHDL 语言编写 SM



## 用 VHDL 语言编写程序计数器 PC



## 用 VHDL 语言编写寄存器组



## 采用 LPM\_RAM\_IO 定制

