

满足要求?

3.4.7 思考题

- (1) 如何用 RS 触发器组成防抖电路?
- (2) JK 触发器与 RS 触发器的区别是什么? 什么是电平触发? 什么是边沿触发?
- (3) 观察 D 触发器时序波形, 示波器触发信号源及触发信号极性如何选择? 触发电平如何调节?

3.4.8 实验报告要求

- (1) 列表整理各类触发器的逻辑功能。
- (2) 写出实验电路的过程, 并画出电路图。
- (3) 画出观察到的相应触发器的波形图, 说明各触发器的触发方式。
- (4) 总结在实验中遇到的问题及解决方法和注意事项。

3.5 计数器及其应用

3.5.1 实验目的

- (1) 学习用集成触发器构成计数器的方法。
- (2) 掌握中规模集成计数器的使用及功能测试方法。
- (3) 掌握二进制计数器和十进制计数器的工作原理和使用方法。

3.5.2 实验仪器及设备

- (1) 数字逻辑实验箱 1 台
- (2) 万用表 1 块
- (3) 双踪示波器 1 台
- (4) 集成元件 74LS74, CC40192, 74LS00, 74LS196, 74LS161, 74LS20。

3.5.3 预习要求

- (1) 了解有关计数器的内容。
- (2) 画出各实验内容的详细线路图。
- (3) 拟出各实验内容所需的测试记录表格。
- (4) 熟悉实验所用各集成块的引脚排列图。

3.5.4 实验原理

计数器是一个用以实现计数功能的时序部件, 它是用不同状态来表示输入脉冲的个数。计数器在数字系统中使用非常广泛, 因为它既可作数字系统的定时, 还可用于分频、产生节拍脉冲和执行数字运算以及其他特定的逻辑功能。

计数器种类很多, 按时钟控制方式分, 有同步计数器和异步计数器; 按计数制的不同,

分为二进制计数器、十进制计数器和任意进制计数器;按计数过程的增减,又分为加法、减法和可逆计数器;还有可预置数和可程序功能计数器,等等。现在使用的计数器,无论是 TTL 还是 CMOS 集成电路,具备品种较齐全的中规模集成计数器。使用者通常借助于器件手册提供的功能表、工作波形图和引出端的排列,可以正确地运用这些器件。

1. 用 D 触发器构成异步二进制加/减计数器

图 3.5.1 是用四只 D 触发器构成四位二进制异步加法计数器,它的连接特点是将每只 D 触发器接成 T'触发器,再由低位触发器的 \bar{Q} 端和高一位的 CP 端相连接。若将图 3.5.1 稍加改动,即将低位触发器 Q 端与高一位的 CP 端相连接,就构成了一个四位二进制减法计数器。

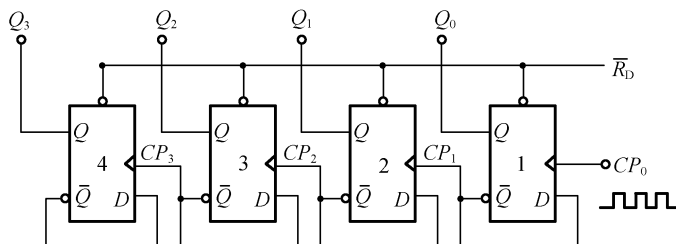


图 3.5.1 四位二进制异步加法计数器

2. 计数、译码、显示的电路图

计数、译码、显示电路由十进制计数器 74LS196、译码器 CC4511 和显示器组成。CC4511 可以把 8421 编码的十进制数译成七段输出 a, b, c, d, e, f, g , 用以驱动共阴极 LED。由 CP 端输入单脉冲和 1 Hz 连续脉冲, 通过显示器观察电路的自动计数功能。电路如图 3.5.2 所示。

3. 中规模十进制计数器

CC40192 是同步十进制可逆计数器, 具有双时钟输入, 并具有清除和置数等功能, 其引脚排列及逻辑符号如图 3.5.3 所示。图中 \overline{LD} 为置数端; CP_U 为加计数端; CP_D 为减计数端; \overline{CO} 为非同步进位输出端; \overline{BO} 为非同步借位输出端; D_0, D_1, D_2, D_3 为计数器输入端; Q_0, Q_1, Q_2, Q_3 为数据输出端, CR 为清除端。

CC40192 的功能如表 3.5.1 所示, 说明如下: 当清除端 CR 为高电平“1”时, 计数器直接清零; CR 置低电平则执行其他功能。当 CR 为低电平, 置数端 \overline{LD} 也为低电平时, 数据直接从置数端 D_0, D_1, D_2, D_3 置入计数器。当 CR 为低电平, \overline{LD} 为高电平时, 执行计数功能。执行加计数时, 减计数端 CP_D 接高电平, 计数脉冲由 CP_U 输入, 在计数脉冲上升沿进行 8421 码十进制加法计数; 执行减法计数时, 加计数端 CP_U 接高

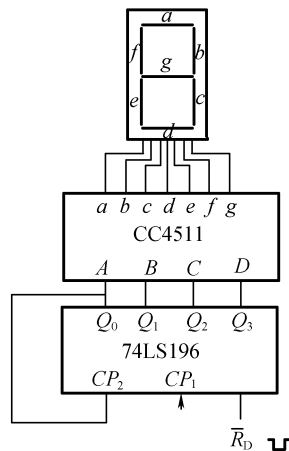


图 3.5.2 计数、译码、显示电路

电平,计数脉冲由减计数端 CP_D 输入。表 3.5.2 为 8421 码十进制加、减计数器状态转换表。

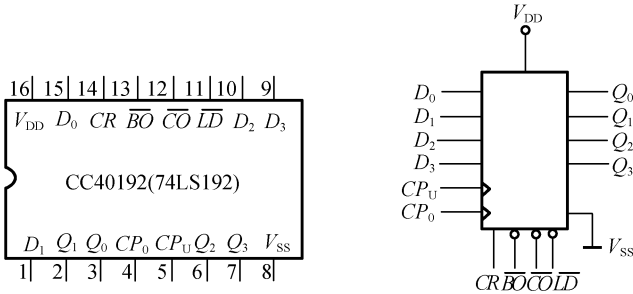


图 3.5.3 CC40192 引脚排列及逻辑符号

表 3.5.1 CC40192 功能表

输入								输出			
CR	\overline{LD}	CP_U	CP_D	D_3	D_2	D_1	D_0	Q_3	Q_2	Q_1	Q_0
1	×	×	×	×	×	×	×	0	0	0	0
0	0	×	×	d	c	b	a	d	c	b	a
0	1	↑	1	×	×	×	×	加 计 数			
0	1	1	↑	×	×	×	×	减 计 数			

表 3.5.2 计数器状态转换表

加法计数 →											
输入脉冲数	0	1	2	3	4	5	6	7	8	9	
输出	Q_3	0	0	0	0	0	0	0	1	1	
	Q_2	0	0	0	0	1	1	1	0	0	
	Q_1	0	0	1	1	0	0	1	0	0	
	Q_0	0	1	0	1	0	1	0	1	0	1
← 减法计数											

4. 任意进制计数器

目前常用的计数器主要是二进制和十进制,在需要任意一种进制的计数器时,只能将现有的计数器改接而获得。假设已有的是 N 进制计数器,而需要得到的是 M 进制计数器。这时有 $M < N$ 和 $M > N$ 两种可能的情况。实现的方法有置零法(或称复位法)和置数法(置位法)两种。74LS161 是集成 TTL 四位二进制加法计数器,其管脚图 3.5.4 所示,用此方法可实现 16 以内的任意进制分频器。

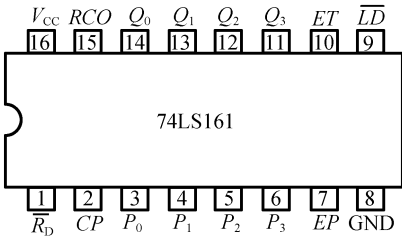


图 3.5.4 74LS161 引脚图

3.5.5 实验内容及步骤

1. 用 CC4013 或 74LS74 D 触发器构成 4 位二进制异步加法计数器

(1) 按图 3.5.1 接线, $\overline{R_D}$ 接至逻辑开关输出插口, 将低位 CP_0 端接单次脉冲源, 输出 Q_3, Q_2, Q_1, Q_0 接逻辑电平显示输入插口, $\overline{S_D}$ 接高电平“1”。

(2) 清零后, 逐个送入单次脉冲, 观察表 3.5.3 中数据。

(3) 将单次脉冲改为 1 Hz 的连续脉冲, 观察 $Q_3 \sim Q_0$ 的状态。

(4) 将 1 Hz 的连续脉冲改为 1 kHz, 用双踪示波器观察 CP, Q_3, Q_2, Q_1, Q_0 端波形, 并记录波形图。

(5) 将图 3.5.1 电路中的低位触发器的 Q 端与高一位的 CP 端相连接, 构成减法计数器, 按实验内容(2)(3)(4)进行实验, 观察并列表记录 $Q_3 \sim Q_0$ 的状态。学生自己列表并绘制波形图。

2. 计数、译码、显示综合电路

按图 3.5.2 接线, 实验台上已完成了译码器 CC4511 和显示器之间的连接, 实验时只要将十进制计数器的输出端 Q_0, Q_1, Q_2, Q_3 直接连到译码器的相应的输入端 A, B, C, D 。在 CP 端输入单脉冲或 1 Hz 的连续脉冲, 通过显示器观察电路的自动计数功能(显示 0 ~ 9 个数字)。

3. 测试 CC40192 同步十进制可逆计数器的逻辑功能

按图 3.5.3 接线, 计数脉冲由单次脉冲源提供, 清除端 CR 、置数端 \overline{LD} 、数据输入端 D_3, D_2, D_1, D_0 分别接逻辑开关, 输出端 Q_3, Q_2, Q_1, Q_0 接逻辑电平显示输入插口; \overline{CO} 和 \overline{BO} 接逻辑电平显示插口。按表 3.5.1 逐项测试并判断该集成块的功能是否正常。

(1) 清除

令 $CR = 1$, 其他输入为任意态, 这时 $Q_3 Q_2 Q_1 Q_0 = 0000$, 译码数字显示为 0。清除功能完成后, 置 $CR = 0$ 。

(2) 置数

$CR = 0, CP_U, CP_D$ 任意状态, 数据输入端输入任意一组二进制数, 令 $\overline{LD} = 0$, 观察显示输出、预置功能是否完成, 此后置 $\overline{LD} = 1$ 。

(3) 加计数

$CR = 0, \overline{LD} = CP_D = 1, CP_U$ 接单次脉冲源。清零后送入 10 个单次脉冲, 观察译码数字显示是否按 8421 码十进制状态转换表进行; 输出状态变化是否发生在 CP_U 的上升沿。

(4) 减计数

$CR = 0, \overline{LD} = CP_U = 1, CP_D$ 接单次脉冲源。参照(3)进行实验。

表 3.5.3

计数脉冲数	二 进 制 数				十进制数
	Q_3	Q_2	Q_1	Q_0	
0	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	2
3	0	0	1	1	3
4	0	1	0	0	4
5	0	1	0	1	5
6	0	1	1	0	6
7	0	1	1	1	7
8	1	0	0	0	8
9	1	0	0	1	9
10	1	0	1	0	10
11	1	0	1	1	11
12	1	1	0	0	12
13	1	1	0	1	13
14	1	1	1	0	14
15	1	1	1	1	15
16	0	0	0	0	0

4. 选做实验

任意进制计数器的构成实现:利用输出信号对输入端的不同反馈,可以实现任意进制计数器。74LS161 是一种四位二进制可预置的同步加法计数器,图 3.5.4 是其引脚图。

合理应用计数器的清零功能和置数功能,一片 74LS161 可以构成 16 以下的任意进制分频器。图 3.5.5 是构成 7 分频的电原理图。图中每个时钟 (CP) 脉冲作用后,74LS161 就加“1”,当 $Q_2 = Q_1 = Q_0 = “1”$ 时,74LS20 输入全“1”、输出为“0”。计数器立即复位并重新开始计数。74LS161 输出端随时钟脉冲输入的变化规律列于表 3.5.4。每输入 7 个时钟脉冲,复位控制与非门的输出端就有一个很窄的负脉冲,脉冲的宽度约为 $2t_{pd}$ 。

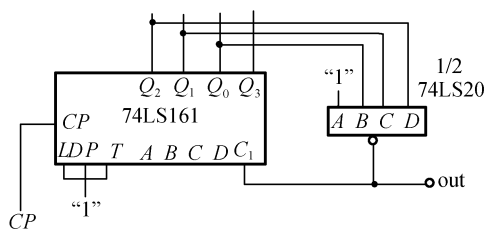


图 3.5.5 7 分频电原理图

表 3.5.4 7 分频电路中各触发器的输出状态

CP	Q_3	Q_2	Q_1	Q_0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1

3.5.6 注意事项

- (1) 用 D 触发器构成异步二进制加/减计数器的区别。
- (2) 具有时钟控制的复位端 $\overline{R_D}$ 和置位端 $\overline{S_D}$ 应按规定接高电平。
- (3) 检查电路接线是否正确。

3.5.7 思考题

- (1) 分析同步计数器和异步计数器的方法上有什么异同之处？
- (2) 使用 MSI 计数器设计其他进制计数器时,采用反馈归零和复位法有何区别？说明各自电路工作状态数与进制数的关系。
- (3) 如何用 74LS192 实现六进制加法计数器？

3.5.8 实验报告要求

- (1) 写出实验步骤,画出实验线路图,记录实验数据及实验所得的有关波形图。
- (2) 总结使用计数器的注意事项。
- (3) 总结使用集成计数器的体会。对实验结果进行分析。

3.6 移位寄存器及其应用

3.6.1 实验目的

- (1) 掌握中规模 4 位双向移位寄存器逻辑功能及使用方法。
- (2) 熟悉移位寄存器的应用和构成环形计数器。
- (3) 掌握移位寄存器的测试方法。