

3.3.7 思考题

- (1) 如何应用 74LS138 实现 4—16 线译码器?
- (2) 使用 LED 时为什么要接限流电阻? 实验中注意对 LED 的电阻选择和连接。
- (3) 当 BCD—七段显示译码器的输入为 1010—1111 时,输出结果会怎样?

3.3.8 实验报告要求

- (1) 简述实验原理及步骤,画出实验线路图。
- (2) 整理实验数据和表格。
- (3) 总结实验中的注意事项。
- (4) 对实验结果进行分析、讨论。

3.4 触发器及其应用

3.4.1 实验目的

- (1) 熟悉基本 RS,JK,D,T 和 T'触发器的逻辑功能。
- (2) 掌握集成触发器的逻辑功能和使用方法。
- (3) 掌握触发器逻辑功能相互转换的方法。

3.4.2 实验仪器及设备

- (1) 数字逻辑实验箱 1 台
- (2) 数字万用表 1 块
- (3) 双踪示波器 1 台
- (4) 集成元件:74LS112/CC4027, 74LS74/CC4013, 74HCT04。

3.4.3 预习要求

- (1) 了解实验所需集成芯片的引脚功能。
- (2) 复习有关触发器内容。
- (3) 根据实验内容画出实验电路图,拟好数据记录表格。

3.4.4 实验原理

在数字系统中经常需要存储各种数字信息,触发器具有记忆功能,能存储 1 位二值数字信号,是构成各种时序电路的最基本逻辑单元。触发器具有以下特点:(1) 具有两个稳定状态,分别用来表示逻辑状态“1”和“0”。(2) 能根据不同的输入信号置成逻辑状态“1”和“0”。

触发器的类型:按逻辑功能不同分为:RS 触发器、D 触发器、JK 触发器、T 触发器。按触发方式不同分为:电平触发器、边沿触发器和主从触发器。按电路结构不同分为:基本 RS

触发器和钟控触发器。按存储数据原理不同分为:静态触发器和动态触发器。按构成触发器的基本器件不同分为:双极型触发器和 MOS 型触发器。

1. 基本 RS 触发器

基本 RS 触发器是最基本的触发器,用两个与非门交叉耦合构成的基本 RS 触发器。如图 3.4.1 所示。它是无时钟控制低电平直接触发的触发器。基本 RS 触发器具有置“0”、置“1”和“保持”三种功能。通常称 \bar{S} 为置“1”端,因为 $\bar{S}=0(\bar{R}=1)$ 时触发器被置“1”; \bar{R} 为置“0”端,因为 $\bar{R}=0(\bar{S}=1)$ 时触发器被置“0”,当 $\bar{S}=\bar{R}=1$ 时状态保持; $\bar{S}=\bar{R}=0$ 时,触发器状态不定,应避免此种情况发生,表 3.4.1 为基本 RS 触发器的功能表。

基本 RS 触发器,也可以用两个“或非门”组成,此时为高电平触发有效。

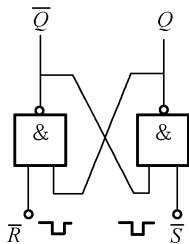


图 3.4.1 基本 RS 触发器

表 3.4.1 基本 RS 触发器功能表

输入		输出	
\bar{S}	\bar{R}	Q^{n+1}	\bar{Q}^{n+1}
0	1	1	0
1	0	0	1
1	1	Q^n	\bar{Q}^n
0	0	ϕ	ϕ

2. JK 触发器

JK 触发器的基本结构形式有主从型触发和边沿型触发两种,多数为边沿型触发,且在 CP 的下降沿(1→0)触发翻转。它具有置“0”、置“1”、保持和翻转四种功能。在输入信号为双端的情况下,JK 触发器是功能完善、使用灵活和通用性较强的一种触发器。本实验采用 74LS112 双 JK 触发器,是下降沿触发 JK 触发器。引脚功能及逻辑符号如图 3.4.2 所示。

本实验可以采用下列集成元件进行测试(74HCT112/CC4027)。

JK 触发器的状态方程为

$$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$$

J 和 K 是数据输入端,是触发器状态更新的依据,若 J,K 有两个或两个以上输入端时,组成“与”的关系,Q 与 \bar{Q} 为两个互补输出端。通常把 $Q=0, \bar{Q}=1$ 的状态定为触发器“0”状态;而把 $Q=1, \bar{Q}=0$ 定为“1”状态。JK 触发器常被用作缓冲存储器,移位寄存器和计数器。下降沿触发 JK 触发器的功能表 3.4.2 所示。

注: ×—任意态 ↓—高到低电平跳变 ↑—低到高水平跳变
 $Q^n(\bar{Q}^n)$ —现态 $Q^{n+1}(\bar{Q}^{n+1})$ —次态 ϕ —不定态

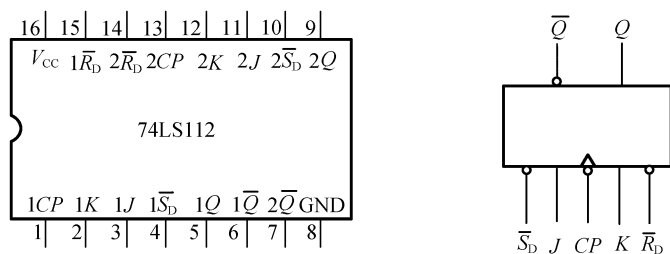


图 3.4.2 74LS112 引脚排列及逻辑符号

表 3.4.2 JK 触发器功能表

输入					输出	
\bar{S}_D	\bar{R}_D	CP	J	K	Q^{n+1}	\bar{Q}^{n+1}
0	1	×	×	×	1	0
1	0	×	×	×	0	1
0	0	×	×	×	ϕ	ϕ
1	1	↓	0	0	Q^n	\bar{Q}^n
1	1	↓	1	0	1	0
1	1	↓	0	1	0	1
1	1	↓	1	1	\bar{Q}^n	Q^n
1	1	↑	×	×	Q^n	\bar{Q}^n

3. D 触发器

D 触发器在时钟脉冲 CP 的前沿(正跳变 $0 \rightarrow 1$)发生翻转,触发器的状态只取决于时钟到来前 D 端的状态,因此,它具有置“0”、置“1”两种功能。D 触发器的应用广泛,可以作数字信号的寄存、移位寄存、分频和波形发生等。本实验采用 74LS74 双 D 触发器,是上升沿触发 D 触发器。引脚功能及逻辑符号如图 3.4.3 所示。D 触发器功能表如表 3.4.3 所示。

本实验可以采用下列集成元件进行测试(74HCT74/CC4013)。

D 触发器状态方程为

$$Q^{n+1} = D$$

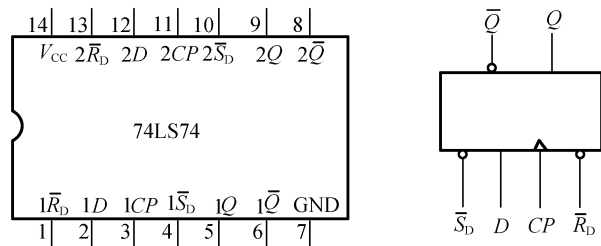


图 3.4.3 74LS74 引脚排列及逻辑符号

表 3.4.3 D 触发器功能表

输入				输出	
$\overline{S_D}$	$\overline{R_D}$	CP	D	Q^{n+1}	\overline{Q}^{n+1}
0	1	×	×	1	0
1	0	×	×	0	1
0	0	×	×	ϕ	ϕ
1	1	↑	1	1	0
1	1	↑	0	0	1
1	1	↓	×	Q^n	\overline{Q}^n

4. 触发器之间的相互转换

在集成触发器中,每一种触发器都具有特定的逻辑功能。通常可以利用转换的方法取得具有其他功能的触发器。(1)利用 JK 触发器可以转换成为 D 触发器、T 触发器和 T' 触发器。(2)利用 D 触发器也可以转换成为 JK 触发器、T 触发器和 T' 触发器。例如将 JK 触发器的 J,K 两端连在一起,连接成 T 端,就构成 T 触发器,T 触发器具有计数和保持功能。如图 3.4.4(a)所示,其状态方程为: $Q^{n+1} = T \overline{Q}^n + \overline{T} Q^n$ 。T 触发器的功能表如表 3.4.4 所示。

由功能表可见,当 $T=0$ 时,时钟脉冲作用后,其状态保持不变;当 $T=1$ 时,时钟脉冲作用后,触发器状态翻转。所以,若将 T 触发器的 T 端置“1”,如图 3.4.4(b)所示,即得 T' 触发器。T' 触发器具有计数功能,在 T' 触发器的 CP 端每来一个 CP 脉冲信号,触发器的状态就翻转一次,故称之为反转触发器,广泛用于计数电路中。

同理,若将 D 触发器 \overline{Q} 端与 D 端相连,即转换成 T' 触发器。在时钟脉冲 CP 的上跳沿发生翻转,如图 3.4.5 所示。

JK 触发器也可转换为 D 触发器,如图 3.4.6 所示。

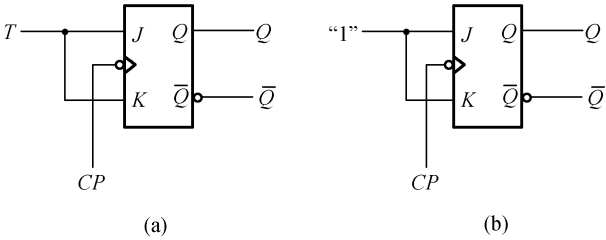


图 3.4.4 JK 触发器转换为 T 触发器、T' 触发器
(a) T 触发器; (b) T' 触发器

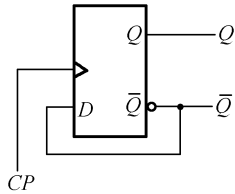


图 3.4.5 D 触发器转成 T' 触发器

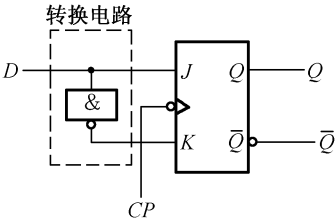


图 3.4.6 JK 触发器转成 D 触发器

表 3.4.4 T 触发器的功能表

输入				输出
\overline{S}_D	\overline{R}_D	CP	T	Q^{n+1}
0	1	×	×	1
1	0	×	×	0
1	1	↓	0	Q^n
1	1	↓	1	\overline{Q}^n

3.4.5 实验内容及步骤

1. 测试基本 RS 触发器的逻辑功能

按图 3.4.1 接线,用两个与非门组成基本 RS 触发器,输入端 $\overline{R}, \overline{S}$ 接逻辑开关的输出插口,输出端 Q, \overline{Q} 接逻辑电平显示输入插口,按表 3.4.1 要求测试,记录数据。

2. 测试双 JK 触发器 74LS112 逻辑功能

(1) 测试 $\overline{R}_D, \overline{S}_D$ 的复位、置位功能

采用一个 JK 触发器, $\overline{R}_D, \overline{S}_D, J, K$ 端接逻辑开关输出插口, CP 端接单次脉冲源, Q, \overline{Q} 端接至逻辑电平显示输入插口。要求改变 $\overline{R}_D, \overline{S}_D$ (J, K, CP 处于任意状态), 并在 $\overline{R}_D = 0$ ($\overline{S}_D = 1$) 或 $\overline{S}_D = 0$ ($\overline{R}_D = 1$) 作用期间任意改变 J, K 及 CP 的状态, 观察 Q, \overline{Q} 状态。按表 3.4.2 测试, 并记录数据。

(2) 测试 JK 触发器的逻辑功能

按图 3.4.2 接线,按表 3.4.5 的要求改变 J, K, CP 端状态, 观察 Q, \overline{Q} 状态变化, 观察触发器状态更新是否发生在 CP 脉冲的下降沿(即 CP 由 1→0), 记录数据。

(3) 将 JK 触发器的 J, K 端连在一起, 构成 T 触发器

将 JK 触发器的 J, K 端连在一起, 构成 T 触发器, 如图 3.4.4(a) 所示。

在 CP 端输入 1 Hz 连续脉冲, 观察 Q 端的变化。

在 CP 端输入 1 kHz 连续脉冲, 用双踪示波器观察 CP, Q, \overline{Q} 端波形, 注意相位关系, 描绘波形图。

3. 测试双 D 触发器 74LS74 的逻辑功能

(1) 测试 $\overline{R}_D, \overline{S}_D$ 的复位、置位功能。方法同实验内容 2 中(1)相同, 自拟表格记录。

(2) 测试 D 触发器的逻辑功能。

按图 3.4.3 接线,按表 3.4.6 要求进行测试, 并观察触发器状态更新是否发生在 CP 脉冲的上升沿(即由 0→1), 记录数据。

(3) 将 D 触发器的 \overline{Q} 端与 D 端相连接, 构成 T' 触发器, 如图 3.4.5 所示。

表 3.4.5 JK 触发器功能表

J	K	Q^n	Q^{n+1}
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

在 CP 端输入 1 Hz 连续脉冲,观察 Q 端的变化。

在 CP 端输入 1 kHz 连续脉冲,用双踪示波器观察 CP, Q, \bar{Q} 端波形,注意相位关系,描绘波形图。

4. 将 JK 触发器转成 D 触发器,按图 3.4.6 接线,进行测试。

表 3.4.6 D 触发器功能表

D	Q^n	Q^{n+1}
0	0	
	1	
1	0	
	1	

5. 选做实验

信号传输中的竞争冒险现象观察。信号传输电路如图 3.4.7 所示连接与非门电路,分析图 3.4.7 电路中 A, B, C 的逻辑关系。用示波器同步观察并记录 A, B, C 三点波形。

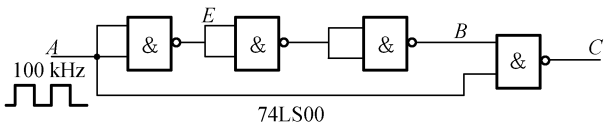


图 3.4.7 信号传输电路原理图

3.4.6 注意事项

- (1) 注意 74LS112 和 74LS74 的触发方式的区别。
- (2) 检查电路接线是否正确,实验开始系统是否清零。
- (3) 各触发器基本功能测试时不能得到理想值,应检查芯片电源及各输入、输出端是否

满足要求?

3.4.7 思考题

- (1) 如何用 RS 触发器组成防抖电路?
- (2) JK 触发器与 RS 触发器的区别是什么? 什么是电平触发? 什么是边沿触发?
- (3) 观察 D 触发器时序波形, 示波器触发信号源及触发信号极性如何选择? 触发电平如何调节?

3.4.8 实验报告要求

- (1) 列表整理各类触发器的逻辑功能。
- (2) 写出实验电路的过程, 并画出电路图。
- (3) 画出观察到的相应触发器的波形图, 说明各触发器的触发方式。
- (4) 总结在实验中遇到的问题及解决方法和注意事项。

3.5 计数器及其应用

3.5.1 实验目的

- (1) 学习用集成触发器构成计数器的方法。
- (2) 掌握中规模集成计数器的使用及功能测试方法。
- (3) 掌握二进制计数器和十进制计数器的工作原理和使用方法。

3.5.2 实验仪器及设备

- (1) 数字逻辑实验箱 1 台
- (2) 万用表 1 块
- (3) 双踪示波器 1 台
- (4) 集成元件 74LS74, CC40192, 74LS00, 74LS196, 74LS161, 74LS20。

3.5.3 预习要求

- (1) 了解有关计数器的内容。
- (2) 画出各实验内容的详细线路图。
- (3) 拟出各实验内容所需的测试记录表格。
- (4) 熟悉实验所用各集成块的引脚排列图。

3.5.4 实验原理

计数器是一个用以实现计数功能的时序部件, 它是用不同状态来表示输入脉冲的个数。计数器在数字系统中使用非常广泛, 因为它既可作数字系统的定时, 还可用于分频、产生节拍脉冲和执行数字运算以及其他特定的逻辑功能。

计数器种类很多, 按时钟控制方式分, 有同步计数器和异步计数器; 按计数制的不同,