

Trường ĐH Công Nghiệp TP.HCM
Khoa Công nghệ Điện Tử
Bộ môn Điện Tử Công Nghiệp

ĐỀ CƯƠNG ÔN THI MÔN ĐIỆN TỬ SỐ **(HỆ TRUNG CẤP, CAO ĐẲNG & ĐẠI HỌC)**

Ngày cập nhật: 06/06/2008

Số câu: 424

CHƯƠNG 1 : HỆ THỐNG SỐ ĐẾM

1. Số bát phân tương đương của số nhị phân 110100.11 là:
a. 64.6* b. 64.3 c. 34.6 d. 34.3
2. Số thập phân tương đương của số nhị phân 110100.11 là:
a. 64.6 b. 52.75* c. 34.3 d. 34.6
3. Số thập lục phân tương đương của số nhị phân 110100.11 là:
a. 64.6 b. 64.3 c. 34.C* d. 34.3
4. Số nhị phân tương đương của số bát phân 75.3 là:
a. 01110101.0011 b. 101111.011 c. 111101.110 d. 111101.011*
5. Số thập phân tương đương của số bát phân 75.3 là:
a. 61.375* b. 61.75 c. 47.375 d. 47.75
6. Số thập lục phân tương đương của số bát phân 75.3 là:
a. 3D.3 b. 3D.6* c. CD.6 d. CD.3
7. Số nhị phân tương đương của số thập phân 25.375 là:
a. 10011.011 b. 10011.11 c. 11001.011* d. 11001.11
8. Số bát phân tương đương của số thập phân 25.375 là:
a. 23.6 b. 23.3 c. 31.6 d. 31.3*
9. Số thập lục phân tương đương của số thập phân 25.375 là:
a. 19.6* b. 19.C c. 13.6 d. 13.C
10. Số BCD8421 tương đương của số thập phân 29.5 là:
a. 11101.1 b. 00101001.0101* c. 101001.101 d. 00101001.101
11. Số nhị phân tương đương của số thập lục phân 37.E là:
a. 11111.111 b. 11111.0111 c. 110111.111* d. 110111.0111
12. Số bát phân tương đương của số thập lục phân 37.E là:
a. 77.7 b. 77.34 c. 67.34 d. 67.7*
13. Số thập phân tương đương của số thập lục phân 37.E là:
a. 55.875* b. 55.4375 c. 31.875 d. 31.4375
14. Số thập phân tương đương của số BCD 00110010.0100 là:
a. 50.25 b. 32.4* c. 32.1 d. 62.2
15. Mã BCD của số thập phân 251 là:
a. 10 0101 0001 b. 0100 0101 0001 c. 0010 0101 0001* d. 0010 0101 001
16. Mã quá 3 của số thập phân 47 là:
a. 110010* b. 100111 c. 1111010 d. 101111
17. Số thập phân tương đương của số nhị phân có mã quá ba 01100100 là:

- a. 64 b. 144 c. 100 d. 97*
- 18.** Số thập lục phân tương đương của số nhị phân có mã quá ba 01100100 là:
a. 64 b. 61* c. 100 d. 97
- 19.** Số bát phân tương đương của số nhị phân có mã quá ba 01100101 là:
a. 145 b. 142* c. 101 d. 98
- 20.** Mã Gray tương đương của số 110010 B là:
a. 111100 b. 101010 c. 101101 d. 101011*
- 21.** Mã Gray tương đương của số nhị phân có mã quá ba 011001 là:
a. 010101 b. 010001 c. 011101* d. 010110
- 22.** Số bù 1 của số nhị phân 1010 là:
a. 0101* b. 1001 c. 1011 d. 0110
- 23.** Số bù 2 của số nhị phân 1010 là:
a. 0101 b. 0110* c. 1100 d. 1000
- 24.** Số thập phân tương đương của số nhị phân 10000000 là:
a. 100 b. 102 c. 128* d. 127
- 25.** Số thập phân tương đương của số nhị phân 1111 là:
a. 1111 b. 16 c. 65 d. 15*
- 26.** Số thập phân tương đương của số nhị phân 10000001 là:
a. 129* b. 128 c. 127 d. 126
- 27.** Số thập lục phân tương đương của số nhị phân 11111111 là:
a. FF* b. 128 c. 255 d. 377
- 28.** Số thập phân tương đương của số bát phân 36 là:
a. 30* b. 26 c. 44 d. 38
- 29.** Số thập phân tương đương của số bát phân 257 là:
a. 267 b. 247 c. 157 d. 175*
- 30.** Số thập phân tương đương của số thập lục phân 7FF là:
a. 71515 b. 2047* c. 3777 d. 7000
- 31.** Số nhị phân tương đương của số thập lục phân 7FF là:
a. 001111111111 b. 100000000000 c. 71515 d. 111111111111*
- 32.** Số nhị phân 4 bit biểu diễn được tối đa bao nhiêu số?
a. 4 b. 8 c. 1111 d. 16*
- 33.** Số nhị phân 8 bit biểu diễn được tối đa bao nhiêu số?
a. 256* b. 255 c. 11111111 d. 10000000
- 34.** Trong hệ thống bát phân có bao nhiêu số có 2 chữ số?
a. 256 b. 100 c. 64* d. 63
- 35.** Trong hệ thống thập lục phân có bao nhiêu số có 2 chữ số?
a. 256 * b. 100 c. 64 d. 63
- 36.** Trong hệ thống nhị phân ký hiệu LSB mang ý nghĩa sau:
a. Bit có trọng số nhỏ nhất* b. Bit có trọng số lớn nhất.
c. Số có nghĩa nhất d. Số ít nghĩa nhất
- 37.** Trong hệ thống nhị phân ký hiệu MSB mang ý nghĩa sau:
a. Bit có trọng số nhỏ nhất b. Bit có trọng số lớn nhất.*
c. Số có nghĩa nhất d. Số ít nghĩa nhất
- 38.** Một con số trong số nhị phân được gọi là:
a. Bit* b. Byte c. Nipple d. Word

39. Phải dùng một số nhị phân có bao nhiêu bit để diễn tả số thập phân 500 ?

- a. 500 b. 5 c. 9* d. 10

40. Phải dùng một số nhị phân có bao nhiêu bit để diễn tả số thập phân 1000?

- a. 512 b. 5 c. 9 d. 10*

41. 1 Kbit bằng bao nhiêu bit?

- a. 1000 b. 1024* c. 8000 d. 8192

42. 4 Kbit bằng bao nhiêu bit?

- a. 4 b. 1000 c. 4000 d. 4096*

43. 4 Mbit bằng bao nhiêu bit?

- a. 4 b. 4000000 c. 4194304* d. 16777216

44. 1 Kbyte bằng bao nhiêu bit?

- a. 8000 b. 1024 c. 1000 d. 8192*

45. 2 Kbyte bằng bao nhiêu byte?

- a. 2000 b. 2048* c. 2 d. 1024

46. Để diễn tả số thập phân 999 thì số bit của số nhị phân ít hơn số bit của số BCD là bao nhiêu bit?

- a. 9 b. 4 c. 2* d. 3

47. Các số nhị phân sau số nào không phải là số BCD:

- a. 1001 0011 b. 1011 0101* c. 0101 0111 d. 0011 1001

48. Số bù hai của một số nhị phân:

- a. Là chính số nhị phân đó b. Số bù 1 cộng thêm 1*
c. Đổi bit 0 thành 1 một thành 0 của số bù 1 d. Bù của số bù 1

49. 11011B + 11101B bằng bao nhiêu ?

- a. 101000B b. 110110B c. 111000B* d. 111010 B

50. 110110 B - 11101 B bằng bao nhiêu ?

- a. 11001B* b. 10101B c. 11011B d. 10011B

CHƯƠNG 2 : ĐẠI SỐ BOOLE VÀ CÔNG LOGIC

51. Với mọi phần tử x thuộc tập hợp $B = \{0,1\}$, tồn tại phần tử bù \bar{x} sao cho:

- a. $x + \bar{x} = 1^*$ b. $x + \bar{x} = 0$ c. $x + \bar{x} = x$ d. $x + \bar{x} = \bar{x}$

52. Với mọi phần tử x thuộc tập hợp $B = \{0,1\}$, tồn tại phần tử bù \bar{x} sao cho:

- a. $x. \bar{x} = 1$ b. $x. \bar{x} = 0^*$ c. $x. \bar{x} = \bar{x}$ d. $x. \bar{x} = x$

53. Với mọi phần tử x thuộc tập hợp $B = \{0,1\}$, tồn tại các hằng số 0 và 1 sao cho:

- a. $x + 0 = 0$; $x.1 = 1$ b. $x + 0 = x$; $x.1 = 1$
c. $x + 0 = x$; $x.1 = x^*$ d. $x + 0 = 0$; $x.1 = x$

54. Với mọi phần tử x thuộc tập hợp $B = \{0,1\}$, tồn tại các hằng số 0 và 1 sao cho:

- a. $x + 1 = x$; $x.0 = x$ b. $x + 1 = 1$; $x.0 = x$
c. $x + 1 = x$; $x.0 = 0$ d. $x + 1 = 1$; $x.0 = 0^*$

55. Với mọi phần tử x thuộc tập hợp $B = \{0,1\}$, ta có:

- a. $x + x = x^*$ b. $x + x = 2x$ c. $x + x = 0$ d. $x + x = 1$

56. Với mọi phần tử x thuộc tập hợp $B = \{0,1\}$, ta có:

- a. $x.x = x^2$ b. $x.x = x^*$ c. $x.x = 0$ d. $x.x = 1$

57. Với mọi phần tử X thuộc tập hợp $B = \{0,1\}$, ta có:

- a. $\overline{\overline{X}} = 0$ b. $\overline{\overline{X}} = 1$ c. $\overline{\overline{X}} = X^*$ d. $\overline{\overline{X}} = \overline{X}$

58. Với mọi phần tử x và y thuộc tập hợp $B = \{0,1\}$, ta có:

- a. $\overline{x+y} = \bar{x} + \bar{y}$ b. $\overline{x+y} = x + y$ c. $\overline{x+y} = x.y$ d. $\overline{x+y} = \bar{x}.\bar{y}^*$

59. Với mọi phần tử x và y thuộc tập hợp $B = \{0,1\}$, ta có:

- a. $\overline{x.y} = \bar{x} + \bar{y}^*$ b. $\overline{x.y} = x+y$ c. $\overline{x.y} = x.y$ d. $\overline{x.y} = \bar{x} . \bar{y}$

60. Với mọi phần tử x, y và z thuộc tập hợp $B = \{0,1\}$, ta có:

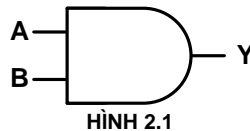
- a. $\overline{x+y+z} = x.y.z$ b. $\overline{x+y+z} = \bar{x} . \bar{y} . \bar{z}^*$
c. $\overline{x+y+z} = \bar{x} + \bar{y} + \bar{z}$ d. $\overline{x+y+z} = x + y + z$

61. Với mọi phần tử x, y và z thuộc tập hợp $B = \{0,1\}$, ta có:

- a. $\overline{x.y.z} = \bar{x} . \bar{y} . \bar{z}$ b. $\overline{x.y.z} = x.y.z$
c. $\overline{x.y.z} = \bar{x} + \bar{y} + \bar{z}^*$ d. $\overline{x.y.z} = x + y + z$

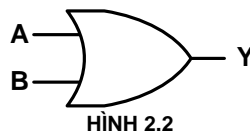
62. Cho sơ đồ mạch logic như hình 2.1. Biểu thức đại số logic của ngõ ra Y là:

- a. $Y = A.B^*$ b. $Y = A+B$ c. $Y = \overline{A.B}$ d. $Y = \overline{A+B}$



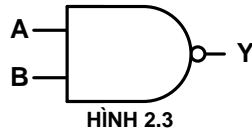
63. Cho sơ đồ mạch logic như hình 2.2. Biểu thức đại số của Y là:

- a. $Y = A.B$ b. $Y = A+B^*$ c. $Y = \overline{A.B}$ d. $Y = \overline{A+B}$



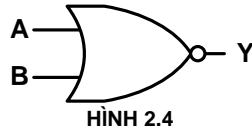
64. Cho sơ đồ mạch logic như hình 2.3. Biểu thức đại số của Y là:

- a. $Y = A.B$ b. $Y = A+B$ c. $Y = \overline{A.B}^*$ d. $Y = \overline{A+B}$



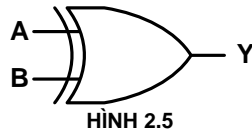
65. Cho sơ đồ mạch logic như hình 2.4. Biểu thức đại số của Y là:

- a. $Y = A.B$ b. $Y = A+B$ c. $Y = \overline{A.B}$ d. $Y = \overline{A+B}^*$



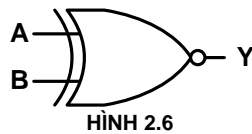
66. Cho sơ đồ mạch logic như hình 2.5. Biểu thức đại số của Y là:

- a. $Y = A.\overline{B} + \overline{A}.B^*$ b. $Y = A.B + \overline{A}.\overline{B}$ c. $Y = A + B$ d. $Y = \overline{A+B}$



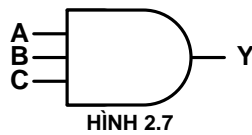
67. Cho sơ đồ mạch logic như hình 2.6. Biểu thức đại số của Y là:

- a. $Y = A.\overline{B} + \overline{A}.B$ b. $Y = A.B + \overline{A}.\overline{B}^*$ c. $Y = A + B$ d. $Y = \overline{A+B}$



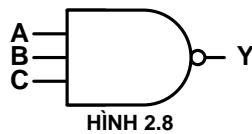
68. Cho sơ đồ mạch logic như hình 2.7. Biểu thức đại số của Y là:

- a. $Y = A.B.C^*$ b. $Y = A + B + C$ c. $Y = \overline{A.B.C}$ d. $Y = \overline{A+B+C}$



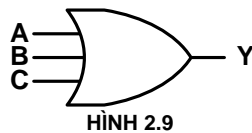
69. Cho sơ đồ mạch logic như hình 2.8. Biểu thức đại số của Y là:

- a. $Y = A.B.C$ b. $Y = A + B + C$ c. $Y = \overline{A.B.C}^*$ d. $Y = \overline{A+B+C}$



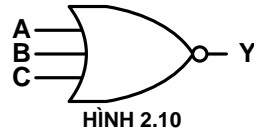
70. Cho sơ đồ mạch logic như hình 2.9. Biểu thức đại số của Y là:

- a. $Y = A.B.C$ b. $Y = A + B + C^*$ c. $Y = \overline{A.B.C}$ d. $Y = \overline{A+B+C}$



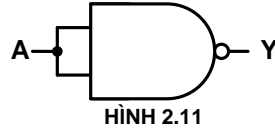
71. Cho sơ đồ mạch logic như hình 2.10. Biểu thức đại số của Y là:

- a. $Y = A.B.C$ b. $Y = A + B + C$ c. $Y = \overline{A.B.C}$ d. $Y = \overline{A+B+C}^*$



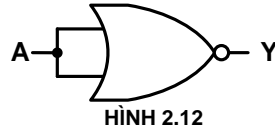
72. Cho sơ đồ mạch logic như hình 2.11. Biểu thức đại số của Y là:

- a. $Y = A$ b. $Y = \bar{A}^*$ c. $Y = A \cdot \bar{A}$ d. $Y = A + \bar{A}$



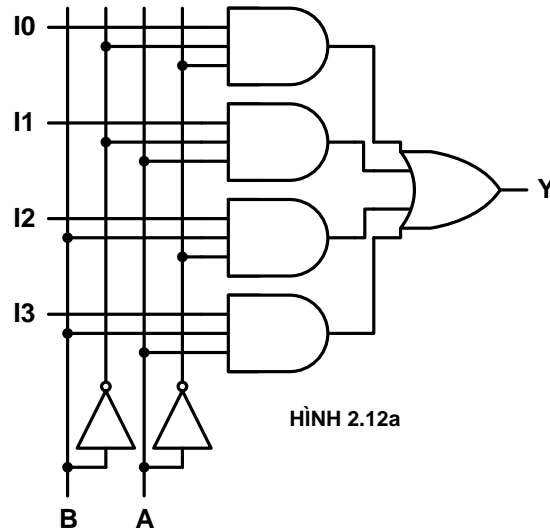
73. Cho sơ đồ mạch logic như hình 2.12. Biểu thức đại số của Y là:

- a. $Y = A$ b. $Y = A \cdot \bar{A}$ c. $Y = \bar{A}^*$ d. $Y = A + \bar{A}$



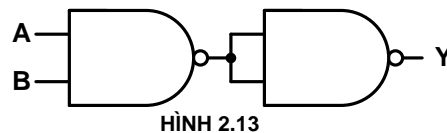
74. Cho sơ đồ mạch logic như hình 2.12a. Biểu thức đại số của Y là:

- a. $Y = (\bar{B} + \bar{A} + I_0)(\bar{B} + A + I_1)(B + \bar{A} + I_2)(B + A + I_3)$
 b. $Y = \bar{B} \bar{A} I_0 + \bar{B} A I_1 + B \bar{A} I_2 + B A I_3^*$
 c. $Y = \bar{B} \bar{A} I_3 + \bar{B} A I_2 + B \bar{A} I_1 + B A I_0$
 d. Tất cả đều sai



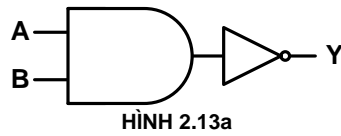
75. Cho sơ đồ mạch logic như hình 2.13. Biểu thức đại số của Y là:

- a. $Y = A \cdot B^*$ b. $Y = A + B$ c. $Y = \bar{A} \cdot B$ d. $Y = \overline{A + B}$

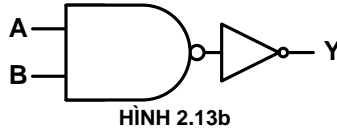


76. Cho sơ đồ mạch logic như hình 2.13a. Biểu thức đại số của Y là:

- a. $Y = A \cdot B$ b. $Y = A + B$ c. $Y = \bar{A} \cdot B^*$ d. $Y = \overline{A + B}$

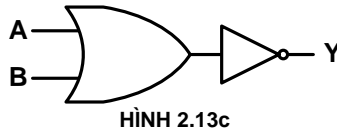


77. Cho sơ đồ mạch logic như hình 2.13b. Biểu thức đại số của Y là:



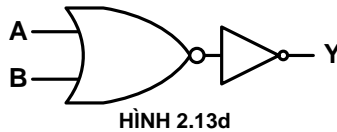
- a. $Y = A.B^*$ b. $Y = A+B$ c. $Y = \overline{A.B}$ d. $Y = \overline{A+B}$

78. Cho sơ đồ mạch logic như hình 2.13c. Biểu thức đại số của Y là:



- a. $Y = A.B$ b. $Y = A+B$ c. $Y = \overline{A.B}$ d. $Y = \overline{A+B}^*$

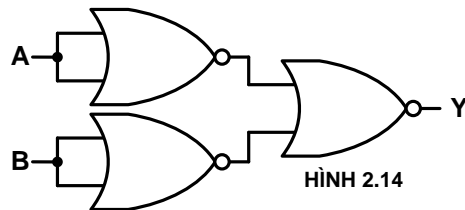
79. Cho sơ đồ mạch logic như hình 2.13d. Biểu thức đại số của Y là:



- a. $Y = A.B$ b. $Y = A+B^*$ c. $Y = \overline{A.B}$ d. $Y = \overline{A+B}$

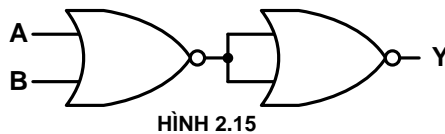
80. Cho sơ đồ mạch logic như hình 2.14. Biểu thức đại số của Y là:

- a. $Y = A.B^*$ b. $Y = A+B$ c. $Y = \overline{A.B}$ d. $Y = \overline{A+B}$



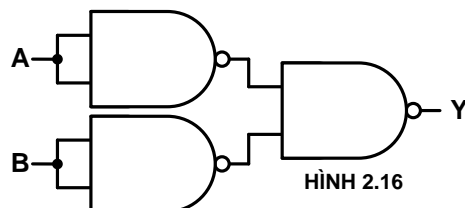
81. Cho sơ đồ mạch logic như hình 2.15. Biểu thức đại số của Y là:

- a. $Y = A.B$ b. $Y = A+B^*$ c. $Y = \overline{A.B}$ d. $Y = \overline{A+B}$



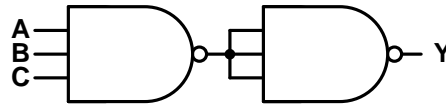
82. Cho sơ đồ mạch logic như hình 2.16. Biểu thức đại số của Y là:

- a. $Y = A.B$ b. $Y = A+B^*$ c. $Y = \overline{A.B}$ d. $Y = \overline{A+B}$



83. Cho sơ đồ mạch logic như hình 2.17. Biểu thức đại số của Y là:

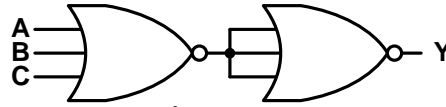
- a. $Y = A.B.C^*$ b. $Y = A+B+C$ c. $Y = \overline{A.B.C}$ d. $Y = \overline{A+B+C}$



HÌNH 2.17

84. Cho sơ đồ mạch logic như hình 2.18. Biểu thức đại số của Y là:

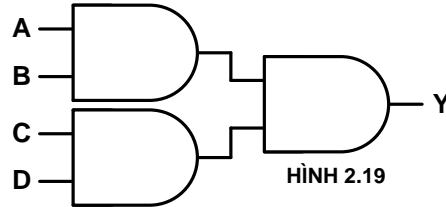
- a. $Y = A.B.C$ b. $Y = A+B+C^*$ c. $Y = \overline{A.B.C}$ d. $Y = \overline{A+B+C}$



HÌNH 2.18

85. Cho sơ đồ mạch logic như hình 2.19. Biểu thức đại số của Y là:

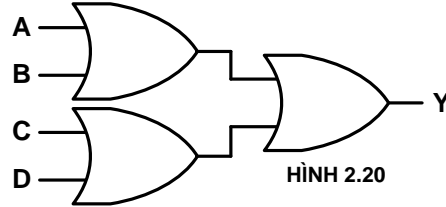
- a. $Y = A.B.C.D^*$ b. $Y = A+B+C+D$ c. $Y = A.B + C.D$ d. $Y = (A+B)(C+D)$



HÌNH 2.19

86. Cho sơ đồ mạch logic như hình 2.20. Biểu thức đại số của Y là:

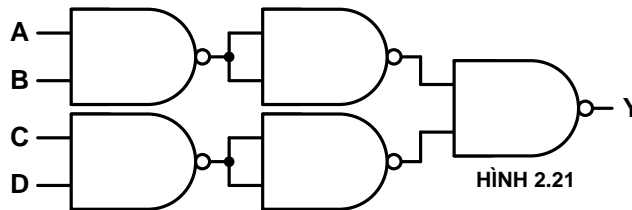
- a. $Y = A.B.C.D$ b. $Y = A+B+C+D^*$ c. $Y = A.B + C.D$ d. $Y = (A+B)(C+D)$



HÌNH 2.20

87. Cho sơ đồ mạch logic như hình 2.21. Biểu thức đại số của Y là:

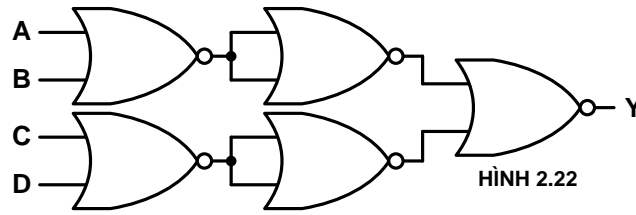
- a. $Y = A.B.C.D$ b. $Y = A+B+C+D$ c. $Y = \overline{A.B.C.D}^*$ d. $Y = \overline{A+B+C+D}$



HÌNH 2.21

88. Cho sơ đồ mạch logic như hình 2.22. Biểu thức đại số của Y là:

- a. $Y = A.B.C.D$ b. $Y = A+B+C+D$ c. $Y = \overline{A.B.C.D}$ d. $Y = \overline{A+B+C+D}^*$



HÌNH 2.22

89. Cho $Z = \overline{A.B} + C.D + 0$ thì hàm đảo của Z là:

- a. $\overline{Z} = (A + B)(C + D).1$ b. $\overline{Z} = (A + B)(\overline{C} + \overline{D}).1$ *
- c. $\overline{Z} = A + B.\overline{C} + \overline{D}.1$ d. $\overline{Z} = (\overline{A} + \overline{B})(C + D).0$

90. Cho $Z = \overline{A.BC} + C.\overline{D}$ thì hàm đảo của Z là:

- a. $\overline{Z} = (A + \overline{B} + \overline{C})(\overline{C} + D)$ b. $\overline{Z} = (A + \overline{B} + \overline{C})(\overline{C} + D)$
- c. $\overline{Z} = A + B + C.\overline{C} + D$ d. $\overline{Z} = (A + \overline{B} + \overline{C})(\overline{C} + D)^*$

91. Cho $Z = A + B + \overline{C} + \overline{D} + \overline{E}$ thì hàm đảo của Z là:

- a. $\overline{Z} = \overline{A.B.C.D.E}$ b. $\overline{Z} = \overline{A.B.C.D.E}$
- c. $\overline{Z} = \overline{A.B.C.D.E}^*$ d. $\overline{Z} = \overline{A.B.C.D.E}$

92. Cho $Z = A.\overline{C} + B + \overline{C} + \overline{D.E}$ thì hàm đảo của Z là:

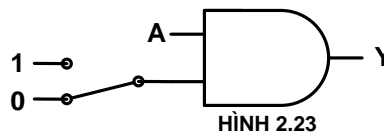
- a. $\overline{Z} = \overline{A} + C.\overline{B.C.D} + \overline{E}$ b. $\overline{Z} = (\overline{A} + C)(\overline{B.C}(\overline{D} + \overline{E}))$
- c. $\overline{Z} = \overline{A} + C.\overline{B.C}(\overline{D} + \overline{E})$ d. $\overline{Z} = (\overline{A} + C).\overline{B.C}(\overline{D} + \overline{E})^*$

93. Cho $Z = A + B + \overline{C} + \overline{D} + \overline{E}$ thì hàm đối ngẫu của Z là:

- a. $Z' = \overline{A.B.C.D.E}$ b. $Z' = \overline{A.B.C.D.E}$ c. $Z' = \overline{A.B.C.D.E}$ d. $Z' = \overline{A.B.C.D.E}^*$

94. Cho sơ đồ mạch logic như hình 2.23. Nếu tín hiệu đưa vào A là xung vuông có tần số 1 Hz thì ngõ ra Y :

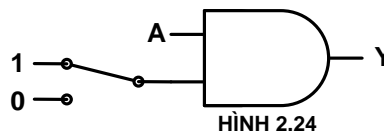
- a. Ở mức cao b. Ở mức thấp*
- c. Có tín hiệu xung vuông tần số 1 Hz, cùng pha với tín hiệu tại A
- d. Có tín hiệu xung vuông tần số 1 Hz, ngược pha với tín hiệu tại A



HÌNH 2.23

95. Cho sơ đồ mạch logic như hình 2.24. Nếu tín hiệu đưa vào A là xung vuông có tần số 1 Hz thì ngõ ra Y :

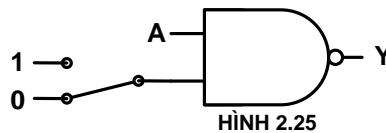
- a. Ở mức cao b. Ở mức thấp
- c. Có tín hiệu xung vuông tần số 1 Hz, cùng pha với tín hiệu tại A*
- d. Có tín hiệu xung vuông tần số 1 Hz, ngược pha với tín hiệu tại A



HÌNH 2.24

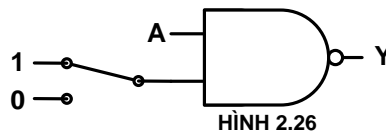
96. Cho sơ đồ mạch logic như hình 2.25. Nếu tín hiệu đưa vào A là xung vuông có tần số 1 Hz thì ngõ ra Y :

- a. Ở mức cao* b. Ở mức thấp
- c. Có tín hiệu xung vuông tần số 1 Hz, cùng pha với tín hiệu tại A
- d. Có tín hiệu xung vuông tần số 1 Hz, ngược pha với tín hiệu tại A



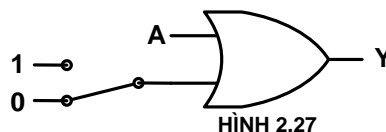
97. Cho sơ đồ mạch logic như hình 2.26. Nếu tín hiệu đưa vào A là xung vuông có tần số 1 Hz thì ngõ ra Y :

- a. Ở mức cao b. Ở mức thấp
- c. Có tín hiệu xung vuông tần số 1 Hz, cùng pha với tín hiệu tại A
- d. Có tín hiệu xung vuông tần số 1 Hz, ngược pha với tín hiệu tại A*



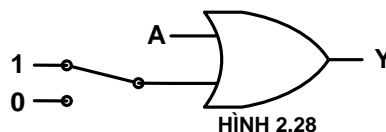
98. Cho sơ đồ mạch logic như hình 2.27. Nếu tín hiệu đưa vào A là xung vuông có tần số 1 Hz thì ngõ ra Y :

- a. Ở mức cao b. Ở mức thấp
- c. Có tín hiệu xung vuông tần số 1 Hz, cùng pha với tín hiệu tại A*
- d. Có tín hiệu xung vuông tần số 1 Hz, ngược pha với tín hiệu tại A



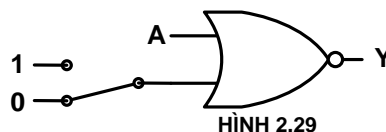
99. Cho sơ đồ mạch logic như hình 2.28. Nếu tín hiệu đưa vào A là xung vuông có tần số 1 Hz thì ngõ ra Y :

- a. Ở mức cao*
- b. Ở mức thấp
- c. Có tín hiệu xung vuông tần số 1 Hz, cùng pha với tín hiệu tại A
- d. Có tín hiệu xung vuông tần số 1 Hz, ngược pha với tín hiệu tại A



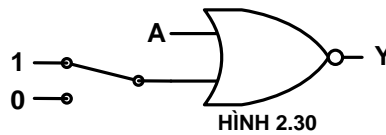
100. Cho sơ đồ mạch logic như hình 2.29. Nếu tín hiệu đưa vào A là xung vuông có tần số 1 Hz thì ngõ ra Y :

- a. Ở mức cao b. Ở mức thấp
- c. Có tín hiệu xung vuông tần số 1 Hz, cùng pha với tín hiệu tại A
- d. Có tín hiệu xung vuông tần số 1 Hz, ngược pha với tín hiệu tại A*



101. Cho sơ đồ mạch logic như hình 2.30. Nếu tín hiệu đưa vào A là xung vuông có tần số 1 Hz thì ngõ ra Y :

- a. Ở mức cao
- b. Ở mức thấp*
- c. Có tín hiệu xung vuông tần số 1 Hz, cùng pha với tín hiệu tại A
- d. Có tín hiệu xung vuông tần số 1 Hz, ngược pha với tín hiệu tại A



102. Cho sơ đồ mạch logic như hình 2.47. Nếu tín hiệu đưa vào A là xung vuông có tần số 1 Hz thì ngõ ra Y :

- a. Ở mức cao
- b. Ở mức thấp
- c. Có tín hiệu xung vuông tần số 1 Hz, cùng pha với tín hiệu tại A*
- d. Có tín hiệu xung vuông tần số 1 Hz, ngược pha với tín hiệu tại A



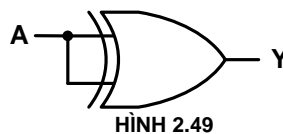
103. Cho sơ đồ mạch logic như hình 2.48. Nếu tín hiệu đưa vào A là xung vuông có tần số 1 Hz thì ngõ ra Y :

- a. Ở mức cao
- b. Ở mức thấp
- c. Có tín hiệu xung vuông tần số 1 Hz, cùng pha với tín hiệu tại A
- d. Có tín hiệu xung vuông tần số 1 Hz, ngược pha với tín hiệu tại A*



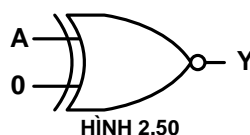
104. Cho sơ đồ mạch logic như hình 2.49. Nếu tín hiệu đưa vào A là xung vuông có tần số 1 Hz thì ngõ ra Y :

- a. Ở mức cao
- b. Ở mức thấp*
- c. Có tín hiệu xung vuông tần số 1 Hz, cùng pha với tín hiệu tại A
- d. Có tín hiệu xung vuông tần số 1 Hz, ngược pha với tín hiệu tại A



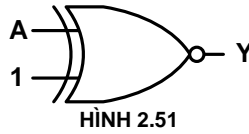
105. Cho sơ đồ mạch logic như hình 2.50. Nếu tín hiệu đưa vào A là xung vuông có tần số 1 Hz thì ngõ ra Y :

- a. Ở mức cao
- b. Ở mức thấp
- c. Có tín hiệu xung vuông tần số 1 Hz, cùng pha với tín hiệu tại A
- d. Có tín hiệu xung vuông tần số 1 Hz, ngược pha với tín hiệu tại A*



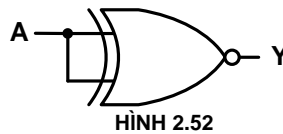
106. Cho sơ đồ mạch logic như hình 2.51. Nếu tín hiệu đưa vào A là xung vuông có tần số 1 Hz thì ngõ ra Y :

- a. Ở mức cao
- b. Ở mức thấp
- c. Có tín hiệu xung vuông tần số 1 Hz, cùng pha với tín hiệu tại A*
- d. Có tín hiệu xung vuông tần số 1 Hz, ngược pha với tín hiệu tại A



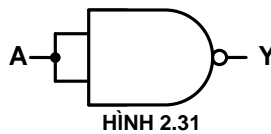
107. Cho sơ đồ mạch logic như hình 2.52. Nếu tín hiệu đưa vào A là xung vuông có tần số 1 Hz thì ngõ ra Y :

- a. Ở mức cao*
- b. Ở mức thấp
- c. Có tín hiệu xung vuông tần số 1 Hz, cùng pha với tín hiệu tại A
- d. Có tín hiệu xung vuông tần số 1 Hz, ngược pha với tín hiệu tại A



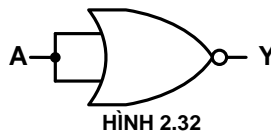
108. Cho sơ đồ mạch logic như hình 2.31. Nếu tín hiệu đưa vào A là xung vuông có tần số 1 Hz thì ngõ ra Y :

- a. Ở mức cao
- b. Ở mức thấp
- c. Có tín hiệu xung vuông tần số 1 Hz, cùng pha với tín hiệu tại A
- d. Có tín hiệu xung vuông tần số 1 Hz, ngược pha với tín hiệu tại A*



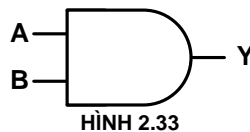
109. Cho sơ đồ mạch logic như hình 2.32. Nếu tín hiệu đưa vào A là xung vuông có tần số 1 Hz thì ngõ ra Y :

- a. Ở mức cao
- b. Ở mức thấp
- c. Có tín hiệu xung vuông tần số 1 Hz, cùng pha với tín hiệu tại A
- d. Có tín hiệu xung vuông tần số 1 Hz, ngược pha với tín hiệu tại A*

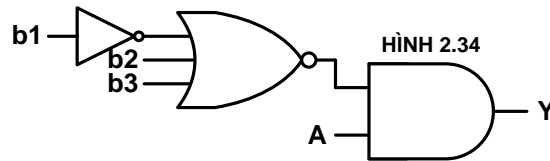


110. Cho sơ đồ mạch logic như hình 2.33. Nếu tín hiệu đưa vào A và B lần lượt là xung vuông có tần số 500 Hz và 0,5 Hz thì ngõ ra Y :

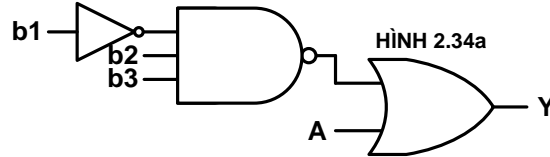
- a. Có tín hiệu xung vuông tần số 0,5 Hz
- b. Có tín hiệu xung vuông tần số 500 Hz
- c. Có tín hiệu xung vuông tần số 25 Hz
- d. Luân phiên có tín hiệu xung vuông tần số 500Hz trong 1s sau đó ở mức thấp trong 1s.*



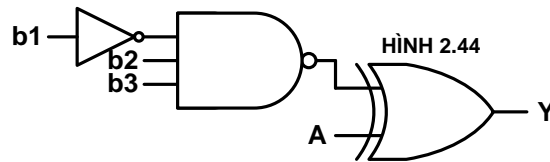
111. Cho mạch logic như hình 2.34. Ngõ ra Y = A khi:



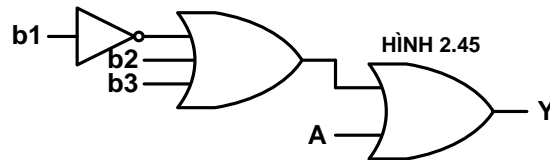
112. Cho mạch logic như hình 2.34a. Ngõ ra $Y = A$ khi:



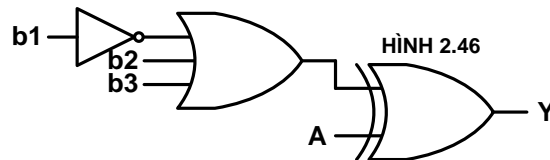
113. Cho mạch logic như hình 2.44. Ngõ ra $Y = A$ khi:



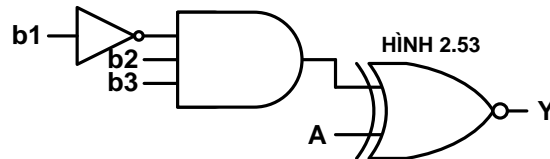
114. Cho mạch logic như hình 2.45. Ngõ ra $Y = A$ khi:



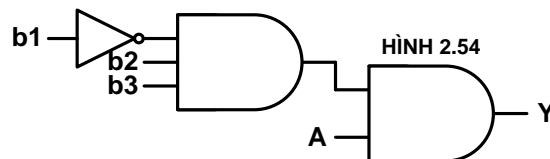
115. Cho mạch logic như hình 2.46. Ngõ ra $Y = A$ khi:



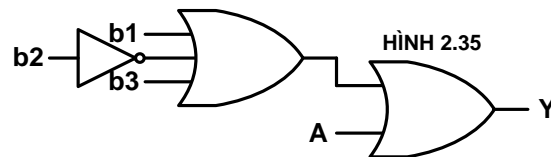
116. Cho mạch logic như hình 2.53. Ngõ ra $Y = A$ khi:



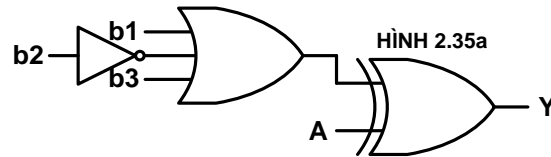
117. Cho mạch logic như hình 2.54. Ngõ ra $Y = A$ khi:



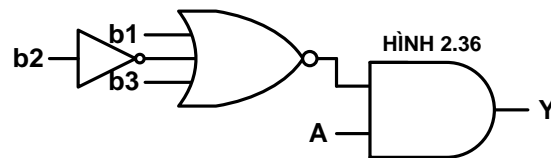
118. Cho mạch logic như hình 2.35. Ngõ ra $Y = A$ khi:



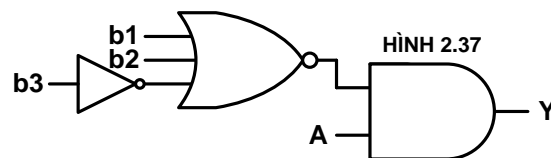
119. Cho mạch logic như hình 2.35a. Ngõ ra $Y = A$ khi:



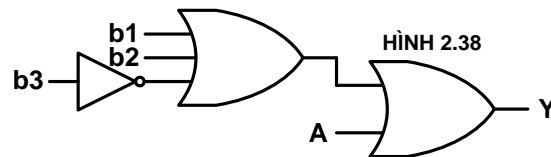
120. Cho mạch logic như hình 2.36. Ngõ ra $Y = A$ khi:



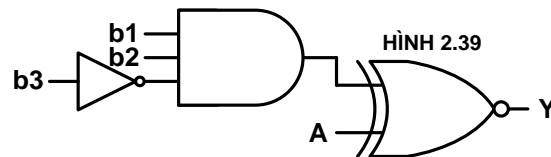
121. Cho mạch logic như hình 2.37. Ngõ ra $Y = A$ khi:



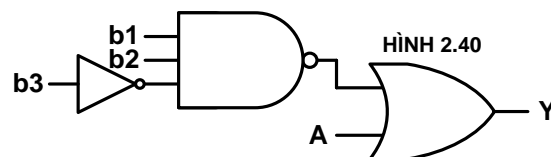
122. Cho mạch logic như hình 2.38. Ngõ ra $Y = A$ khi:



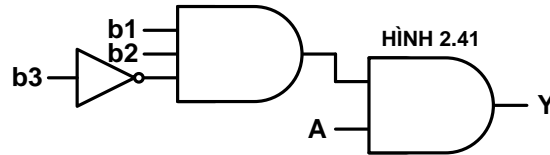
123. Cho mạch logic như hình 2.39. Ngõ ra $Y = A$ khi:



124. Cho mạch logic như hình 2.40. Ngõ ra $Y = A$ khi:

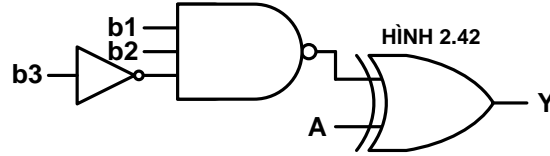


125. Cho mạch logic như hình 2.41. Ngõ ra $Y = A$ khi:



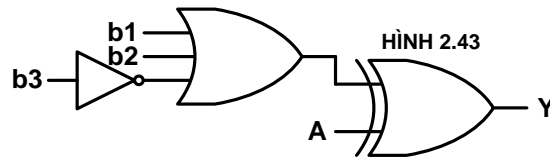
- a. $b_1b_2b_3 = 001$ b. $b_1b_2b_3 = 011$ c. $b_1b_2b_3 = 110^*$ d. $b_1b_2b_3 = 101$

126. Cho mạch logic như hình 2.42. Ngõ ra $Y = A$ khi:



- a. $b_1b_2b_3 = 001$ b. $b_1b_2b_3 = 011$ c. $b_1b_2b_3 = 110^*$ d. $b_1b_2b_3 = 101$

127. Cho mạch logic như hình 2.43. Ngõ ra $Y = A$ khi:



- a. $b_1b_2b_3 = 001^*$ b. $b_1b_2b_3 = 011$ c. $b_1b_2b_3 = 110$ d. $b_1b_2b_3 = 101$

128. Hàm $Y = f(A,B)$ có 4 tích chuẩn (minterm) là:

- a. $m_0 = \bar{A} + \bar{B}$; $m_1 = \bar{A} + B$; $m_2 = A + \bar{B}$; $m_3 = A + B$
 b. $m_0 = A.B$; $m_1 = \bar{A}.B$; $m_2 = A.\bar{B}$; $m_3 = \bar{A}.\bar{B}$
 c. $m_0 = \bar{A}.\bar{B}$; $m_1 = \bar{A}.B$; $m_2 = A.\bar{B}$; $m_3 = A.B^*$
 d. $m_0 = A + B$; $m_1 = A + \bar{B}$; $m_2 = \bar{A} + B$; $m_3 = \bar{A} + \bar{B}$

129. Hàm $Y = f(A,B)$ có 4 tổng chuẩn (maxterm) là:

- a. $M_0 = \bar{A} + \bar{B}$; $M_1 = \bar{A} + B$; $M_2 = A + \bar{B}$; $M_3 = A + B$
 b. $M_0 = A.B$; $M_1 = A.\bar{B}$; $M_2 = \bar{A}.B$; $M_3 = \bar{A}.\bar{B}$
 c. $M_0 = \bar{A}.\bar{B}$; $M_1 = \bar{A}.B$; $M_2 = A.\bar{B}$; $M_3 = A.B$
 d. $M_0 = A + B$; $M_1 = A + \bar{B}$; $M_2 = \bar{A} + B$; $M_3 = \bar{A} + \bar{B}^*$

130. Cho hàm Boole $f(A,B,C,D) = \sum(0,2,3,8,9,11,13,15) + d_{10}$. Biểu thức đại số logic (dạng tổng các tích) gọn nhất của hàm trên là:

- a. $f(A,B,C,D) = A.D + \bar{B}.C + \bar{B}.\bar{D}^*$
 b. $f(A,B,C,D) = A.\bar{B} + A.D + \bar{B}.C + \bar{B}.\bar{D}$
 c. $f(A,B,C,D) = A.D + A.\bar{B} + \bar{A}.\bar{B}.C + \bar{A}.\bar{B}.\bar{D}$
 d. $f(A,B,C,D) = A.D + A.\bar{B}.\bar{C} + \bar{A}.\bar{B}.C + \bar{A}.\bar{B}.\bar{D}$

131. Cho hàm Boole $f(A,B,C,D) = \sum(0,2,8,9,10,11,13,15) + d_3$. Biểu thức đại số logic (dạng tổng các tích) gọn nhất của hàm trên là:

- a. $f(A,B,C,D) = A.D + \bar{B}.C + \bar{B}.\bar{D}$
 b. $f(A,B,C,D) = A.D + \bar{B}.\bar{D}^*$
 c. $f(A,B,C,D) = A.D + A.\bar{B} + \bar{A}.\bar{B}.C + \bar{A}.\bar{B}.\bar{D}$
 d. $f(A,B,C,D) = A.D + A.\bar{B}.\bar{C} + \bar{A}.\bar{B}.C + \bar{A}.\bar{B}.\bar{D}$

132. Cho hàm Boole $f(A,B,C,D) = \prod(2,4,6,10,12,13,14,15) . d_5$. Biểu thức đại số logic (dạng tích các tổng) gọn nhất của hàm trên là:

d. $f(A,B,C,D) = (\bar{A} + D)(\bar{B} + C)(\bar{C} + D)$

d. Tập hợp số thực

d. Không xác định được.

d. Tất cả các ngõ vào đều bằng 1

d. Có 1 ngỗ vào bằng 0

d. Tất cả các ngõ vào đều bằng 0*

$$d. \text{ ab} + \overline{\overline{\text{ab}}}$$
$$d. ab + \overline{\overline{ab}}^*$$
$$d. a \neq b^*$$

d. $a \neq b$

d. 1

d. 0

d. $x + \bar{x} = 0; x, \bar{x} = 0$

d. Không xác định được.

d. $\overline{a+b} = ab$

$$b \quad \overline{a b} = \bar{a} \bar{b}$$

c. $a.b = a + b$

d. $\overline{ab} = a + b$

148. Cho x, y, z là 3 ngõ vào thuộc tập hợp đại số Boole, phép toán $(x + y.z)$ có giá trị bằng:

a. $x.(y + z)$

b. $(x+y).(x+z)^*$

c. $y + x.z$

d. $(x+y).z$

149. Giá trị của phép toán đại số Boole $(x + x.y)$ bằng:

a. $x + y$

b. $x.y$

c. x^*

d. y

150. Giá trị của phép toán đại số Boole $x(x + y)$ bằng:

a. $x^2 + x.y$

b. $x + y$

c. $x.y$

d. x^*

151. Giá trị của phép toán đại số Boole $(x + \overline{x}.y)$ bằng:

a. $x + y^*$

b. $x + \overline{x}$

c. x

d. $\overline{x}.y$

152. Biểu thức cổng NAND 2 ngõ vào A, B:

a. $C = \overline{A.B}$

b. $C = A.\overline{B}$

c. $C = \overline{A.B}^*$

d. $C = \overline{A}.B$

153. Biểu thức cổng NOR 2 ngõ vào A, B:

a. $C = \overline{A} + \overline{B}$

b. $C = \overline{A + B}^*$

c. $C = \overline{A} + B$

d. $C = A + \overline{B}$

154. Giá trị hàm Boole F được tạo bởi các biến nhị phân, các phép toán AND, OR, NOT, dấu =, dấu () là:

a. Một số nguyên

b. 0 hoặc 1*

c. Một số thực

d. Nằm trong khoảng (0, 1)

155. Biểu thức rút gọn của hàm Boole $F = ABC + \overline{A}C$:

a. $F = AB + C$

b. $F = AB + \overline{A}$

c. $F = BC + \overline{A}C^*$

d. $F = BC + \overline{A}$

156. Biểu thức rút gọn của $F = ABC + A\overline{B}C + \overline{A}$:

a. $F = \overline{A} + C^*$

b. $F = B + \overline{A}$

c. $F = A + \overline{B}$

d. $F = A + C$

157. Biểu thức rút gọn của $F = \overline{A}\overline{B}C + \overline{A}BC + ABC$:

a. $F = \overline{A}\overline{B} + AB$

b. $F = \overline{B}C + \overline{A}B$

c. $F = \overline{A}C + BC^*$

d. $F = \overline{A}C + ABC$

158. Biểu thức rút gọn của $F = (A + B)(A + \overline{B})$:

a. $F = A^*$

b. $F = A + B$

c. $F = A + \overline{B}$

d. $F = B$

159. Dạng chuẩn 1 là:

a. Dạng tích của các tổng chuẩn làm cho hàm $F = 1$

b. Dạng tổng của các tích chuẩn làm cho hàm $F = 1^*$

c. Dạng tổng của các tích chuẩn làm cho hàm $F = 0$

d. Dạng tích của các tổng chuẩn làm cho hàm $F = 0$

160. Dạng chuẩn 2 là:

a. Dạng tổng của các tích chuẩn làm cho hàm $F = 1$

b. Dạng tích của các tổng chuẩn làm cho hàm $F = 1$

c. Dạng tích của các tổng chuẩn làm cho hàm $F = 0^*$

d. Dạng tổng của các tích chuẩn làm cho hàm $F = 0$

161. Trên bìa Karnaugh n biến, số ô kề nhau tối đa mà ta có thể liên kết là:

- a. n b. $2n$ c. 2^n * d. $(n - 1)$

162. Khi liên kết 2^n ô kề nhau trên bìa Karnaugh, số biến được loại đi là:

- a. 1 biến b. 2 biến
c. $(n - 1)$ biến d. n biến*

163. Đơn giản hàm Boole $F(A,B,C,D) = \sum(2,6,7,8,9,10,11,13,14,15)$ sau dùng bìa Karnaugh 4 biến được:

- a. $F = \overline{A}\overline{B} + \overline{A}D + BC + \overline{C}\overline{D}$ * b. $F = \overline{A}\overline{B} + \overline{C}\overline{D} + ABD + BCD$
c. $F = \overline{A}\overline{B} + \overline{C}\overline{D} + A\overline{C}\overline{D} + BCD$ d. $F = \overline{A}\overline{B} + \overline{C}\overline{D} + ABD + \overline{A}BC$

164. Đơn giản hàm Boole $F(A,B,C,D) = \prod(0,1,2,3,4,6,8,9,10,11,12,14)$ sau dùng bìa Karnaugh 4 biến được:

- a. $F = \overline{B} + \overline{D}$ b. $F = \overline{B}.\overline{D}$
c. $F = B.D$ * d. $F = B + D$

d. $y = \bar{A} \bar{B} + \bar{A} \bar{C} + \bar{B} \bar{C}$

d. $y = (\bar{A} + \bar{B})(\bar{A} + \bar{C})(\bar{B} + \bar{C})$

d. $y = AB + AC$

d. $y = \overline{A}(\overline{B} + \overline{C})^*$

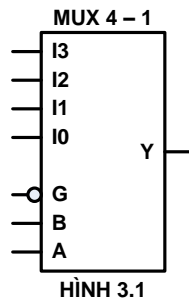
d. $y = A + BC$

d. $y = (\bar{A} + \bar{B} + C)(\bar{A} + \bar{C})$

d. $S = AB + \bar{A} \bar{B}$

d. $C = AB^*$

d. G=1 ; BA=01



- 174.** Cho mạch hợp kênh 4 – 1 như hình 3.1, trong đó I0 – I3 là 4 kênh tín hiệu vào (data inputs), B và A là 2 ngõ vào điều khiển (select inputs) với A là LSB, G là ngõ vào cho phép (enable input), Y là ngõ ra (data output). Để Y kết nối với I1 phải điều khiển như sau:
- G=0 ; BA=10
 - G=1 ; BA=10
 - G=0 ; BA=01*
 - G=1 ; BA=01
- 175.** Cho mạch hợp kênh 4 – 1 như hình 3.1, trong đó I0 – I3 là 4 kênh tín hiệu vào (data inputs), B và A là các ngõ vào điều khiển (select inputs) với A là LSB, G là ngõ vào cho phép (enable input), Y là ngõ ra (data output). Nếu điều khiển G=1 ; BA=11 thì :
- Ngõ ra Y kết nối với ngõ vào I0
 - Ngõ ra Y kết nối với ngõ vào I1
 - Ngõ ra Y kết nối với ngõ vào I3
 - MUX không hoạt động và ngõ ra Y ở mức thấp*
- 176.** Cho mạch hợp kênh 4 – 1 như hình 3.1, trong đó I0 – I3 là 4 kênh tín hiệu vào (data inputs), B và A là các ngõ vào điều khiển (select inputs) với A là LSB, G là ngõ vào cho phép (enable input), Y là ngõ ra (data output). Nếu điều khiển G=1 ; BA=00 thì :
- Ngõ ra Y kết nối với ngõ vào I0
 - Ngõ ra Y kết nối với ngõ vào I1
 - Ngõ ra Y kết nối với ngõ vào I3
 - MUX không hoạt động và ngõ ra Y ở mức thấp*
- 177.** Cho mạch hợp kênh 4 – 1 như hình 3.1, trong đó I0 – I3 là 4 kênh tín hiệu vào (data inputs), B và A là các ngõ vào điều khiển (select inputs) với A là LSB, G là ngõ vào cho phép (enable input), Y là ngõ ra (data output). Nếu điều khiển G=0 ; BA=01 thì :
- Ngõ ra Y kết nối với ngõ vào I0
 - Ngõ ra Y kết nối với ngõ vào I1*
 - Ngõ ra Y kết nối với ngõ vào I3
 - MUX không hoạt động và ngõ ra Y ở mức thấp
- 178.** Cho mạch hợp kênh 4 – 1 như hình 3.1, trong đó I0 – I3 là 4 kênh tín hiệu vào (data inputs), B và A là các ngõ vào điều khiển (select inputs) với A là LSB, G là ngõ vào cho phép (enable input), Y là ngõ ra (data output). Nếu điều khiển G=0 ; BA=11 thì :
- Ngõ ra Y kết nối với ngõ vào I0
 - Ngõ ra Y kết nối với ngõ vào I1
 - Ngõ ra Y kết nối với ngõ vào I3*
 - MUX không hoạt động và ngõ ra Y ở mức thấp
- 179.** Cho mạch hợp kênh 4 – 1 như hình 3.1, trong đó I0 – I3 là 4 kênh tín hiệu vào (data inputs), B và A là các ngõ vào điều khiển (select inputs) với A là LSB, G là ngõ vào cho phép (enable input), Y là ngõ ra (data output). Nếu điều khiển G=1 ; BA=00 thì :
- Ngõ ra Y kết nối với ngõ vào I0
 - Ngõ ra Y kết nối với ngõ vào I1
 - Ngõ ra Y kết nối với ngõ vào I3
 - MUX không hoạt động và ngõ ra Y ở mức thấp*
- 180.** Cho mạch hợp kênh 4 – 1 như hình 3.1, trong đó I0 – I3 là 4 kênh tín hiệu vào (data inputs), B và A là các ngõ vào điều khiển (select inputs) với A là LSB, G là ngõ vào cho phép (enable input), Y là ngõ ra (data output). Biểu thức đại số logic của ngõ ra Y là :
- $Y = G(I0 \bar{B} \bar{A} + I1 \bar{B} A + I2 B \bar{A} + I3 B A)$
 - $Y = G(I0 B A + I1 \bar{B} A + I2 B \bar{A} + I3 \bar{B} \bar{A})$
 - $Y = \bar{G} (I0 B A + I1 \bar{B} A + I2 B \bar{A} + I3 \bar{B} \bar{A})$
 - $Y = \bar{G} (I0 \bar{B} \bar{A} + I1 \bar{B} A + I2 B \bar{A} + I3 B A)^*$
- 181.** Cho mạch hợp kênh 4 – 1 như hình 3.2, trong đó I0 – I3 là 4 kênh tín hiệu vào (data inputs), B và A là các ngõ vào điều khiển (select inputs) với A là LSB, G là ngõ vào cho phép (enable input),

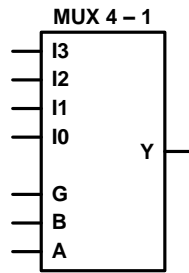
Y là ngõ ra. Đề Y kết nối với I1 phải điều khiển như sau:

a. $G=0$; $BA=10$

b. $G=1$; $BA=10$

c. $G=0$; $BA=01$

d. $G=1$; $BA=01^*$



HÌNH 3.2

182. Cho mạch hợp kênh 4 – 1 như hình 3.2, trong đó I0 – I3 là 4 kênh tín hiệu vào (data inputs), B và A là các ngõ vào điều khiển (select inputs) với A là LSB, G là ngõ vào cho phép (enable input), Y là ngõ ra. Đề Y kết nối với I2 phải điều khiển như sau:

a. $G=0$; $BA=10$

b. $G=1$; $BA=10^*$

c. $G=0$; $BA=01$

d. $G=1$; $BA=01$

183. Cho mạch hợp kênh 4 – 1 như hình 3.2, trong đó I0 – I3 là 4 kênh tín hiệu vào (data inputs), B và A là các ngõ vào điều khiển (select inputs) với A là LSB, G là ngõ vào cho phép (enable input), Y là ngõ ra. Nếu điều khiển $G=0$; $BA=00$ thì :

a. Ngõ ra Y kết nối với ngõ vào I0

b. Ngõ ra Y kết nối với ngõ vào I1

c. Ngõ ra Y kết nối với ngõ vào I3

d. Mux không hoạt động và $Y=0^*$

184. Cho mạch hợp kênh 4 – 1 như hình 3.2, trong đó I0 – I3 là 4 kênh tín hiệu vào (data inputs), B và A là các ngõ vào điều khiển (select inputs) với A là LSB, G là ngõ vào cho phép (enable input), Y là ngõ ra. Nếu điều khiển $G=0$; $BA=01$ thì :

a. Ngõ ra Y kết nối với ngõ vào I0

b. Ngõ ra Y kết nối với ngõ vào I1

c. Ngõ ra Y kết nối với ngõ vào I3

d. Mux không hoạt động và $Y=0^*$

185. Cho mạch hợp kênh 4 – 1 như hình 3.2, trong đó I0 – I3 là 4 kênh tín hiệu vào (data inputs), B và A là các ngõ vào điều khiển (select inputs) với A là LSB, G là ngõ vào cho phép (enable input), Y là ngõ ra. Nếu điều khiển $G=0$; $BA=10$ thì :

a. Ngõ ra Y kết nối với ngõ vào I0

b. Ngõ ra Y kết nối với ngõ vào I1

c. Ngõ ra Y kết nối với ngõ vào I3

d. Mux không hoạt động và $Y=0^*$

186. Cho mạch hợp kênh 4 – 1 như hình 3.2, trong đó I0 – I3 là 4 kênh tín hiệu vào (data inputs), B và A là các ngõ vào điều khiển (select inputs) với A là LSB, G là ngõ vào cho phép (enable input), Y là ngõ ra. Nếu điều khiển $G=1$; $BA=11$ thì :

a. Ngõ ra Y kết nối với ngõ vào I0

b. Ngõ ra Y kết nối với ngõ vào I1

c. Ngõ ra Y kết nối với ngõ vào I3*

d. Mux không hoạt động và $Y=0$

187. Cho mạch hợp kênh 4 – 1 như hình 3.2, trong đó I0 – I3 là 4 kênh tín hiệu vào (data inputs), B và A là các ngõ vào điều khiển (select inputs) với A là LSB, G là ngõ vào cho phép (enable input), Y là ngõ ra. Nếu điều khiển $G=1$; $BA=00$ thì :

a. Ngõ ra Y kết nối với ngõ vào I0*

b. Ngõ ra Y kết nối với ngõ vào I1

c. Ngõ ra Y kết nối với ngõ vào I3

d. Mux không hoạt động và $Y=0$

188. Cho mạch hợp kênh 4 – 1 như hình 3.2, trong đó I0 – I3 là 4 kênh tín hiệu vào (data inputs), B và A là các ngõ vào điều khiển (select inputs) với A là LSB, G là ngõ vào cho phép (enable input), Y là ngõ ra. Nếu điều khiển $G=1$; $BA=01$ thì :

a. Ngõ ra Y kết nối với ngõ vào I0

b. Ngõ ra Y kết nối với ngõ vào I1*

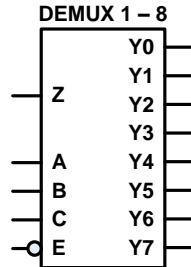
c. Ngõ ra Y kết nối với ngõ vào I3

d. Mux không hoạt động và $Y=0$

- c. $G=f(x,y,z) = (x+y+\bar{z})(x+\bar{y}+\bar{z})(\bar{x}+\bar{y}+z)(\bar{x}+\bar{y}+\bar{z})$
 d. $G=f(x,y,z) = (x+y+z)(x+\bar{y}+z)(\bar{x}+y+z)(\bar{x}+y+\bar{z})^*$

195. Cho mạch phân kênh 1 – 8 như hình 3.4, trong đó Z là kênh tín hiệu vào (data input), Y0 – Y7 là 8 kênh tín hiệu ra (data outputs), C – A là 3 ngõ vào điều khiển (select inputs) với A là LSB, E là ngõ vào cho phép (enable input). Để Z kết nối với Y6 phải điều khiển như sau:

- a. E=0 ; CBA=110* b. E=0 ; CBA=011
 c. E=1 ; CBA=110 d. E=1 ; CBA=011



HÌNH 3.4

196. Cho mạch phân kênh 1 – 8 như hình 3.4, trong đó Z là kênh tín hiệu vào (data input), Y0 – Y7 là 8 kênh tín hiệu ra (data outputs), C – A là 3 ngõ vào điều khiển (select inputs) với A là LSB, E là ngõ vào cho phép (enable input). Để Z kết nối với Y3 phải điều khiển như sau:

- a. E=0 ; CBA=110 b. E=0 ; CBA=011*
 c. E=1 ; CBA=110 d. E=1 ; CBA=011

197. Cho mạch phân kênh 1 – 8 như hình 3.4, trong đó Z là kênh tín hiệu vào (data input), Y0 – Y7 là 8 kênh tín hiệu ra (data outputs), C – A là 3 ngõ vào điều khiển (select inputs) với A là LSB, E là ngõ vào cho phép (enable input). Để Z kết nối với Y0 phải điều khiển như sau:

- a. E=0 ; CBA=000* b. E=0 ; CBA=110
 c. E=1 ; CBA=001 d. E=1 ; CBA=111

198. Cho mạch phân kênh 1 – 8 như hình 3.4, trong đó Z là kênh tín hiệu vào (data input), Y0 – Y7 là 8 kênh tín hiệu ra (data outputs), C – A là 3 ngõ vào điều khiển (select inputs) với A là LSB, E là ngõ vào cho phép (enable input). Để Z kết nối với Y1 phải điều khiển như sau:

- a. E=0 ; CBA=110 b. E=0 ; CBA=001*
 c. E=1 ; CBA=110 d. E=1 ; CBA=011

199. Cho mạch phân kênh 1 – 8 như hình 3.4, trong đó Z là kênh tín hiệu vào (data input), Y0 – Y7 là 8 kênh tín hiệu ra (data outputs), C – A là 3 ngõ vào điều khiển (select inputs) với A là LSB, E là ngõ vào cho phép (enable input). Để Z kết nối với Y5 phải điều khiển như sau:

- a. E=0 ; CBA=101* b. E=0 ; CBA=010
 c. E=1 ; CBA=110 d. E=1 ; CBA=011

200. Cho mạch phân kênh 1 – 8 như hình 3.4, trong đó Z là kênh tín hiệu vào (data input), Y0 – Y7 là 8 kênh tín hiệu ra (data outputs), C – A là 3 ngõ vào điều khiển (select inputs) với A là LSB, E là ngõ vào cho phép (enable input). Để Z kết nối với Y2 phải điều khiển như sau:

- a. E=0 ; CBA=101 b. E=0 ; CBA=010*
 c. E=1 ; CBA=110 d. E=1 ; CBA=011

201. Cho mạch phân kênh 1 – 8 như hình 3.4, trong đó Z là kênh tín hiệu vào (data input), Y0 – Y7 là 8 kênh tín hiệu ra (data outputs), C – A là 3 ngõ vào điều khiển (select inputs) với A là LSB, E là ngõ vào cho phép (enable input). Để Z kết nối với Y4 phải điều khiển như sau:

- a. E=0 ; CBA=110 b. E=0 ; CBA=100*
 c. E=1 ; CBA=110 d. E=1 ; CBA=011

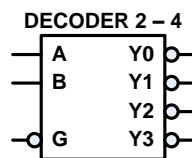
- 202.** Cho mạch phân kênh 1 – 8 như hình 3.4, trong đó Z là kênh tín hiệu vào (data input), Y0 – Y7 là 8 kênh tín hiệu ra (data outputs), C – A là 3 ngõ vào điều khiển (select inputs) với A là LSB, E là ngõ vào cho phép (enable input). Nếu điều khiển E=0, CBA=001 thì
- Ngõ vào Z kết nối với Y1*
 - Ngõ vào Z kết nối với Y3
 - Mạch không hoạt động các ngõ ra bằng 1
 - Mạch không hoạt động các ngõ ra bằng 0
- 203.** Cho mạch phân kênh 1 – 8 như hình 3.4, trong đó Z là kênh tín hiệu vào (data input), Y0 – Y7 là 8 kênh tín hiệu ra (data outputs), C – A là 3 ngõ vào điều khiển (select inputs) với A là LSB, E là ngõ vào cho phép (enable input). Nếu điều khiển E=1, CBA=001 thì
- Ngõ vào Z kết nối với Y1
 - Ngõ vào Z kết nối với Y3
 - Mạch không hoạt động các ngõ ra bằng 1
 - Mạch không hoạt động, các ngõ ra bằng 0*
- 204.** Cho mạch phân kênh 1 – 8 như hình 3.4, trong đó Z là kênh tín hiệu vào (data input), Y0 – Y7 là 8 kênh tín hiệu ra (data outputs), C – A là 3 ngõ vào điều khiển (select inputs) với A là LSB, E là ngõ vào cho phép (enable input). Nếu điều khiển E=0, CBA=110 thì ngõ vào Z kết nối với
- Ngõ vào Z kết nối với Y3
 - Ngõ vào Z kết nối với Y6*
 - Mạch không hoạt động các ngõ ra bằng 1
 - Mạch không hoạt động, các ngõ ra bằng 0
- 205.** Cho mạch phân kênh 1 – 8 như hình 3.4, trong đó Z là kênh tín hiệu vào (data input), Y0 – Y7 là 8 kênh tín hiệu ra (data outputs), C – A là 3 ngõ vào điều khiển (select inputs) với A là LSB, E là ngõ vào cho phép (enable input). Nếu điều khiển E=1, CBA=110 thì
- Ngõ vào Z kết nối với Y3
 - Ngõ vào Z kết nối với Y6
 - Mạch không hoạt động các ngõ ra bằng 1
 - Mạch không hoạt động, các ngõ ra bằng 0*
- 206.** Cho mạch phân kênh 1 – 8 như hình 3.4, trong đó Z là kênh tín hiệu vào (data input), Y0 – Y7 là 8 kênh tín hiệu ra (data outputs), C – A là 3 ngõ vào điều khiển (select inputs) với A là LSB, E là ngõ vào cho phép (enable input). Nếu điều khiển E=0, CBA=101 thì
- Ngõ vào Z kết nối với Y1
 - Ngõ vào Z kết nối với Y5*
 - Mạch không hoạt động các ngõ ra bằng 1
 - Mạch không hoạt động, các ngõ ra bằng 0
- 207.** Cho mạch phân kênh 1 – 8 như hình 3.4, trong đó Z là kênh tín hiệu vào (data input), Y0 – Y7 là 8 kênh tín hiệu ra (data outputs), C – A là 3 ngõ vào điều khiển (select inputs) với A là LSB, E là ngõ vào cho phép (enable input). Nếu điều khiển E=1, CBA=011 thì
- Ngõ vào Z kết nối với Y3
 - Ngõ vào Z kết nối với Y6
 - Mạch không hoạt động các ngõ ra bằng 1
 - Mạch không hoạt động, các ngõ ra bằng 0*
- 208.** Cho mạch phân kênh 1 – 8 như hình 3.4, trong đó Z là kênh tín hiệu vào (data input), Y0 – Y7 là 8 kênh tín hiệu ra (data outputs), C – A là 3 ngõ vào điều khiển (select inputs) với A là LSB, E là ngõ vào cho phép (enable input). Nếu điều khiển E=0, CBA=100 thì
- Ngõ vào Z kết nối với Y1
 - Ngõ vào Z kết nối với Y4*
 - Mạch không hoạt động các ngõ ra bằng 1
 - Mạch không hoạt động, các ngõ ra bằng 0
- 209.** Cho mạch phân kênh 1 – 8 như hình 3.4, trong đó Z là kênh tín hiệu vào (data input), Y0 – Y7 là 8 kênh tín hiệu ra (data outputs), C – A là 3 ngõ vào điều khiển (select inputs) với A là LSB, E là ngõ vào cho phép (enable input). Nếu điều khiển E=1, CBA=100 thì
- Ngõ vào Z kết nối với Y1
 - Ngõ vào Z kết nối với Y6
 - Ngõ vào Z kết nối với Y4
 - DEMUX không hoạt động và các ngõ ra Y0 – Y7 ở mức thấp.*
- 210.** Cho mạch phân kênh 1 – 8 như hình 3.5, trong đó Z là kênh tín hiệu vào (data input), Y0 – Y7 là 8 kênh tín hiệu ra (data outputs), C – A là 3 ngõ vào điều khiển (select inputs) với A là LSB, E là ngõ vào cho phép (enable input). Để Z kết nối với Y3 phải điều khiển như sau:

- DEMUX 1 – 8



- Y

- 218.** Cho mạch phân kênh 1 – 8 như hình 3.5, trong đó Z là kênh tín hiệu vào (data input), Y0 – Y7 là 8 kênh tín hiệu ra (data outputs), C – A là 3 ngõ vào điều khiển (select inputs) với A là LSB, E là ngõ vào cho phép (enable input). Nếu điều khiển E=0, CBA=100 thì Ngõ vào Z kết nối với
- Ngõ vào Z kết nối với Y1
 - Ngõ vào Z kết nối với Y4
 - Mạch không hoạt động, ngõ ra bằng 0*
 - Mạch không hoạt động, ngõ ra bằng 1
- 219.** Cho mạch phân kênh 1 – 8 như hình 3.5, trong đó Z là kênh tín hiệu vào (data input), Y0 – Y7 là 8 kênh tín hiệu ra (data outputs), C – A là 3 ngõ vào điều khiển (select inputs) với A là LSB, E là ngõ vào cho phép (enable input). Nếu điều khiển E=1, CBA=110 thì Ngõ vào Z kết nối với
- Ngõ vào Z kết nối với Y2
 - Ngõ vào Z kết nối với Y6*
 - Mạch không hoạt động, ngõ ra bằng 0
 - Mạch không hoạt động, ngõ ra bằng 1
- 220.** Cho mạch phân kênh 1 – 8 như hình 3.5, trong đó Z là kênh tín hiệu vào (data input), Y0 – Y7 là 8 kênh tín hiệu ra (data outputs), C – A là 3 ngõ vào điều khiển (select inputs) với A là LSB, E là ngõ vào cho phép (enable input). Nếu điều khiển E=0, CBA=110 thì Ngõ vào Z kết nối với
- Ngõ vào Z kết nối với Y3
 - Ngõ vào Z kết nối với Y6
 - Mạch không hoạt động, ngõ ra bằng 0*
 - Mạch không hoạt động, ngõ ra bằng 1
- 221.** Cho mạch phân kênh 1 – 8 như hình 3.5, trong đó Z là kênh tín hiệu vào (data input), Y0 – Y7 là 8 kênh tín hiệu ra (data outputs), C – A là 3 ngõ vào điều khiển (select inputs) với A là LSB, E là ngõ vào cho phép (enable input). Nếu điều khiển E=1, CBA=011 thì Ngõ vào Z kết nối với
- Ngõ vào Z kết nối với Y3*
 - Ngõ vào Z kết nối với Y6
 - Mạch không hoạt động, ngõ ra bằng 0
 - Mạch không hoạt động, ngõ ra bằng 1
- 222.** Cho mạch phân kênh 1 – 8 như hình 3.5, trong đó Z là kênh tín hiệu vào (data input), Y0 – Y7 là 8 kênh tín hiệu ra (data outputs), C – A là 3 ngõ vào điều khiển (select inputs) với A là LSB, E là ngõ vào cho phép (enable input). Nếu điều khiển E=0, CBA=011 thì Ngõ vào Z kết nối với
- Ngõ vào Z kết nối với Y3
 - Ngõ vào Z kết nối với Y6
 - Mạch không hoạt động, ngõ ra bằng 0*
 - Mạch không hoạt động, ngõ ra bằng
- 223.** Cho mạch giải mã 2 – 4 như hình 3.6, trong đó G là ngõ vào cho phép (enable input), B, A là 2 ngõ vào điều khiển (select inputs) với A là LSB, Y0 – Y3 là các ngõ ra (data outputs). Để Y1 ở mức tích cực và Y0, Y2, Y3 ở mức thụ động ta điều khiển như sau:
- G=0 ; BA=10
 - G=1 ; BA=10
 - G=0 ; BA=01*
 - G=1 ; BA=01



HÌNH 3.6

- 224.** Cho mạch giải mã 2 – 4 như hình 3.6, trong đó G là ngõ vào cho phép (enable input), B, A là 2 ngõ vào điều khiển (select inputs) với A là LSB, Y0 – Y3 là các ngõ ra (data outputs). Để Y2 ở mức tích cực và Y0, Y1, Y3 ở mức thụ động ta điều khiển như sau:
- G=0 ; BA=10*
 - G=1 ; BA=10
 - G=0 ; BA=01
 - G=1 ; BA=01
- 225.** Cho mạch giải mã 2 – 4 như hình 3.6, trong đó G là ngõ vào cho phép (enable input), B, A là 2 ngõ vào điều khiển (select inputs) với A là LSB, Y0 – Y3 là các ngõ ra (data outputs). Để Y0 ở mức tích cực và Y0, Y1, Y3 ở mức thụ động ta điều khiển như sau:
- G=0 ; BA=11
 - G=0 ; BA=00*
 - G=1 ; BA=00
 - G=1 ; BA=11
- 226.** Cho mạch giải mã 2 – 4 như hình 3.6, trong đó G là ngõ vào cho phép (enable input), B, A là 2 ngõ vào điều khiển (select inputs) với A là LSB, Y0 – Y3 là các ngõ ra (data outputs). Để Y3 ở

mức tích cực và Y0, Y1, Y3 ở mức thụ động ta điều khiển như sau:

- a. G=0 ; BA=11* b. G=0 ; BA=00
c. G=1 ; BA=00 d. G=1 ; BA=11

227. Cho mạch giải mã 2 – 4 như hình 3.6, trong đó G là ngõ vào cho phép (enable input), B, A là 2 ngõ vào điều khiển (select inputs) với A là LSB, Y0 – Y3 là các ngõ ra (data outputs). Nếu G=0; BA=00 thì trạng thái của các ngõ ra là :

- a. Y3Y2Y1Y0 = 0000 b. Y3Y2Y1Y0 = 0001
c. Y3Y2Y1Y0 = 1110* d. Y3Y2Y1Y0 = 1111

228. Cho mạch giải mã 2 – 4 như hình 3.6, trong đó G là ngõ vào cho phép (enable input), B, A là 2 ngõ vào điều khiển (select inputs) với A là LSB, Y0 – Y3 là các ngõ ra (data outputs). Nếu G=1; BA=00 thì trạng thái của các ngõ ra là :

- a. Y3Y2Y1Y0 = 0000 b. Y3Y2Y1Y0 = 0001
c. Y3Y2Y1Y0 = 1110 d. Y3Y2Y1Y0 = 1111*

229. Cho mạch giải mã 2 – 4 như hình 3.6, trong đó G là ngõ vào cho phép (enable input), B, A là 2 ngõ vào điều khiển (select inputs) với A là LSB, Y0 – Y3 là các ngõ ra (data outputs). Nếu G=0; BA=01 thì trạng thái của các ngõ ra là :

- a. Y3Y2Y1Y0 = 0000 b. Y3Y2Y1Y0 = 0010
c. Y3Y2Y1Y0 = 1101* d. Y3Y2Y1Y0 = 1111

230. Cho mạch giải mã 2 – 4 như hình 3.6, trong đó G là ngõ vào cho phép (enable input), B, A là 2 ngõ vào điều khiển (select inputs) với A là LSB, Y0 – Y3 là các ngõ ra (data outputs). Nếu G=1; BA=01 thì trạng thái của các ngõ ra là :

- a. Y3Y2Y1Y0 = 0000 b. Y3Y2Y1Y0 = 0010
c. Y3Y2Y1Y0 = 1101 d. Y3Y2Y1Y0 = 1111*

231. Cho mạch giải mã 2 – 4 như hình 3.6, trong đó G là ngõ vào cho phép (enable input), B, A là 2 ngõ vào điều khiển (select inputs) với A là LSB, Y0 – Y3 là các ngõ ra (data outputs). Nếu G=0; BA=11 thì trạng thái của các ngõ ra là :

- a. Y3Y2Y1Y0 = 0000 b. Y3Y2Y1Y0 = 0111*
c. Y3Y2Y1Y0 = 1000 d. Y3Y2Y1Y0 = 1111

232. Cho mạch giải mã 2 – 4 như hình 3.6, trong đó G là ngõ vào cho phép (enable input), B, A là 2 ngõ vào điều khiển (select inputs) với A là LSB, Y0 – Y3 là các ngõ ra (data outputs). Nếu G=1; BA=11 thì trạng thái của các ngõ ra là :

- a. Y3Y2Y1Y0 = 0000 b. Y3Y2Y1Y0 = 0111
c. Y3Y2Y1Y0 = 1000 d. Y3Y2Y1Y0 = 1111*

233. Cho mạch giải mã 2 – 4 như hình 3.6, trong đó G là ngõ vào cho phép (enable input), B, A là 2 ngõ vào điều khiển (select inputs) với A là LSB, Y0 – Y3 là các ngõ ra (data outputs). Nếu G=0; BA=10 thì trạng thái của các ngõ ra là :

- a. Y3Y2Y1Y0 = 1011* b. Y3Y2Y1Y0 = 1101
c. Y3Y2Y1Y0 = 0100 d. Y3Y2Y1Y0 = 0010

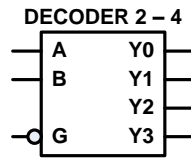
234. Cho mạch giải mã 2 – 4 như hình 3.6, trong đó G là ngõ vào cho phép (enable input), B, A là 2 ngõ vào điều khiển (select inputs) với A là LSB, Y0 – Y3 là các ngõ ra (data outputs). Nếu G=1; BA=10 thì trạng thái của các ngõ ra là :

- a. Y3Y2Y1Y0 = 1011 b. Y3Y2Y1Y0 = 0100
c. Y3Y2Y1Y0 = 0000 d. Y3Y2Y1Y0 = 1111*

235. Cho mạch giải mã 2 – 4 như hình 3.7, trong đó G là ngõ vào cho phép (enable input), B, A là 2 ngõ vào điều khiển (select inputs) với A là LSB, Y0 – Y3 là các ngõ ra (data outputs). Để Y2 ở mức

tích cực và Y0, Y1, Y3 ở mức thụ động ta điều khiển như sau :

- a. G=0 ; BA=10*
- b. G=1 ; BA=10
- c. G=0 ; BA=01
- d. G=1 ; BA=01



HÌNH 3.7

- 236.** Cho mạch giải mã 2 – 4 như hình 3.7, trong đó G là ngõ vào cho phép (enable input), B, A là 2 ngõ vào điều khiển (select inputs) với A là LSB, Y0 – Y3 là các ngõ ra (data outputs). Nếu G=0; BA=10 thì trạng thái của các ngõ ra là :
- a. Y3Y2Y1Y0 = 1011
 - b. Y3Y2Y1Y0 = 1101
 - c. Y3Y2Y1Y0 = 0100*
 - d. Y3Y2Y1Y0 = 0010
- 237.** Cho mạch giải mã 2 – 4 như hình 3.7, trong đó G là ngõ vào cho phép (enable input), B, A là 2 ngõ vào điều khiển (select inputs) với A là LSB, Y0 – Y3 là các ngõ ra (data outputs). Nếu G=1; BA=01 thì trạng thái của các ngõ ra là :
- a. Y3Y2Y1Y0 = 1011
 - b. Y3Y2Y1Y0 = 0100
 - c. Y3Y2Y1Y0 = 0000*
 - d. Y3Y2Y1Y0 = 1111
- 238.** Cho mạch giải mã 2 – 4 như hình 3.7, trong đó G là ngõ vào cho phép (enable input), B, A là 2 ngõ vào điều khiển (select inputs) với A là LSB, Y0 – Y3 là các ngõ ra (data outputs). Nếu G=1; BA=00 thì trạng thái của các ngõ ra là :
- a. Y3Y2Y1Y0 = 0000*
 - b. Y3Y2Y1Y0 = 0001
 - c. Y3Y2Y1Y0 = 1110
 - d. Y3Y2Y1Y0 = 1111
- 239.** Cho mạch giải mã 2 – 4 như hình 3.7, trong đó G là ngõ vào cho phép (enable input), B, A là 2 ngõ vào điều khiển (select inputs) với A là LSB, Y0 – Y3 là các ngõ ra (data outputs). Nếu G=0; BA=00 thì trạng thái của các ngõ ra là :
- a. Y3Y2Y1Y0 = 0000
 - b. Y3Y2Y1Y0 = 0001*
 - c. Y3Y2Y1Y0 = 1110
 - d. Y3Y2Y1Y0 = 1111
- 240.** Cho mạch giải mã 2 – 4 như hình 3.7, trong đó G là ngõ vào cho phép (enable input), B, A là 2 ngõ vào điều khiển (select inputs) với A là LSB, Y0 – Y3 là các ngõ ra (data outputs). Nếu G=0; BA=11 thì trạng thái của các ngõ ra là :
- a. Y3Y2Y1Y0 = 0000
 - b. Y3Y2Y1Y0 = 1000*
 - c. Y3Y2Y1Y0 = 0001
 - d. Y3Y2Y1Y0 = 1111
- 241.** Cho mạch giải mã 2 – 4 như hình 3.7, trong đó G là ngõ vào cho phép (enable input), B, A là 2 ngõ vào điều khiển (select inputs) với A là LSB, Y0 – Y3 là các ngõ ra (data outputs). Nếu G=1; BA=00 thì trạng thái của các ngõ ra là :
- a. Y3Y2Y1Y0 = 0000*
 - b. Y3Y2Y1Y0 = 0001
 - c. Y3Y2Y1Y0 = 1110
 - d. Y3Y2Y1Y0 = 1111
- 242.** Cho mạch giải mã 2 – 4 như hình 3.7, trong đó G là ngõ vào cho phép (enable input), B và A là 2 ngõ vào điều khiển (select inputs) với A là LSB, Y0 – Y3 là các ngõ ra (data outputs). Biểu thức đại số logic của các ngõ ra Y0 là :
- a. $Y0 = \overline{G} \cdot \overline{B} \cdot \overline{A}$ *
 - b. $Y0 = G \cdot \overline{B} \cdot \overline{A}$
 - c. $Y0 = \overline{G} + \overline{B} + \overline{A}$
 - d. $Y0 = G + \overline{B} + \overline{A}$

- 243.** Cho mạch giải mã 2 – 4 như hình 3.6, trong đó G là ngõ vào cho phép (enable input), B và A là 2 ngõ vào điều khiển (select inputs) với A là LSB, Y0 – Y3 là các ngõ ra (data outputs). Biểu thức

đại số logic của các ngõ ra Y0 là :

- a. $Y0 = \overline{G} \overline{B} \overline{A}$ b. $Y0 = G \overline{B} \overline{A}$
c. $Y0 = \overline{G} + B + A$ d. $Y0 = G + B + A^*$

244. Để tạo ra bộ giải mã 3 – 8, ta ghép 2 bộ giải mã (mỗi bộ giải mã đều phải có ngõ vào cho phép):

- a. 2 – 4* b. 2 – 8 c. 1 – 4 d. 1 – 8

245. Để tạo ra bộ giải mã 4 – 16, ta ghép 2 bộ giải mã (mỗi bộ giải mã đều có ngõ vào cho phép):

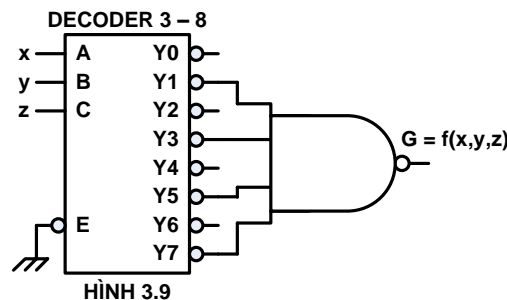
- a. 2 – 8 b. 3 – 8* c. 3 – 16 d. 2 – 16

246. Một bộ giải mã có thể thực hiện:

- a. Chỉ duy nhất 1 hàm Boole b. 2 hàm Boole trên cùng 1 hệ giải mã
c. Không thực hiện được hàm Boole d. Nhiều hàm Boole trên cùng 1 hệ giải mã*

247. Hàm $G=f(x,y,z)$ được thực hiện bằng mạch giải mã nhị phân như hình 3.9 trong đó E là ngõ vào cho phép (enable input), C – A là 3 ngõ vào điều khiển (select inputs) với A là LSB, Y0 – Y7 là các ngõ ra (data outputs). Biểu thức đại số logic của hàm $G=f(x,y,z)$ là :

- a. $G = \Sigma(1,3,5,7)^*$ b. $G = \Sigma(0,2,4,6)$
c. $G = \Pi(1,3,5,7)$ d. $G = \Pi(0,1,3,5,7)$



HÌNH 3.9

248. Hàm $G=f(x,y,z)$ được thực hiện bằng mạch giải mã nhị phân như hình 3.9 trong đó E là ngõ vào cho phép (enable input), C – A là 3 ngõ vào điều khiển (select inputs) với A là LSB, Y0 – Y7 là các ngõ ra (data outputs). Biểu thức đại số logic của hàm $G=f(x,y,z)$ là :

- a. $G = \Sigma(0,1,3,5,7)$ b. $G = \Sigma(0,2,4,6)$
c. $G = \Pi(0,2,4,6)^*$ d. $G = \Pi(1,3,5,7)$

249. Hàm $G=f(x,y,z)$ được thực hiện bằng mạch giải mã nhị phân như hình 3.9 trong đó E là ngõ vào cho phép (enable input), C – A là 3 ngõ vào điều khiển (select inputs) với A là LSB, Y0 – Y7 là các ngõ ra (data outputs). Biểu thức đại số logic của hàm $G=f(x,y,z)$ là :

- a. $G=f(x,y,z) = \overline{x} \overline{y} \overline{z} + \overline{x} y \overline{z} + x \overline{y} \overline{z} + x y \overline{z}$ b. $G=f(x,y,z) = \overline{x} \overline{y} z + \overline{x} y z + x \overline{y} z + x y z^*$
c. $G=f(x,y,z) = x y \overline{z} + x \overline{y} \overline{z} + \overline{x} y \overline{z} + \overline{x} \overline{y} \overline{z}$ d. $G=f(x,y,z) = x y z + x \overline{y} z + \overline{x} y z + \overline{x} \overline{y} z$

250. Hàm $G=f(x,y,z)$ được thực hiện bằng mạch giải mã nhị phân như hình 3.9 trong đó E là ngõ vào cho phép (enable input), C – A là 3 ngõ vào điều khiển (select inputs) với A là LSB, Y0 – Y7 là 8 ngõ ra (data outputs). Biểu thức đại số logic của hàm $G=f(x,y,z)$ là:

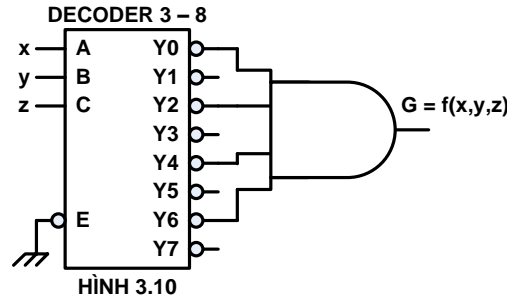
- a. $G=f(x,y,z) = (\overline{x} + \overline{y} + \overline{z})(\overline{x} + y + \overline{z})(x + \overline{y} + \overline{z})(x + y + \overline{z})$
b. $G=f(x,y,z) = (\overline{x} + \overline{y} + z)(\overline{x} + y + z)(\overline{x} + y + \overline{z})(x + y + z)$
c. $G=f(x,y,z) = (x + y + \overline{z})(x + \overline{y} + \overline{z})(\overline{x} + y + \overline{z})(\overline{x} + \overline{y} + \overline{z})$
d. $G=f(x,y,z) = (x + y + z)(x + \overline{y} + z)(\overline{x} + y + z)(\overline{x} + \overline{y} + z)^*$

251. Hàm $G=f(x,y,z)$ được thực hiện bằng mạch giải mã nhị phân như hình 3.10 trong đó E là ngõ vào cho phép (enable input), C – A là 3 ngõ vào điều khiển (select inputs) với A là LSB, Y0 – Y7 là 8 ngõ ra (data outputs). Biểu thức đại số logic của hàm $G=f(x,y,z)$ là:

- a. $G = \Sigma(1,3,5,7)$ * b. $G = \Sigma(0,2,4,6)$
c. $G = \Pi(1,3,5,7)$ d. $G = \Pi(0,1,3,5,7)$

252. Hàm $G=f(x,y,z)$ được thực hiện bằng mạch giải mã nhị phân như hình 3.10 trong đó E là ngõ vào cho phép (enable input), C – A là 3 ngõ vào điều khiển (select inputs) với A là LSB, Y0 – Y7 là 8 ngõ ra (data outputs). Biểu thức đại số logic của hàm $G=f(x,y,z)$ là:

- a. $G = \Sigma(0,1,3,5,7)$ b. $G = \Sigma(0,2,4,6)$
c. $G = \Pi(0,2,4,6)$ * d. $G = \Pi(1,3,5,7)$



HÌNH 3.10

253. Hàm $G=f(x,y,z)$ được thực hiện bằng mạch giải mã nhị phân như hình 3.10 trong đó E là ngõ vào cho phép (enable input), C – A là 3 ngõ vào điều khiển (select inputs) với A là LSB, Y0 – Y7 là 8 ngõ ra (data outputs). Biểu thức đại số logic của hàm $G=f(x,y,z)$ là:

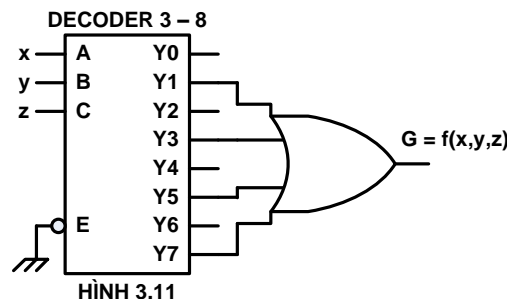
- a. $G=f(x,y,z) = \bar{x} \bar{y} \bar{z} + \bar{x} y \bar{z} + x \bar{y} \bar{z} + xy \bar{z}$
b. $G=f(x,y,z) = \bar{x} \bar{y} z + \bar{x} y z + x \bar{y} z + xyz$ *
c. $G=f(x,y,z) = xy \bar{z} + x \bar{y} \bar{z} + \bar{x} y \bar{z} + \bar{x} \bar{y} \bar{z}$
d. $G=f(x,y,z) = xyz + x \bar{y} z + \bar{x} y z + \bar{x} \bar{y} z$

254. Hàm $G=f(x,y,z)$ được thực hiện bằng mạch giải mã nhị phân như hình 3.10 trong đó E là ngõ vào cho phép (enable input), C – A là 3 ngõ vào điều khiển (select inputs) với A là LSB, Y0 – Y7 là 8 ngõ ra (data outputs). Biểu thức đại số logic của hàm $G=f(x,y,z)$ là:

- a. $G=f(x,y,z) = (\bar{x} + \bar{y} + \bar{z})(\bar{x} + y + \bar{z})(x + \bar{y} + \bar{z})(x + y + \bar{z})$
b. $G=f(x,y,z) = (\bar{x} + \bar{y} + z)(\bar{x} + y + z)(\bar{x} + y + \bar{z})(x + y + z)$
c. $G=f(x,y,z) = (x + y + \bar{z})(x + \bar{y} + \bar{z})(\bar{x} + y + \bar{z})(\bar{x} + \bar{y} + \bar{z})$
d. $G=f(x,y,z) = (x + y + z)(x + \bar{y} + z)(\bar{x} + y + z)(\bar{x} + \bar{y} + z)$ *

255. Hàm $G=f(x,y,z)$ được thực hiện bằng mạch giải mã nhị phân như hình 3.11 trong đó E là ngõ vào cho phép (enable input), C – A là 3 ngõ vào điều khiển (select inputs) với A là LSB, Y0 – Y7 là các ngõ ra (data outputs). Biểu thức đại số logic của hàm $G=f(x,y,z)$ là :

- a. $G = \Sigma(1,3,5,7)$ * b. $G = \Sigma(0,2,4,6)$
c. $G = \Pi(1,3,5,7)$ d. $G = \Pi(0,1,3,5,7)$



HÌNH 3.11

256. Hàm $G=f(x,y,z)$ được thực hiện bằng mạch giải mã nhị phân như hình 3.11 trong đó E là ngõ vào cho phép (enable input), C – A là 3 ngõ vào điều khiển (select inputs) với A là LSB, Y0 – Y7 là

các ngõ ra (data outputs). Biểu thức đại số logic của hàm $G=f(x,y,z)$ là :

- a. $G = \Sigma(0,1,3,5,7)$ b. $G = \Sigma(0,2,4,6)$
c. $G = \prod(0,2,4,6)^*$ d. $G = \prod(1,3,5,7)$

257. Hàm $G=f(x,y,z)$ được thực hiện bằng mạch giải mã nhị phân như hình 3.11 trong đó E là ngõ vào cho phép (enable input), C – A là 3 ngõ vào điều khiển (select inputs) với A là LSB, $Y_0 – Y_7$ là các ngõ ra (data outputs). Biểu thức đại số logic của hàm $G=f(x,y,z)$ là :

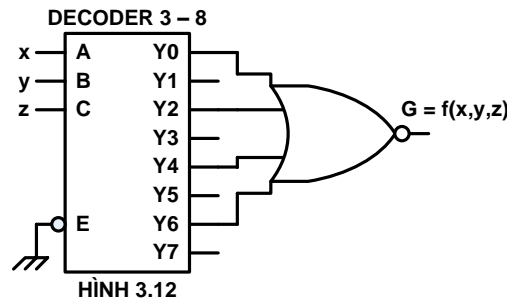
- a. $G=f(x,y,z) = \bar{x} \bar{y} \bar{z} + \bar{x} y \bar{z} + x \bar{y} \bar{z} + xy \bar{z}$
b. $G=f(x,y,z) = \bar{x} \bar{y} z + \bar{x} y z + x \bar{y} z + xyz^*$
c. $G=f(x,y,z) = xyz + x \bar{y} \bar{z} + \bar{x} y \bar{z} + \bar{x} \bar{y} \bar{z}$
d. $G=f(x,y,z) = \bar{x} \bar{y} \bar{z} + x \bar{y} z + \bar{x} y z + \bar{x} \bar{y} z$

258. Hàm $G=f(x,y,z)$ được thực hiện bằng mạch giải mã nhị phân như hình 3.11 trong đó E là ngõ vào cho phép (enable input), C – A là 3 ngõ vào điều khiển (select inputs) với A là LSB, $Y_0 – Y_7$ là 8 ngõ ra (data outputs). Biểu thức đại số logic của hàm $G=f(x,y,z)$ là:

- a. $G=f(x,y,z) = (\bar{x} + \bar{y} + \bar{z})(\bar{x}+y+\bar{z})(x+\bar{y}+\bar{z})(x+y+\bar{z})$
b. $G=f(x,y,z) = (\bar{x} + \bar{y} + z)(\bar{x} + y + z)(\bar{x} + y + \bar{z})(x + y + z)$
c. $G=f(x,y,z) = (x + y + z)(x + \bar{y} + \bar{z})(\bar{x} + y + \bar{z})(\bar{x} + \bar{y} + \bar{z})$
d. $G=f(x,y,z) = (x + y + z)(x + \bar{y} + z)(\bar{x} + y + z)(\bar{x} + \bar{y} + z)^*$

259. Hàm $G=f(x,y,z)$ được thực hiện bằng mạch giải mã nhị phân như hình 3.12 trong đó E là ngõ vào cho phép (enable input), C – A là 3 ngõ vào điều khiển (select inputs) với A là LSB, $Y_0 – Y_7$ là 8 ngõ ra (data outputs). Biểu thức đại số logic của hàm $G=f(x,y,z)$ là:

- a. $G = \Sigma(1,3,5,7)^*$ b. $G = \Sigma(0,2,4,6)$
c. $G = \prod(1,3,5,7)$ d. $G = \prod(0,1,3,5,7)$



260. Hàm $G=f(x,y,z)$ được thực hiện bằng mạch giải mã nhị phân như hình 3.12 trong đó E là ngõ vào cho phép (enable input), C – A là 3 ngõ vào điều khiển (select inputs) với A là LSB, $Y_0 – Y_7$ là 8 ngõ ra (data outputs). Biểu thức đại số logic của hàm $G=f(x,y,z)$ là:

- a. $G = \Sigma(0,1,3,5,7)$ b. $G = \Sigma(0,2,4,6)$
c. $G = \prod(0,2,4,6)^*$ d. $G = \prod(1,3,5,7)$

261. Hàm $G=f(x,y,z)$ được thực hiện bằng mạch giải mã nhị phân như hình 3.12 trong đó E là ngõ vào cho phép (enable input), C – A là 3 ngõ vào điều khiển (select inputs) với A là LSB, $Y_0 – Y_7$ là 8 ngõ ra (data outputs). Biểu thức đại số logic của hàm $G=f(x,y,z)$ là:

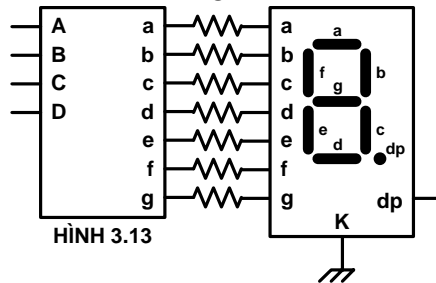
- a. $G=f(x,y,z) = \bar{x} \bar{y} \bar{z} + \bar{x} y \bar{z} + x \bar{y} \bar{z} + xy \bar{z}$
b. $G=f(x,y,z) = \bar{x} \bar{y} z + \bar{x} y z + x \bar{y} z + xyz^*$
c. $G=f(x,y,z) = xyz + x \bar{y} \bar{z} + \bar{x} y \bar{z} + \bar{x} \bar{y} \bar{z}$
d. $G=f(x,y,z) = \bar{x} \bar{y} \bar{z} + x \bar{y} z + \bar{x} y z + \bar{x} \bar{y} z$

262. Hàm $G=f(x,y,z)$ được thực hiện bằng mạch giải mã nhị phân như hình 3.12 trong đó E là ngõ vào cho phép (enable input), C – A là 3 ngõ vào điều khiển (select inputs) với A là LSB, $Y_0 – Y_7$ là 8 ngõ ra (data outputs). Biểu thức đại số logic của hàm $G=f(x,y,z)$ là:

- a. $G=f(x,y,z) = (\bar{x} + \bar{y} + \bar{z})(\bar{x} + y + \bar{z})(x + \bar{y} + \bar{z})(x + y + \bar{z})$
- b. $G=f(x,y,z) = (\bar{x} + \bar{y} + z)(\bar{x} + y + z)(\bar{x} + y + \bar{z})(x + y + z)$
- c. $G=f(x,y,z) = (x + y + z)(x + \bar{y} + \bar{z})(\bar{x} + y + \bar{z})(\bar{x} + \bar{y} + \bar{z})$
- d. $G=f(x,y,z) = (x + y + z)(x + \bar{y} + z)(\bar{x} + y + z)(\bar{x} + \bar{y} + z)^*$

263. Mạch giải mã BCD sang 7 đoạn loại catod chung như hình 3.13 trong đó D – A là 4 ngõ vào dữ liệu với A là LSB, a – g là 7 ngõ ra. Khi DCBA=0011 thì trạng thái ngõ ra là:

- a. abcdefg=1111001*
- b. abcdefg=0000110
- c. abcdefg=1011111
- d. abcdefg=0100000



264. Mạch giải mã BCD sang 7 đoạn loại catod chung như hình 3.13 trong đó D – A là 4 ngõ vào dữ liệu với A là LSB, a – g là 7 ngõ ra. Khi DCBA=0010 thì trạng thái ngõ ra là:

- a. abcdefg=0010010
- b. abcdefg=1101101*
- c. abcdefg=0110011
- d. abcdefg=1001100

265. Mạch giải mã BCD sang 7 đoạn loại catod chung như hình 3.13 trong đó D – A là 4 ngõ vào dữ liệu với A là LSB, a – g là 7 ngõ ra. Khi DCBA=0100 thì trạng thái ngõ ra là:

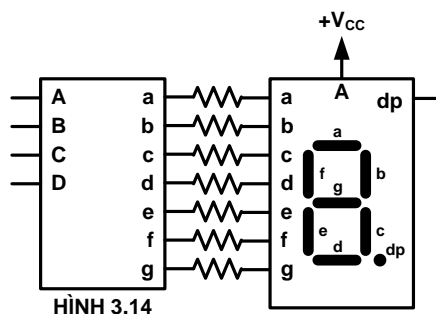
- a. abcdefg=0010010
- b. abcdefg=1000100
- c. abcdefg=0110011*
- d. abcdefg=0111011

266. Mạch giải mã BCD sang 7 đoạn loại catod chung như hình 3.13 trong đó D – A là 4 ngõ vào dữ liệu với A là LSB, a – g là 7 ngõ ra. Khi DCBA=0101 thì trạng thái ngõ ra là:

- a. abcdefg=0010010
- b. abcdefg=1101101
- c. abcdefg=1011011*
- d. abcdefg=0100100

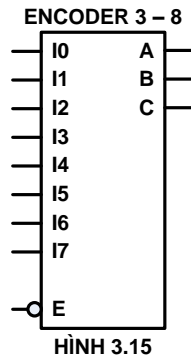
267. Mạch giải mã BCD sang 7 đoạn loại anod chung như hình 3.14 trong đó D – A là 4 ngõ vào dữ liệu với A là LSB, a – g là 7 ngõ ra. Khi DCBA=0011 thì trạng thái ngõ ra là:

- a. abcdefg=1111001
- b. abcdefg=0000110*
- c. abcdefg=1011111
- d. abcdefg=0100000

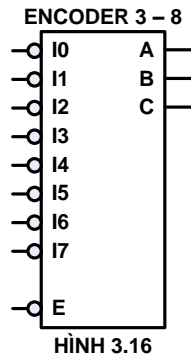


268. Mạch giải mã BCD sang 7 đoạn loại anod chung như hình 3.14 trong đó D – A là 4 ngõ vào dữ liệu với A là LSB, a – g là 7 ngõ ra. Khi DCBA=0010 thì trạng thái ngõ ra là:

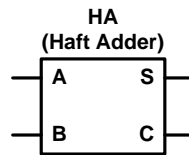
- a. abcdefg=1101101 b. abcdefg=0010010*
- c. abcdefg=1001111 d. abcdefg=0110011
- 269.** Mạch giải mã BCD sang 7 đoạn loại anod chung như hình 3.14 trong đó D – A là 4 ngõ vào dữ liệu với A là LSB, a – g là 7 ngõ ra. Khi DCBA=0100 thì trạng thái ngõ ra là:
- a. abcdefg=1101101 b. abcdefg=0010010
- c. abcdefg=1001100* d. abcdefg=1000100
- 270.** Mạch giải mã BCD sang 7 đoạn loại anod chung như hình 3.14 trong đó D – A là 4 ngõ vào dữ liệu với A là LSB, a – g là 7 ngõ ra. Khi DCBA=0101 thì trạng thái ngõ ra là:
- a. abcdefg=1101101 b. abcdefg=0010010
- c. abcdefg=0100100* d. abcdefg=1011011
- 271.** Mạch mã hoá ưu tiên 8 – 3 như hình 3.15, trong đó E là ngõ vào tín hiệu cho phép, CBA là 3 ngõ ra tín hiệu với A là LSB, I0 – I7 là 8 ngõ vào tín hiệu với độ ưu tiên giảm dần từ I7 đến I0. Nếu điều khiển E=0, I7I6I5I4I3I2I1I0=10101001 thì trạng thái của ngõ ra là:
- a. CBA=111* b. CBA=101
- c. CBA=011 d. CBA=000



- 272.** Mạch mã hoá ưu tiên 8 – 3 như hình 3.15, trong đó E là ngõ vào tín hiệu cho phép, CBA là 3 ngõ ra tín hiệu với A là LSB, I0 – I7 là 8 ngõ vào tín hiệu với độ ưu tiên giảm dần từ I7 đến I0. Nếu điều khiển E=1, I7I6I5I4I3I2I1I0=10101001 thì trạng thái của ngõ ra là:
- a. CBA=111 b. CBA=101 c. CBA=011 d. CBA=000*
- 273.** Mạch mã hoá ưu tiên 8 – 3 như hình 3.16, trong đó E là ngõ vào tín hiệu cho phép, CBA là 3 ngõ ra tín hiệu với A là LSB, I0 – I7 là 8 ngõ vào tín hiệu với độ ưu tiên giảm dần từ I7 đến I0. Nếu điều khiển E=0, I7I6I5I4I3I2I1I0=10101010 thì trạng thái của ngõ ra là:
- a. CBA=111 b. CBA=110* c. CBA=101 d. CBA=100

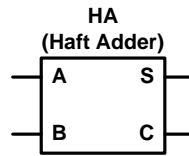


- 274.** Mạch cộng bán phần HA (Haft Adder) thực hiện cộng hai số:



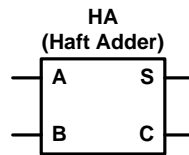
HÌNH 3.17

275. Mạch cộng bán phần HA (Haft Adder) có biểu thức tổng S ở ngõ ra:



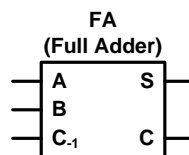
HÌNH 3.17

276. Mạch cộng bán phần HA (Haft Adder) có biểu thức số nhớ C ở ngõ ra:



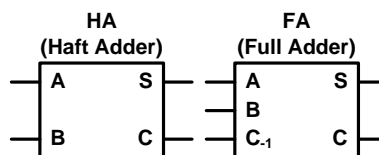
HÌNH 3.17

277. Mạch cộng toàn phần FA (Full Adder) thực hiện cộng hai số:



HÌNH 3.18

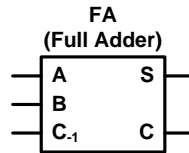
278. Đặc điểm khác nhau giữa mạch cộng toàn phần FA (Full Adder) và mạch cộng bán phần HA (Haft Adder) là:



HÌNH 3.17

HÌNH 3.18

279. Mạch cộng toàn phần FA (Full Adder) có biểu thức tổng ở ngõ ra:



HÌNH 3.18

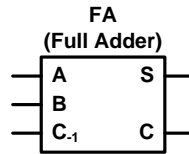
a. $S = ABC_{-1}$

b. $S = A+B+C_{-1}$

c. $S = A \oplus B \oplus C_{-1}^*$

d. $S = \bar{A} \oplus \bar{B} \oplus \bar{C}_{-1}$

280. Mạch cộng toàn phần FA (Full Adder) có biểu thức số nhớ C ở ngõ ra:



HÌNH 3.18

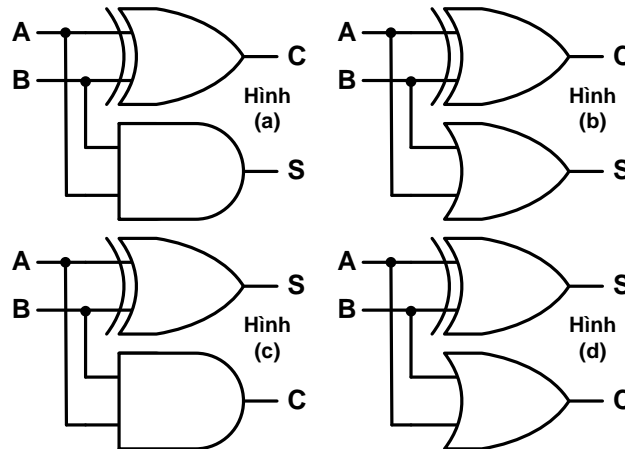
a. $C = ABC_{-1}$

b. $C = A+B+C_{-1}$

c. $C = A \oplus B \oplus C_{-1}$

d. $C = AB+AC_{-1}+BC_{-1}^*$

281. Trong các hình vẽ sau, hình nào là sơ đồ mạch cộng bán phần thực hiện bằng cổng logic: ***



HÌNH 3.17a

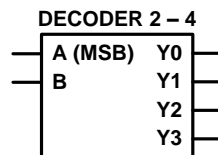
282. Mạch giải mã là mạch:

a. n ngõ vào và n ngõ ra

b. n ngõ vào và 2n ngõ ra

c. 2^n ngõ vào và n ngõ ra

d. n ngõ vào và 2^n ngõ ra*



HÌNH 3.19

283. Mạch giải mã 2 – 4 như hình 3.19:

a. $Y3 = AB^*$

b. $Y3 = A+B$

c. $Y3 = A \oplus B$

d. $Y3 = AB+A+B$

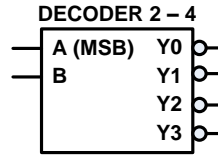
284. Mạch giải mã 2 – 4 như hình 3.19:

a. $Y1 = A + B$

b. $Y1 = \bar{A} B^*$

c. $Y1 = AB$

d. $Y1 = A \oplus B$



HÌNH 3.20

285. Mạch giải mã 2 – 4 như hình 3.20:

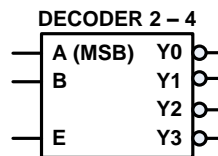
- a. Ngõ ra tích cực mức cao
- c. Ngõ ra luôn tích cực

- b. Ngõ ra tích cực mức thấp*
- d. Ngõ ra luôn không tích cực

286. Mạch giải mã 2 – 4 như hình 3.20:

- a. $Y0 = AB$
- c. $Y1 = AB$

- b. $Y1 = A + B$
- d. $Y0 = A + B$ *



HÌNH 3.21

287. Mạch giải mã như hình 3.21. Kết luận nào sau đây là SAI

- a. Đây là mạch giải mã 2 – 4
- b. Đây là mạch giải mã có ngõ ra tích cực mức thấp
- c. Đây là mạch giải mã có ngõ vào cho phép
- d. Đây là mạch giải mã có ngõ ra tích cực mức cao*

288. Mạch giải mã như hình 3.21. Kết luận nào sau đây đúng:

- a. Ngõ vào cho phép tích cực mức thấp
- c. Ngõ vào cho phép tích cực mức cao*

- b. Ngõ ra tích cực mức cao
- d. Đây là mạch giải mã 3 – 4

289. Mạch giải mã như hình 3.21:

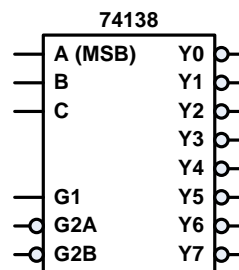
- a. Khi E=0 thì tất cả các ngõ ra có mức logic 0
- b. Khi E=0 thì tất cả các ngõ ra có mức logic 1*
- c. Khi E=1 thì tất cả các ngõ ra có mức logic 0
- d. Khi E=1 thì tất cả các ngõ ra có mức logic 1

290. Khi ghép hai bộ giải mã 2 – 4 ta được

- a. 1 bộ giải mã 4 – 8
- b. 1 bộ giải mã 3 – 8*
- c. 1 bộ mã hoá 4 – 8
- d. 1 bộ mã hoá 3 – 8

291. Để có thể ghép các bộ giải mã với nhau thì cần điều kiện:

- a. Bộ giải mã phải có ngõ ra tích cực mức thấp
- b. Bộ giải mã phải có ngõ ra tích cực mức cao
- c. Không cần điều kiện gì
- d. Các bộ giải mã phải có ngõ vào cho phép*

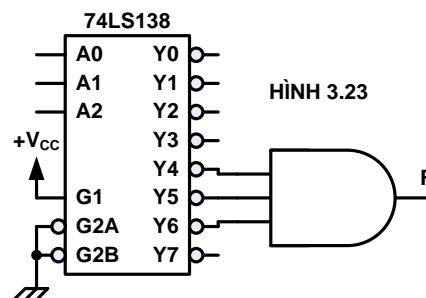


HÌNH 3.22

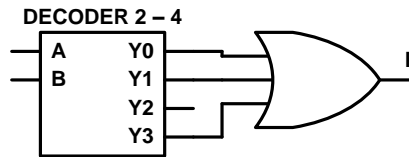
292. Cho IC giải mã 74138 như hình 3.22:

- a. Đây là IC giải mã từ 3 sang 8*
- b. Đây là IC giải mã từ 6 sang 8

- c. Đây là IC giải mã từ 8 sang 6 d. Đây là IC giải mã từ 8 sang 3
- 293.** Cho IC giải mã 74138 như hình 3.22:
- a. IC có 3 ngõ vào cho phép b. IC có ngõ ra tích cực mức cao
- c. IC có ngõ ra tích cực mức thấp d. IC có 3 ngõ vào cho phép và ngõ ra tích cực mức thấp*
- 294.** Cho IC giải mã 74138 như hình 3.22:
- a. Khi $G1 = 1$ thì tất cả ngõ ra bằng 0 b. Khi $G1 = 0$ thì tất cả ngõ ra bằng 0
- c. Khi $G1 = 0$ thì tất cả ngõ ra bằng 1* d. Khi $G1 = 1$ thì tất cả ngõ ra bằng 1
- 295.** Cho IC giải mã 74138 như hình 3.22:
- a. Khi $G2A = 1$ thì tất cả ngõ ra bằng 0
- b. Khi $G2A = 0$ thì tất cả ngõ ra bằng 0
- c. Khi $G2A = 1$ thì tất cả ngõ ra bằng 1*
- d. Khi $G2A = 0$ thì tất cả ngõ ra bằng 1
- 296.** Cho IC giải mã 74138 như hình 3.22:
- a. Khi $G1 = 1, G2A = 1, G2B = 1$ thì tất cả ngõ ra bằng 0
- b. Khi $G1 = 0, G2A = 1, G2B = 0$ thì tất cả ngõ ra bằng 0
- c. Khi $G1 = 1, G2A = 0, G2B = 0$ thì tất cả ngõ ra bằng 1
- d. Khi $G1 = 0, G2A = 1, G2B = 0$ thì tất cả ngõ ra bằng 1*
- 297.** Cho IC giải mã 74138 như hình 3.22. Chọn câu đúng nhất:
- a. Khi $A = B = C = 0$ thì $Y0$ luôn tích cực
- b. Khi $A = B = C = 1$ thì $Y0$ luôn tích cực
- c. Khi $A = B = C = 0$ thì $Y0$ tích cực khi các ngõ vào cho phép tích cực*
- d. Khi $A = B = C = 1$ thì $Y0$ tích cực khi các ngõ vào cho phép tích cực
- 298.** Cho IC giải mã 74138 như hình 3.22. Cho các ngõ vào cho phép tích cực ($G1=1, G2A=G2B=0$)
- a. Khi $A = B = C = 1$ thì $Y0$ tích cực
- b. Khi $A = B = C = 0$ thì $Y7$ tích cực
- c. Khi $A = 1, B = 0, C = 1$ thì $Y5$ tích cực*
- d. Khi $A = 1, B = 0, C = 1$ thì $Y6$ tích cực
- 299.** Kết luận nào sau đây SAI về mạch giải mã:
- a. Mạch giải mã có số ngõ vào nhiều hơn số ngõ ra*
- b. Mạch giải mã có số ngõ ra nhiều hơn số ngõ vào
- c. Mạch giải mã có thể kết hợp với cổng logic để thực hiện hàm Boole
- d. Mạch giải mã có trạng thái ngõ ra phụ thuộc vào trạng thái ngõ vào
- 300.** Cho mạch sau:



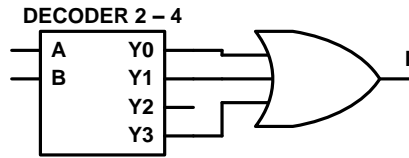
- a. $F = A2A1A0$ b. $F = A2+A1+A0$
- c. $F = \Sigma(4,5,6)$ d. $F = \Pi(4,5,6)^*$
- 301.** Cho mạch như hình vẽ:



HÌNH 3.24

- a. $F = AB$
c. $F = \Sigma(0,1,3)^*$
- b. $F = A+B$
d. $F = \Pi(0,1,3)$

302. Cho mạch như hình vẽ:



HÌNH 3.24

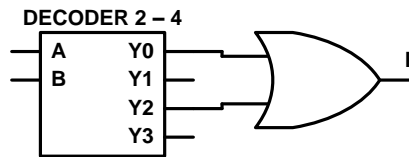
- a. Câu b, c đúng*

b. $F = \Sigma(0,1,3)$

c. $F = AB + \bar{A}\bar{B} + \bar{A}B$

d. $F = \Pi(0,1,3)$

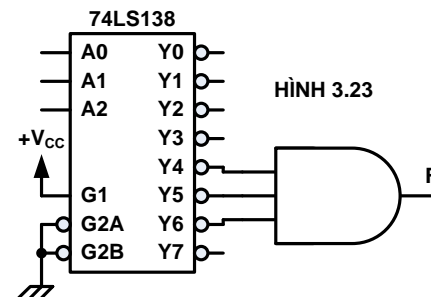
303. Cho mạch như hình vẽ:



HÌNH 3.25

- a. $F = AB + A + B$ b. $F = \Sigma(0,2)^*$
c. $F = \Pi(0,2)$ d. $F = \bar{A}B + AB$

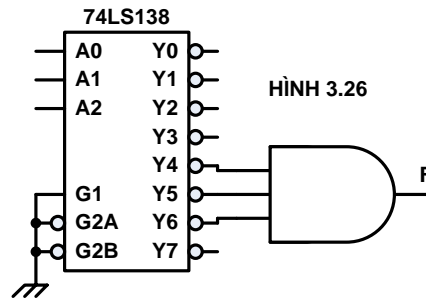
304. Cho mạch như hình vẽ:



HÌNH 3.23

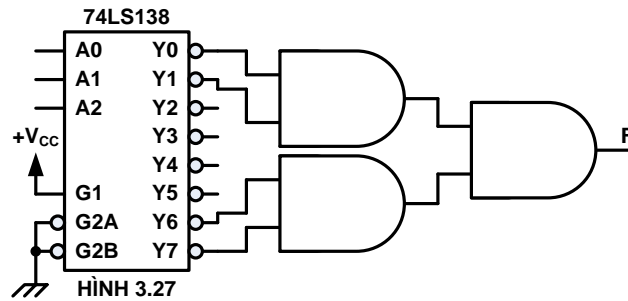
- $$\begin{aligned} \text{a. } F &= A2A1A0 + \bar{A}2A1A0 + A2A1\bar{A}0 \\ \text{b. } F &= \left(\bar{A}2 + A1 + A0 \right) \left(\bar{A}2 + A1 + \bar{A}0 \right) \left(\bar{A}2 + \bar{A}1 + A0 \right)^* \\ \text{c. } F &= A2\bar{A}1\bar{A}0 + A2\bar{A}1A0 + A2A1A0 \\ \text{d. } F &= \left(\bar{A}2 + A1 + A0 \right) \left(\bar{A}2 + \bar{A}1 + \bar{A}0 \right) \left(\bar{A}2 + \bar{A}1 + A0 \right) \end{aligned}$$

305. Cho mạch như hình vẽ:



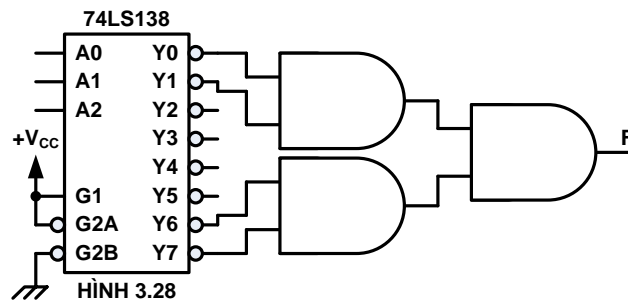
- a. $F = 1^*$ b. $F = 0$
c. $F = \sum(4,5,6)$ d. $F = \prod(4,5,6)$

306. Cho mạch như hình vẽ:



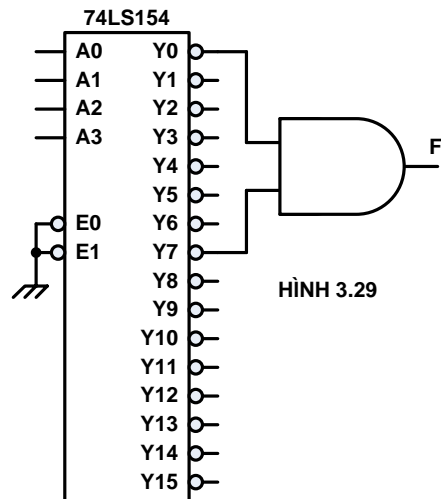
- a. $F = \sum(0,1,6,7)$ b. $F = \prod(0,1,6,7)^*$
c. $F = \sum(1,2,3,4)$ d. $F = \prod(1,2,3,4)$

307. Cho mạch như hình vẽ:



- a. $F = \sum(0,1,6,7)$ b. $F = \prod(0,1,6,7)$
c. $F = 1^*$ d. $F = 0$

308. Cho mạch sau:



HÌNH 3.29

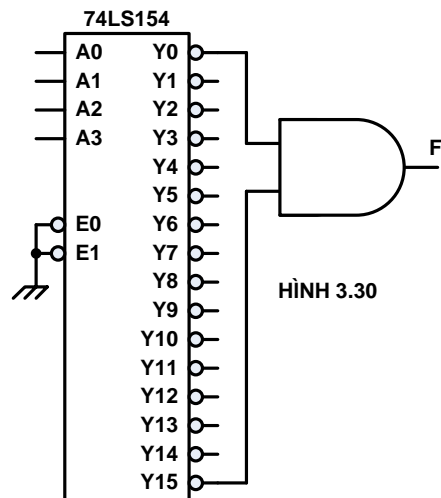
a. $F = \Sigma(0,7)$

b. $F = \Pi(0,7)^*$

c. $F = (A3 + A2 + A1 + A0)$

d. $F = A3A2A1A0$

309. Cho mạch sau:



HÌNH 3.30

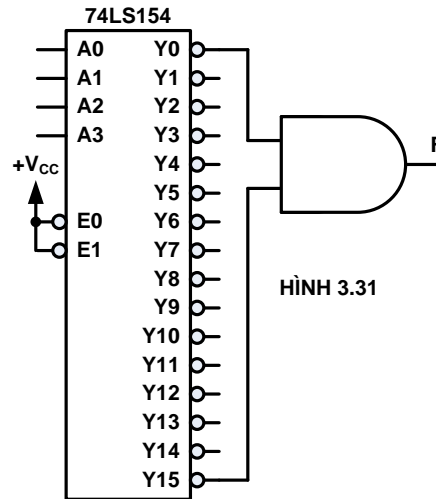
a. $F = \Sigma(0,15)$

b. $F = \Pi(0,15)$

c. $F = (A3 + A2 + A1 + A0)(\bar{A}3 + \bar{A}2 + \bar{A}1 + \bar{A}0)$

d. Câu b, c đúng*

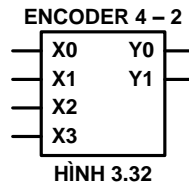
310. Cho mạch sau:



- a. $F = \Sigma(0,15)$ b. $F = \Pi(0,15)$
c. $F = 1$ * d. $F = 0$

311. Mạch mã hoá (Encoder) là mạch có:

- a. Số ngõ vào bằng số ngõ ra b. Số ngõ vào 2^n và số ngõ ra là n^*
c. Số ngõ vào là n và số ngõ ra là 2^n d. Số ngõ ra không phụ thuộc vào số ngõ vào



312. Cho mạch mã hoá như hình 3.32:

- a. Đây là mạch mã hoá 4 – 2 b. Đây là mạch mã hoá 2 – 4
c. Đây là mạch mã hoá có ngõ ra tích cực mức cao d. Câu a, c đúng*

313. Cho mạch mã hoá như hình 3.32:

- a. Khi $X0 = 1$ thì $Y0 = 0, Y1 = 1$ b. Khi $X0 = 1$ thì $Y0 = 0, Y1 = 0^*$
c. Khi $X0 = 1$ thì $Y0 = 1, Y1 = 1$ d. Khi $X0 = 1$ thì $Y0 = 1, Y1 = 0$

314. Cho mạch mã hoá như hình 3.32:

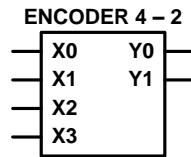
- a. $Y0 = X0X1X2X3$ b. $Y0 = \bar{X}0\bar{X}1\bar{X}2\bar{X}3$
c. $Y0 = \bar{X}2\bar{X}0(\bar{X}3 \oplus \bar{X}1)$ d. $Y0 = \bar{X}2\bar{X}0(X3 \oplus X1)^*$

315. Phát biểu nào đúng về mạch mã hoá ưu tiên

- a. Mỗi thời điểm chỉ được có một ngõ vào tích cực
b. Mỗi thời điểm chỉ được có một ngõ ra tích cực
c. Mỗi thời điểm có thể có nhiều ngõ vào tích cực*
d. Câu a và b đúng

316. Cho mạch mã hoá ưu tiên như hình vẽ (Y1 là MSB), mức độ ưu tiên giảm dần từ X0 đến X3.

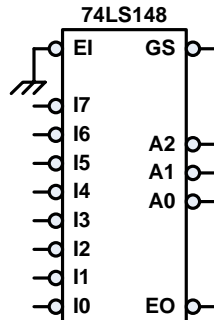
Nếu $X0=0, X1=1, X2=1, X3=1$ thì ngõ ra:



HÌNH 3.32

- a. $Y0 = 1, Y1 = 0^*$ b. $Y0 = 1, Y1 = 1$
c. $Y0 = 0, Y1 = 0$ d. $Y0 = 0, Y1 = 1$

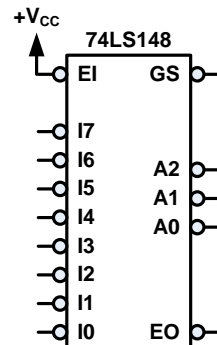
317. Cho IC mã hoá ưu tiên 74148 như hình vẽ. Cho tất cả các ngõ vào đều có mức logic 0 thì:



HÌNH 3.33

- a. $A2 = 1, A1 = 1, A0 = 1$ b. $A2 = 0, A1 = 0, A0 = 0^*$
c. Giá trị $A2, A1, A0$ phụ thuộc vào GS, EO d. Câu a và b đúng

318. Cho IC mã hoá ưu tiên 74148 như hình vẽ



HÌNH 3.34

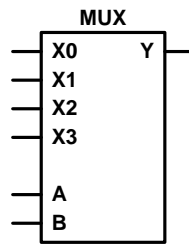
- a. $A2 = 1, A1 = 1, A0 = 1^*$ b. $A2 = 0, A1 = 0, A0 = 0$
c. Giá trị $A2, A1, A0$ phụ thuộc vào GS, EO d. Câu c và b đúng

319. Mạch dồn kênh MUX (Multiplexer) là mạch:

- a. n ngõ vào và 2^n ngõ ra b. 2^n ngõ vào và n ngõ ra
c. $2n$ ngõ vào và n ngõ ra d. 2^n dữ liệu (data), n ngõ vào điều khiển và 1 ngõ ra*

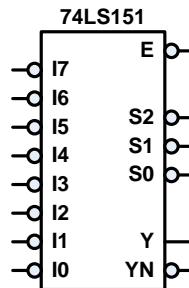
320. Phát biểu nào sau đây SAI về MUX (Multiplexer)

- a. Số ngõ ra luôn là 1
b. Số ngõ vào dữ liệu bằng 2^n , với n là số ngõ vào điều khiển
c. Số ngõ vào ít hơn số ngõ ra*
d. Số ngõ vào nhiều hơn số ngõ ra



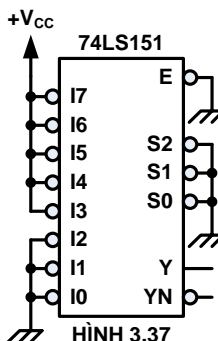
HÌNH 3.35

321. Cho MUX như hình 3.35 (A là MSB). Khi A=0, B=1 thì
- $Y = X0$
 - $Y = X1^*$
 - $Y = \bar{A}B$
 - $Y = A + \bar{B}$
322. Cho MUX như hình 3.35 (A là MSB). Khi A=0, B=0 thì
- $Y = X0^*$
 - $Y = X1$
 - $Y = \bar{A}B$
 - $Y = A + \bar{B}$
323. Cho MUX như hình 3.35 (A là MSB). Khi A=1, B=0 thì
- $Y = \bar{A}B$
 - $Y = X1$
 - $Y = \bar{A}B$
 - $Y = X2^*$
324. Cho MUX như hình 3.35 (A là MSB). Khi A=1, B=1 thì
- $Y = X3^*$
 - $Y = X1$
 - $Y = AB$
 - $Y = A + B$
325. Cho IC MUX 74151 chọn kênh 8 – 1 như hình vẽ (S2 là MSB). Cho E=0, S2=1, S1=0, S0=1 thì ngõ ra Y là:



HÌNH 3.36

- $Y = \bar{E}S2\bar{S1}S0$
 - $Y = I5^*$
 - $Y = S2\bar{S1}S0$
 - $Y = \bar{E} + S2 + \bar{S1} + S0$
326. Cho IC MUX 74151 chọn kênh 8 – 1 như hình vẽ. Ngõ ra Y có mức logic:



HÌNH 3.37

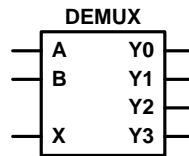
- a. Không xác định b. Bảng mức logic của ngõ ra YN
c. 1 d. 0*

327. Phát biểu nào sau đây SAI về ghép hai MUX:

- a. Hai MUX phải có ngõ vào cho phép Enable
b. 2 MUX 4 – 1 có thể ghép thành một MUX 8 – 1
c. 2 MUX 2 – 1 có thể ghép thành một MUX 4 – 1
d. Ghép 2 MUX 4 – 1 thành một MUX 8 – 2*

328. Mạch phân kênh DEMUX (DeMultiplexer) là mạch:

- a. n ngõ vào điều khiển, 1 ngõ vào dữ liệu và 2^n ngõ ra*
b. 2^n ngõ vào và n ngõ ra
c. 2n ngõ vào và n ngõ ra
d. n ngõ vào và 2^n ngõ ra



HÌNH 3.38

329. Cho mạch phân kênh DeMux như hình 3.38:

- a. Đây là DeMux 3 – 4 b. Đây là DeMux 1 – 4*
c. Đây là DeMux 2 – 4 d. Đây là DeMux 4 – 1

330. Cho mạch phân kênh DeMux (A là MSB) như hình 3.38:

- a. Khi A = 1; B=1 thì ngõ ra Y3 = 1 b. Khi A = 1; B=1 thì ngõ ra Y3 = 0
c. Khi A = 1; B=1 thì ngõ ra Y3 = X* d. Khi A = 1; B=1 thì ngõ ra Y0 = X

331. Cho mạch phân kênh DeMux (A là MSB) như hình 3.38, cho A=1; B=0, X=1

- a. Y3 = 1, Y2 = 0, Y1 = 0, Y0 = 0 b. Y3 = 0, Y2 = 1, Y1 = 1, Y0 = 0
c. Y3 = 0, Y2 = 1, Y1 = 0, Y0 = 0* d. Y3 = 0, Y2 = 1, Y1 = 1, Y0 = 1

332. Mạch kiểm tra chẵn lẻ dùng để:

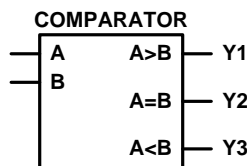
- a. Xác định một số là số chẵn b. Xác định một số là số lẻ
c. Dùng để nhân các số BCD d. Phát hiện sai lệch trên đường truyền*

333. Cho phương pháp kiểm tra chẵn (Even Parity)

- a. A = 01101101 thì bit P = 1 b. A = 10100110 thì bit P = 1
c. Câu a và d đúng* d. A = 111100110 thì bit P = 0

334. Cho phương pháp kiểm tra lẻ (Odd Parity)

- a. A = 01101101 thì bit P = 1 b. A = 10100110 thì bit P = 1*
c. A = 1111011010 thì bit P = 1 d. A = 11110011011 thì bit P = 0



HÌNH 3.39

335. Cho mạch so sánh 1 bit như hình 3.39:

- a. $Y1 = A\bar{B}$ * b. $Y1 = AB$ c. $Y1 = A+B$ d. $Y1 = A + \bar{B}$

336. Cho mạch so sánh 1 bit như hình 3.39:

- a. $Y2 = A\bar{B}$ b. $Y2 = \overline{A \oplus B}$ * c. $Y2 = A \oplus B$ d. $Y2 = \bar{A}\bar{B}$

337. Cho mạch so sánh 1 bit như hình 3.39:

- a. $Y3 = \overline{AB}$ b. $Y3 = A \oplus B$ c. $Y3 = \overline{(A \oplus B)}$ d. $Y3 = \overline{AB}$ *

338. Hệ tổ hợp là hệ có giá trị ngõ ra thay đổi tùy thuộc vào :

- a. Trạng thái của các ngõ vào trước đó b. Trạng thái của các ngõ vào hiện tại*
c. Trạng thái của các ngõ ra trước đó d. Không câu nào đúng

339. Ngõ ra của hệ tổ hợp phụ thuộc vào trạng thái của các ngõ vào theo quy luật:

- a. Hàm Boole* b. Hàm tích phân c. Hàm mũ d. Tùy từng tổ hợp

340. Số tổ hợp của hệ tổ hợp n biến ngõ vào:

- a. n tổ hợp b. $2n$ tổ hợp c. 2^n tổ hợp* d. $(n - 1)$ tổ hợp

341. Số ngõ ra của bộ giải mã nhị phân n bit (n ngõ vào):

- a. n ngõ ra b. 1 ngõ ra c. 2^n ngõ ra* d. Không xác định

342. Các ngõ ra của bộ giải mã nhị phân n bit (n ngõ vào) có tính chất:

- a. 2^n ngõ ra đều tích cực
b. Có 1 ngõ ra tích cực, $(2^n - 1)$ ngõ ra còn lại không tích cực*
c. 2^n ngõ ra đều không tích cực
d. Có 1 ngõ ra không tích cực, $(2^n - 1)$ ngõ ra còn lại đều tích cực

343. Nếu các ngõ vào cho phép của bộ giải mã không thỏa điều kiện tích cực thì các ngõ ra của bộ giải mã:

- a. Đều tích cực b. Đều không tích cực* c. Không xác định được d. Có 1 ngõ ra tích cực

344. Số ngõ ra của bộ mã hóa có 2^n ngõ vào:

- a. 2^n ngõ ra b. 1 ngõ ra c. n ngõ ra* d. $(n - 1)$ ngõ ra

345. Bộ dồn kênh $2^n - 1$ có:

- a. Nhiều ngõ ra b. 2^n ngõ ra
c. Không xác định số ngõ ra d. 1 ngõ ra*

346. Các ngõ vào của bộ dồn kênh được chia làm 2 nhóm:

- a. Ngõ vào cho phép và ngõ vào dữ liệu
b. Ngõ vào cho phép và ngõ vào điều khiển (địa chỉ)
c. Ngõ vào dữ liệu và ngõ vào điều khiển (địa chỉ)*
d. Tùy từng loại bộ dồn kênh

347. Bộ dồn kênh $2^n - 1$ có:

- a. 2^n ngõ vào điều khiển (địa chỉ) b. 2^n ngõ vào dữ liệu*
c. 2^n ngõ vào dữ liệu và điều khiển d. 2^n ngõ vào dữ liệu, điều khiển và cho phép

348. Bộ dồn kênh có n ngõ vào điều khiển (địa chỉ), m ngõ vào dữ liệu thì:

- a. $m = n$ b. $m = 2n$ c. $m = 2^n$ * d. $m = (2^n - 1)$

349. Bộ phân kênh $1 - 2^n$ có:

- a. 1 ngõ ra b. n ngõ ra
c. 2^n ngõ ra* d. $(2^n - 1)$ ngõ ra

350. Bộ cộng phân nửa HA (Half adder) là bộ cộng 2 số nhị phân 1 bit có:

- a. 2 ngõ vào, 2 ngõ ra* b. 2 ngõ vào, 1 ngõ ra
c. 2 ngõ vào, 3 ngõ ra d. 2 ngõ vào, 4 ngõ ra

351. Bộ cộng đầy đủ FA (Full adder) là bộ cộng 2 số nhị phân 1 bit có thêm bit nhớ từ trọng số thấp hơn gọi tới có:

- a. 2 ngõ vào, 2 ngõ ra b. 2 ngõ vào, 1 ngõ ra
c. 2 ngõ vào, 3 ngõ ra d. 3 ngõ vào, 2 ngõ ra*

352. Để thiết kế mạch tổ hợp thực hiện phép cộng 2 số nhị phân 2 bit ta phải thiết kế 1 mạch có :

- a. 4 ngõ vào, 4 ngõ ra
c. 4 ngõ vào, 3 ngõ ra*

- b. 2 ngõ vào, 3 ngõ ra
d. 4 ngõ vào, 2 ngõ ra

353. Số ngõ vào_ ngõ ra của một hệ tổ hợp có ngõ vào là 1 số nhị phân 2 bit X, ngõ ra là một hàm của X, $f(X) = \bar{X}.X + X + 1$ là:

- a. 1 ngõ vào, 1 ngõ ra
c. 2 ngõ vào, 3 ngõ ra

- b. 2 ngõ vào, 1 ngõ ra
d. 2 ngõ vào, 4 ngõ ra*

354. Số ngõ vào_ ngõ ra của một hệ tổ hợp có ngõ vào là mã BCD, ngõ ra là giá trị dư của giá trị ngõ vào chia cho 3 là:

- a. 3 ngõ vào, 3 ngõ ra
c. 4 ngõ vào, 3 ngõ ra

- b. 3 ngõ vào, 2 ngõ ra
d. 4 ngõ vào, 2 ngõ ra*

355. Để thiết kế mạch tổ hợp thực hiện phép nhân 2 số nhị phân 2 bit ta phải thiết kế 1 mạch có :

- a. 4 ngõ vào, 4 ngõ ra*
c. 4 ngõ vào, 3 ngõ ra

- b. 2 ngõ vào, 3 ngõ ra
d. 4 ngõ vào, 2 ngõ ra

356. Với bộ giải mã nhị phân có ngõ ra tích cực mức cao, ngõ ra Y_i của bộ giải mã là:

- a. Tổng chuẩn M_i của các ngõ vào
c. Luôn có giá trị là 1

- b. Tích chuẩn m_i của các ngõ vào*
d. Luôn có giá trị là 0

357. Với bộ giải mã nhị phân có ngõ ra tích cực thấp, ngõ ra Y_i của bộ giải mã là:

- a. Tổng chuẩn M_i của các ngõ vào*
c. Luôn có giá trị là 1

- b. Tích chuẩn m_i của các ngõ vào
d. Luôn có giá trị là 0

358. Để tạo ra bộ giải mã 3 – 8, ta ghép 2 bộ giải mã (mỗi bộ giải mã đều có ngõ vào cho phép):

- a. 2 – 4*
c. 1 – 4

- b. 2 – 8
d. 1 – 8

359. Để tạo ra bộ giải mã 4 – 16, ta ghép 2 bộ giải mã (mỗi bộ giải mã đều có ngõ vào cho phép):

- a. 2 – 8
c. 3 – 16

- b. 3 – 8*
d. 2 – 16

360. Một hệ giải mã có thể thực hiện:

- a. Chỉ duy nhất 1 hàm Boole
c. Không thực hiện được hàm Boole

- b. 2 hàm Boole trên cùng 1 hệ giải mã
d. Nhiều hàm Boole trên cùng 1 hệ giải mã*

361. Một bộ dồn kênh có thể thực hiện:

- a. Chỉ duy nhất 1 hàm Boole*
c. Không thực hiện được hàm Boole

- b. 2 hàm Boole trên cùng 1 hệ dồn kênh
d. Nhiều hàm Boole trên cùng 1 hệ dồn kênh

362. Bộ kiểm tra chẵn lẻ có thể phát hiện trường hợp truyền sai:

- a. 2 bit
c. Không phát hiện sai

- b. 1 bit*
d. Số bit truyền sai là số chẵn

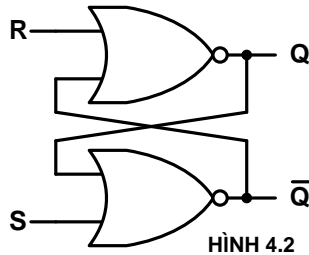
363. Điều kiện cần thiết khi ghép 2 bộ giải mã $n - 2^n$:

- a. 2 bộ giải mã đều có ngõ vào cho phép*
b. Chỉ cần 1 bộ giải mã có ngõ vào cho phép
c. 2 bộ giải mã đều không có ngõ vào cho phép
d. Không cần điều kiện

CHƯƠNG 4 : HỆ TUẦN TƯ

364. Cho mạch chốt RS như hình 4.2. Khi $R = S = 1$ thì trạng thái ngõ ra là:

- a. $Q = 0$; $\bar{Q} = 0$ *
- b. $Q = 0$; $\bar{Q} = 1$
- c. $Q = 1$; $\bar{Q} = 0$
- d. $Q = 1$; $\bar{Q} = 1$



365. Cho mạch chốt RS như hình 4.2. Khi $S = 0$; $R = 1$ thì trạng thái ngõ ra là:

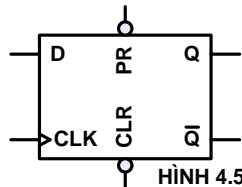
- a. $Q = 0$; $\bar{Q} = 0$
- b. $Q = 0$; $\bar{Q} = 1$ *
- c. $Q = 1$; $\bar{Q} = 0$
- d. $Q = 1$; $\bar{Q} = 1$

366. Cho mạch chốt RS như hình 4.2. Khi $S = 1$; $R = 0$ thì trạng thái ngõ ra là:

- a. $Q = 0$; $\bar{Q} = 0$
- b. $Q = 0$; $\bar{Q} = 1$
- c. $Q = 1$; $\bar{Q} = 0$ *
- d. $Q = 1$; $\bar{Q} = 1$

367. Cho D-FF như hình 4.5. Khi $PR = 0$; $CLR = 1$ thì trạng thái ngõ ra là:

- a. $Q = 0$; $\bar{Q} = 0$
- b. $Q = 0$; $\bar{Q} = 1$
- c. $Q = 1$; $\bar{Q} = 0$ *
- d. $Q = 1$; $\bar{Q} = 1$



368. Cho D-FF như hình 4.5. Khi $PR = 1$; $CLR = 0$ thì trạng thái ngõ ra là:

- a. $Q = 0$; $\bar{Q} = 0$
- b. $Q = 0$; $\bar{Q} = 1$ *
- c. $Q = 1$; $\bar{Q} = 0$
- d. $Q = 1$; $\bar{Q} = 1$

369. Cho D-FF như hình 4.5. Ngõ vào xung clock (CLK) tác động bằng:

- a. Mức thấp
- b. Mức cao
- c. Cạnh xuống
- d. Cạnh lên *

370. Cho D-FF như hình 4.5. Khi $PR=1$, $CLR=1$, $D=0$, nếu CLK được kích bằng cạnh lên thì trạng thái ngõ ra là:

- a. $Q = 0$; $\bar{Q} = 1$ *
- b. $Q = 1$; $\bar{Q} = 0$
- c. Không đổi trạng thái (giữ nguyên trạng thái trước đó)
- d. Đảo trạng thái (đảo trạng thái trước đó)

371. Cho D-FF như hình 4.5. Khi $PR=1$, $CLR=1$, $D=1$, nếu CLK được kích bằng cạnh lên thì trạng thái ngõ ra là:

- a. $Q = 0$; $\bar{Q} = 1$
- b. $Q = 1$; $\bar{Q} = 0$ *
- c. Không đổi trạng thái (giữ nguyên trạng thái trước đó)
- d. Đảo trạng thái (đảo trạng thái trước đó)

372. Cho D-FF như hình 4.5. Khi $PR=1$, $CLR=1$, $D=0$, nếu CLK được kích bằng cạnh xuống thì trạng thái ngõ ra là:

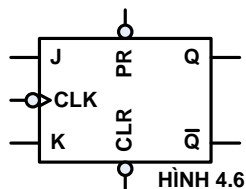
- a. $Q = 0$; $\bar{Q} = 0$ b. $Q = 1$; $\bar{Q} = 1$
c. Không đổi trạng thái (giữ nguyên trạng thái trước đó)*
d. Đổi trạng thái (đảo trạng thái trước đó)

373. Cho D-FF như hình 4.5. Khi $PR=1$, $CLR=1$, $D=1$, nếu CK được kích bằng cạnh xuống thì trạng thái ngõ ra là:

- a. $Q = 0$; $\overline{Q} = 1$ b. $Q = 1$; $\overline{Q} = 1$
c. Không đổi trạng thái (giữ nguyên trạng thái trước đó)*
d. Đổi trạng thái (đảo trạng thái trước đó)

374. Cho JK-FF như hình 4.6. Khi $PR=0$, $CLR=1$ thì trạng thái ngõ ra là:

- a. $Q = 0$; $\overline{Q} = 0$ b. $Q = 0$; $\overline{Q} = 1$
c. $Q = 1$; $\overline{Q} = 0^*$ d. $Q = 1$; $\overline{Q} = 1$



375. Cho JK-FF như hình 4.6. Khi $PR=1$, $CLR=0$ thì trạng thái ngõ ra là:

- a. $Q = 0$; $\bar{Q} = 0$ b. $Q = 0$; $\bar{Q} = 1^*$
c. $Q = 1$; $\bar{Q} = 0$ d. $Q = 1$; $\bar{Q} = 1$

376. Cho JK-FF như hình 4.6. Ngõ vào xung clock (CK) tác động bằng:

- a. Mức thấp b. Mức cao c. Canh xuống* d. Canh lên

377. Cho JK-FF như hình 4.6. Khi $PR=1$, $CLR=1$, $J=K=0$, nếu CK được kích bằng cạnh xuống thì trạng thái ngõ ra là:

- a. $Q = 0$; $\overline{Q} = 1$ b. $Q = 1$; $\overline{Q} = 0$
c. Không đổi trạng thái (giữ nguyên trạng thái trước đó)*
d. Đổi trạng thái (đảo trạng thái trước đó)

378. Cho JK-FF như hình 4.6. Khi $PR=1$, $CLR=1$, $J=0$, $K=1$, nếu CK được kích bằng cạnh xuống thì trạng thái ngõ ra là:

- a. $Q = 0$; $\overline{Q} = 1^*$ b. $Q = 1$; $\overline{Q} = 0$
c. Không đổi trạng thái (giữ nguyên trạng thái trước đó)
d. Đổi trạng thái (đảo trạng thái trước đó)

379. Cho JK-FF như hình 4.6. Khi $PR=1$, $CLR=1$, $J=1$, $K=0$, nếu CK được kích bằng cạnh xuống thì trạng thái ngõ ra là:

- a. Q = 0 ; \overline{Q} = 1 b. Q = 1 ; \overline{Q} = 0*
- c. Không đổi trạng thái (giữ nguyên trạng thái trước đó)
- d. Đổi trạng thái (đảo trạng thái trước đó)

380. Cho JK-FF như hình 4.6. Khi $PR=1$, $CLR=1$, $J=1$, $K=1$, nếu CK được kích bằng cạnh xuống thì trạng thái ngõ ra là:

- a. $\overline{Q} = 0$; $\overline{\overline{Q}} = 1$ b. $\overline{Q} = 1$; $\overline{\overline{Q}} = 0$
c. Không đổi trạng thái (giữ nguyên trạng thái trước đó)
d. Đổi trạng thái (đảo trạng thái trước đó)*

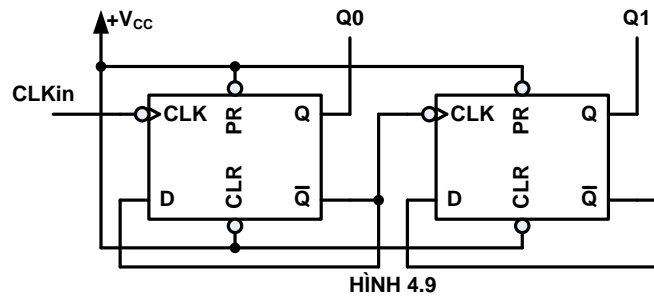
381. Cho JK-FF như hình 4.6. Khi $PR=1$, $CLR=1$, $J=K=0$, nếu CK được kích bằng cạnh lên thì trạng thái ngõ ra là:

-

- Y 1901 1902 1903 1904 1905 1906 1907 1908 1909 1910 1911 1912 1913 1914 1915 1916 1917 1918 1919 1920 1921 1922 1923 1924 1925 1926 1927 1928 1929 1930 1931 1932 1933 1934 1935 1936 1937 1938 1939 1940 1941 1942 1943 1944 1945 1946 1947 1948 1949 1950 1951 1952 1953 1954 1955 1956 1957 1958 1959 1960 1961 1962 1963 1964 1965 1966 1967 1968 1969 1970 1971 1972 1973 1974 1975 1976 1977 1978 1979 1980 1981 1982 1983 1984 1985 1986 1987 1988 1989 1990 1991 1992 1993 1994 1995 1996 1997 1998 1999 2000 2001 2002 2003 2004 2005 2006 2007 2008 2009 2010 2011 2012 2013 2014 2015 2016 2017 2018 2019 2020 2021 2022 2023 2024 2025 2026 2027 2028 2029 2030 2031 2032 2033 2034 2035 2036 2037 2038 2039 2040 2041 2042 2043 2044 2045 2046 2047 2048 2049 2050 2051 2052 2053 2054 2055 2056 2057 2058 2059 2060 2061 2062 2063 2064 2065 2066 2067 2068 2069 2070 2071 2072 2073 2074 2075 2076 2077 2078 2079 2080 2081 2082 2083 2084 2085 2086 2087 2088 2089 2090 2091 2092 2093 2094 2095 2096 2097 2098 2099 2100 2101 2102 2103 2104 2105 2106 2107 2108 2109 2110 2111 2112 2113 2114 2115 2116 2117 2118 2119 2120 2121 2122 2123 2124 2125 2126 2127 2128 2129 2130 2131 2132 2133 2134 2135 2136 2137 2138 2139 2140 2141 2142 2143 2144 2145 2146 2147 2148 2149 2150 2151 2152 2153 2154 2155 2156 2157 2158 2159 2160 2161 2162 2163 2164 2165 2166 2167 2168 2169 2170 2171 2172 2173 2174 2175 2176 2177 2178 2179 2180 2181 2182 2183 2184 2185 2186 2187 2188 2189 2190 2191 2192 2193 2194 2195 2196 2197 2198 2199 2200 2201 2202 2203 2204 2205 2206 2207 2208 2209 2210 2211 2212 2213 2214 2215 2216 2217 2218 2219 2220 2221 2222 2223 2224 2225 2226 2227 2228 2229 2230 2231 2232 2233 2234 2235 2236 2237 2238 2239 2240 2241 2242 2243 2244 2245 2246 2247 2248 2249 2250 2251 2252 2253 2254 2255 2256 2257 2258 2259 2260 2261 2262 2263 2264 2265 2266 2267 2268 2269 2270 2271 2272 2273 2274 2275 2276 2277 2278 2279 2280 2281 2282 2283 2284 2285 2286 2287 2288 2289 2290 2291 2292 2293 2294 2295 2296 2297 2298 2299 2300 2301 2302 2303 2304 2305 2306 2307 2308 2309 2310 2311 2312 2313 2314 2315 2316 2317 2318 2319 2320 2321 2322 2323 2324 2325 2326 2327 2328 2329 2330 2331 2332 2333 2334 2335 2336 2337 2338 2339 2340 2341 2342 2343 2344 2345 2346 2347 2348 2349 2350 2351 2352 2353 2354 2355 2356 2357 2358 2359 2360 2361 2362 2363 2364 2365 2366 2367 2368 2369 2370 2371 2372 2373 2374 2375 2376 2377 2378 2379 2380 2381 2382 2383 2384 2385 2386 2387 2388 2389 2390 2391 2392 2393 2394 2395 2396 2397 2398 2399 2400 2401 2402 2403 2404 2405 2406 2407 2408 2409 2410 2411 2412 2413 2414 2415 2416 2417 2418 2419 2420 2421 2422 2423 2424 2425 2426 2427 2428 2429 2430 2431 2432 2433 2434 2435 2436 2437 2438 2439 2440 2441 2442 2443 2444 2445 2446 2447 2448 2449 2450 2451 2452 2453 2454 2455 2456 2457 2458 2459 2460 2461 2462 2463 2464 2465 2466 2467 2468 2469 2470 2471 2472 2473 2474 2475 2476 2477 2478 2479 2480 2481 2482 2483 2484 2485 2486 2487 2488 2489 2490 2491 2492 2493 2494 2495 2496 2497 2498 2499 2500 2501 2502 2503 2504 2505 2506 2507 2508 2509 2510 2511 2512 2513 2514 2515 2516 2517 2518 2519 2520 2521 2522 2523 2524 2525 2526 2527 2528 2529 2530 2531 2532 2533 2534 2535 2536 2537 2538 2539 2540 2541 2542 2543 2544 2545 2546 2547 2548 2549 2550 2551 2552 2553 2554 2555 2556 2557 2558 2559 2560 2561 2562 2563 2564 2565 2566 2567 2568 2569 2570 2571 2572 2573 2574 2575 2576 2577 2578 2579 2580 2581 2582 2583 2584 2585 2586 2587 2588 2589 2590 2591 2592 2593 2594 2595 2596 2597 2598 2599 2600 2601 2602 2603 2604 2605 2606 2607 2608 2609 2610 2611 2612 2613 2614 2615 2616 2617 2618 2619 2620 2621 2622 2623 2624 2625 2626 2627 2628 2629 2630 2631 2632 2633 2634 2635 2636 2637 2638 2639 2640 2641 2642 2643 2644 2645 2646 2647 2648 2649 2650 2651 2652 2653 2654 2655 2656 2657 2658 2659 2660 2661 2662 2663 2664 2665 2666 2667 2668 2669 2670 2671 2672 2673 2674 2675 2676 2677 2678 2679 2680 2681 2682 2683 2684 2685 2686 2687 2688 2689 2690 2691 2692 2693 2694 2695 2696 2697 2698 2699 2700 2701 2702 2703 2704 2705 2706 2707 2708 2709 2710 2711 2712 2713 2714 2715 2716 2717 2718 27

-

Y



398. Cho mạch như hình 4.9. Đưa xung clock có tần số 1 Hz đến CKin thì ngõ ra Q1 có xung clock với tần số:

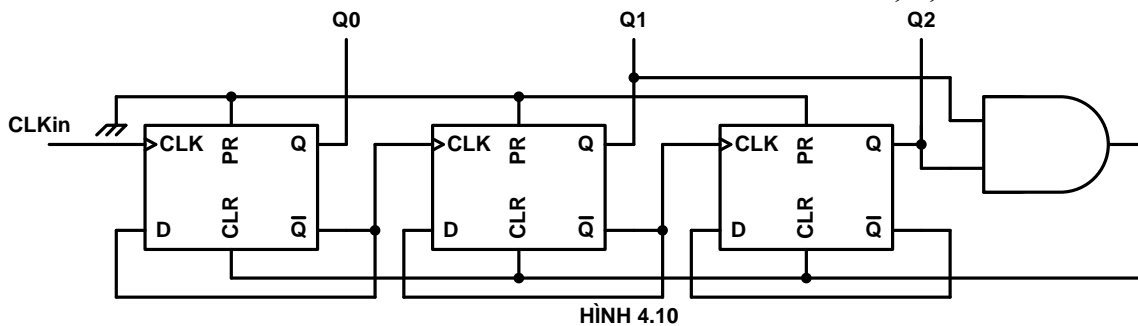
- a. 4 Hz b. 1 Hz c. 0.25 Hz* d. Tất cả đều sai

399. Mạch ở hình 4.9 là bộ đếm :

- a. Nối tiếp, đếm lên có hệ số đếm (modulo) là 2
b. Nối tiếp, đếm xuống có hệ số đếm (modulo) là 2
c. Nối tiếp, đếm lên có hệ số đếm (modulo) là 4
d. Nối tiếp, đếm xuống có hệ số đếm (modulo) là 4*

400. Cho mạch như hình 4.10. Đưa xung clock có tần số 1 KHz đến ngõ vào CKin thì ngõ ra Q₀ có xung clock với tần số:

- a. 2 KHz b. 1 KHz c. 500 Hz* d. Cả 3 câu a, b, c đều sai



401. Cho mạch như hình 4.10. Đưa xung clock có tần số 1 KHz đến CKin thì ngõ ra Q₂ có xung clock với tần số:

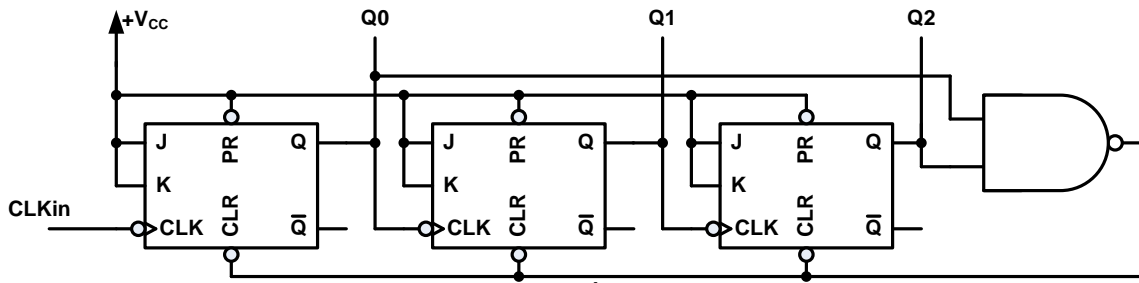
- a. 8 KHz b. 1 KHz c. 125 Hz d. Tất cả đều sai*

402. Mạch ở hình 4.10 là bộ đếm :

- a. Nối tiếp, đếm lên có hệ số đếm (modulo) là 5
b. Nối tiếp, đếm xuống có hệ số đếm (modulo) là 5
c. Nối tiếp, đếm lên có hệ số đếm (modulo) là 6*
d. Nối tiếp, đếm xuống có hệ số đếm (modulo) là 6

403. Cho mạch như hình 4.11. Đưa xung clock có tần số 1 KHz đến ngõ vào CKin thì ngõ ra Q1 có xung clock với tần số:

- a. 4 KHz b. 1 KHz c. 250 Hz* d. Cả 3 câu a, b, c đều sai



HÌNH 4.11

404. Cho mạch như hình 4.11. Đưa xung clock có tần số 1 KHz đến CKin thì ngõ ra Q_2 có xung clock với tần số:

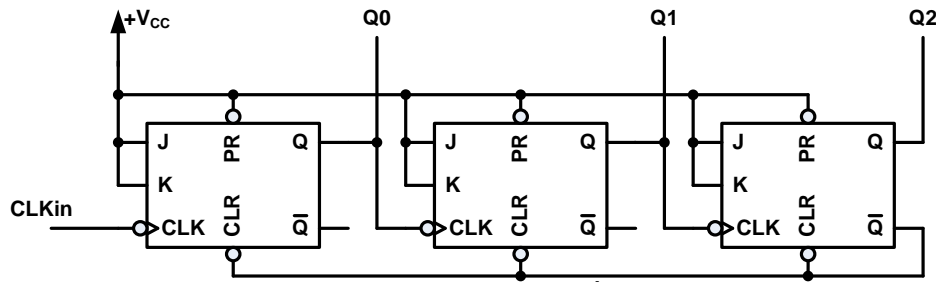
- a. 8 KHz b. 1 KHz c. 125 Hz d. Tất cả đều sai*

405. Mạch ở hình 4.11 là bộ đếm :

- a. Nối tiếp, đếm lên có hệ số đếm (modulo) là 8
b. Nối tiếp, đếm lên có hệ số đếm (modulo) là 5*
c. Nối tiếp, đếm xuống có hệ số đếm (modulo) là 5
c. Song song, đếm lên có hệ số đếm (modulo) là 5

406. Cho mạch như hình 4.12. Đưa xung clock có tần số 1 Hz đến ngõ vào CKin thì ngõ ra Q_0 có xung clock với tần số:

- a. 2 Hz b. 1 Hz c. 0,5 Hz* d. Cả 3 câu a, b, c đều sai



HÌNH 4.12

407. Cho mạch như hình 4.12. Đưa xung clock có tần số 1 Hz đến CKin thì ngõ ra Q_1 có xung clock với tần số:

- a. 4 Hz b. 1 Hz c. 0.25 Hz* d. Cả 3 câu a, b, c đều sai

408. Cho mạch như hình 4.12. Đưa xung clock có tần số 1 Hz đến CKin thì ngõ ra Q_2 có xung clock với tần số:

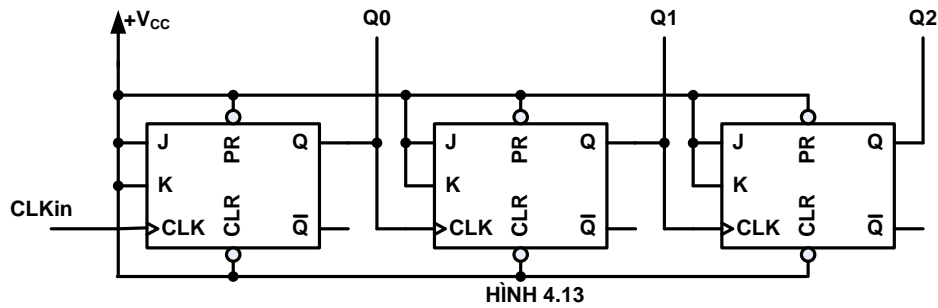
- a. 8 Hz b. 1 Hz c. 0.125 Hz d. Tất cả đều sai*

409. Mạch ở hình 4.12 là bộ đếm :

- a. Nối tiếp, đếm lên có hệ số đếm (modulo) là 8
b. Nối tiếp, đếm lên có hệ số đếm (modulo) là 4*
c. Nối tiếp, đếm xuống có hệ số đếm (modulo) là 8
c. Song song, đếm lên có hệ số đếm (modulo) là 4

410. Cho mạch như hình 4.13. Đưa xung clock có tần số 1 Hz đến ngõ vào CKin thì ngõ ra Q_0 có xung clock với tần số:

- a. 2 Hz b. 1 Hz c. 0,5 Hz* d. Tất cả đều sai



- 411.** Cho mạch như hình 4.13. Đưa xung clock có tần số 1 Hz đến CKin thì ngõ ra Q1 có xung clock với tần số:
- a. 4 Hz b. 1 Hz c. 0.25 Hz* d. Tất cả đều sai
- 412.** Cho mạch như hình 4.13. Đưa xung clock có tần số 1 Hz đến CKin thì ngõ ra Q₂ có xung clock với tần số:
- a. 8 Hz b. 1 Hz c. 0.125 Hz* d. Tất cả đều sai
- 413.** Mạch ở hình 4.13 là bộ đếm :
- a. Nối tiếp, đếm lên có hệ số đếm (modulo) là 8*
- b. Nối tiếp, đếm xuống có hệ số đếm (modulo) là 8
- c. Song song, đếm lên có hệ số đếm (modulo) là 8
- d. Song song, đếm xuống có hệ số đếm (modulo) là 8
- 414.** Khi mất điện (tắt nguồn) dữ liệu trong ROM:
- a. Không bị mất *
- b. Bị mất
- c. Có thể bị mất hoặc không tùy loại ROM
- d. Có thể bị mất hay không tùy thời gian mất điện
- 415.** Khi mất điện (tắt nguồn) dữ liệu trong RAM:
- a. Không bị mất
- b. Bị mất *
- c. Có thể bị mất hoặc không tùy loại RAM
- d. Có thể bị mất hay không tùy thời gian mất điện
- 416.** Bộ nhớ có 12 đường địa chỉ, 8 đường dữ liệu thì có dung lượng là:
- a. 4K x 8 bit = 32 Kbit *
- b. 4K x 8 byte = 32 Kbyte
- c. 8K x 8 bit = 64 Kbit
- d. 8K x 8 byte = 64 Kbyte
- 417.** Bộ nhớ có 10 đường địa chỉ, 8 đường dữ liệu thì có dung lượng là:
- a. 1K x 8 bit = 8 Kbit *
- b. 4K x 8 byte = 32 Kbyte
- c. 8K x 8 bit = 64 Kbit
- d. 8K x 8 byte = 64 Kbyte
- 418.** ROM là:
- a. Bộ nhớ truy xuất ngẫu nhiên
- b. Bộ nhớ chỉ đọc*
- c. Bộ nhớ có nội dung bị mất khi không cấp nguồn
- d. Mảng logic lập trình được
- 419.** UV-EPROM là:

- © 2007 Pearson Education, Inc. All rights reserved. Printed in the United States of America. This publication is protected by copyright. Any unauthorized reproduction or distribution without the written permission of Pearson Education, Inc., may cause severe penalties under applicable law.