

---

Московский Физико-Технический Институт  
(государственный университет)

Домашняя работа по курсу FPGA № 1

---

# Декодер

---

**Автор:**

Баранников Андрей Б01-001



Долгопрудный, 2022

По заданию составлена таблица истинности декодера, на вход которого подаётся 4-х битное число, на выходе формируются управляющие сигналы семисегментного индикатора для каждого из чисел. По таблице истинности построена логическая схема декодера.

Цифра	Вход				Выход на 7-и сег. индикатор						
	$x_1$	$x_2$	$x_3$	$x_4$	A	B	C	D	E	F	G
0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	1	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	0	0	1
4	0	1	0	0	0	1	1	0	0	1	1
5	0	1	0	1	1	0	1	1	0	1	1
6	0	1	1	0	1	0	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	0	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	1	0	1	1
a	1	0	1	0	1	1	1	0	1	1	1
b	1	0	1	1	0	0	1	1	1	1	1
c	1	1	0	0	1	0	0	1	1	1	0
d	1	1	0	1	0	1	1	1	1	0	1
e	1	1	1	0	1	0	0	1	1	1	1
f	1	1	1	1	1	0	0	0	1	1	1

На следующей странице в полном объёме представлена логическая схема:



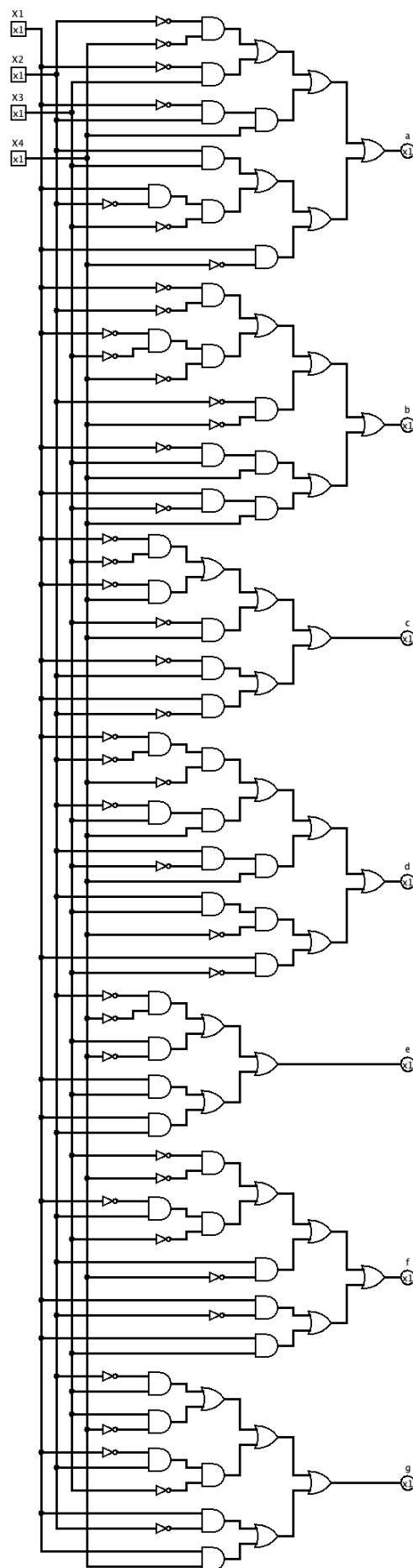


Рис. 1: Логическая схема декодера