



لطفاً برای تحویل تمرین‌ها به نکات زیر توجه کنید:

- حتماً در بالای گزارش، نام، نام خانوادگی و شماره‌ی دانشجویی اعضای گروه ذکر شود.
- یکی از اعضای گروه پاسخ تمرین‌ها را آپلود کند.

هدف از این تمرین کامپیوتری پیاده‌سازی Pipeline پردازنده‌ی MIPS با معماری مجموعه دستورات زیر است.

Registers	32 32-bit integer registers (R0 – R31), 32 32-bit floating point registers (F0 – F31), 2 32-bit integer register (hi, lo)
Addressing Modes	Register, Immediate, PC Relative, Base
R-Type	add, addu, sub, subu, slt, sltu, and, or, xor, nor, sll, srl, sla, sllv, arlv, slav, jr, jalr, mult, multu, div, divu, mfhi, mthi, mflo, mtlo
I-Type	addi, addiu, slti, sltiu, andi, ori, xori, lui, lw, sw, beq, bne
J-Type	j, jal
FR-Type	add.s, sub.s, mul.s, div.s, abs.s, neg.s, c.eq.s, c.lt.s, c.le.s add.d, sub.d, mul.d, div.d, abs.d, neg.d, c.eq.d, c.lt.d, c.le.d
FI-Type	l.s, s.s, l.d, s.d, bc1t, bc1f

در گام اول امکان اجرای دستوراتی که به صورت پررنگ (Bold) مشخص شده‌اند را در کد ورپلاگ ارسالی (پیاده‌سازی Single-Cycle) فراهم کنید. سپس با اضافه کردن رجیسترهای لازم، پردازنده را به صورت پایپ‌لاین درآورید. در این مرحله نیازی به تشخیص سخت‌افزاری مخاطره‌های داده‌ای و کنترلی (Data and Control Hazard) نیست و این مخاطره‌ها را با استفاده از افزودن دستور nop در برنامه حل می‌کنیم.

برای تست پردازنده‌ی خود، یک برنامه بنویسید که بزرگترین عنصر یک آرایه‌ی ۱۰ عنصری از اعداد صحیح علامت‌دار ۳۲ بیتی را پیدا کند.

روش ارزیابی:

- پیاده‌سازی پردازنده ۱۰۰ نمره دارد
 - ۲۵ نمره طراحی مسیر داده و واحد کنترل (به همراه کد ورپلاگ باید بارگذاری شود)
 - ۱۵ نمره روش کدینگ (مسیر داده به صورت ساختاری و واحد کنترل به صورت ترکیبی)
 - ۴۰ نمره صحت طراحی با برنامه‌ی طراحی شده توسط شما
 - ۲۰ نمره صحت طراحی با برنامه‌ی طراحی شده توسط دستیاران آموزشی