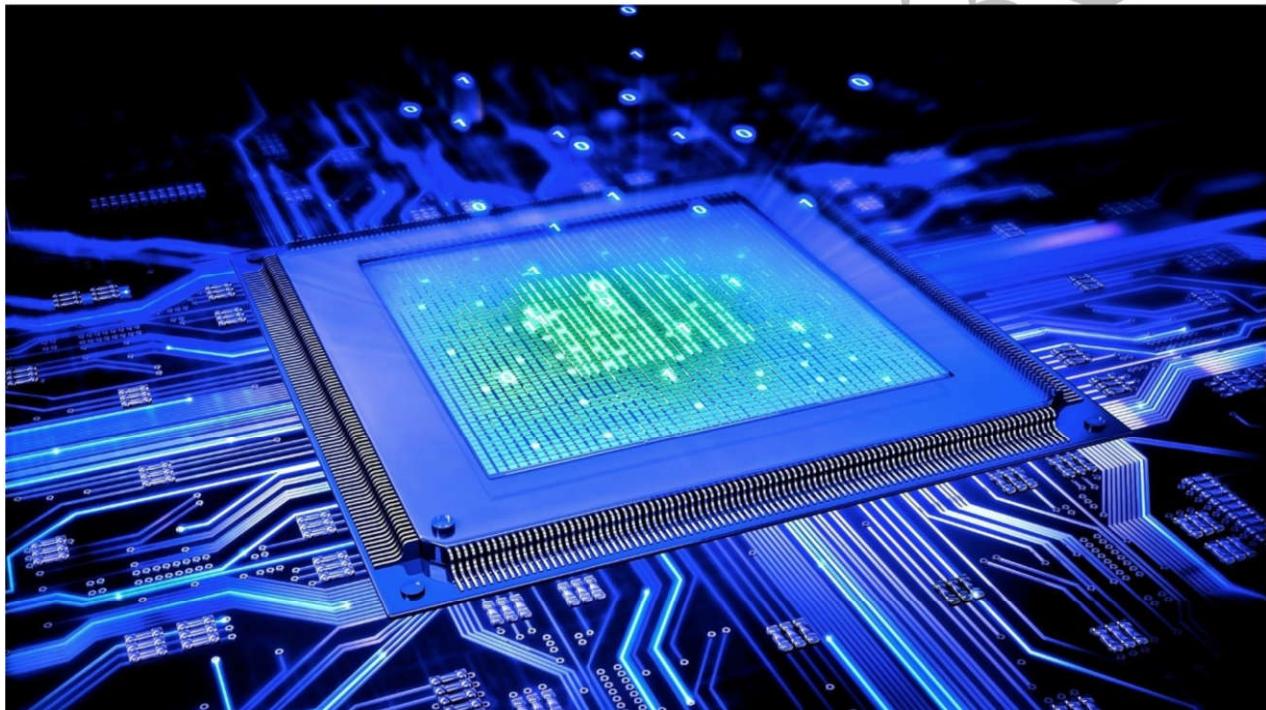


T.C.  
SAKARYA ÜNİVERSİTESİ

MÜHENDİSLİK FAKÜLTESİ  
ELEKTRİK-ELEKTRONİK MÜHENDİSLİĞİ BÖLÜMÜ

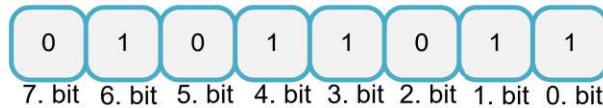
EEM 304 MİKROİŞLEMÇİLER  
GENİŞLETİLMİŞ ÖZET DERS NOTLARI



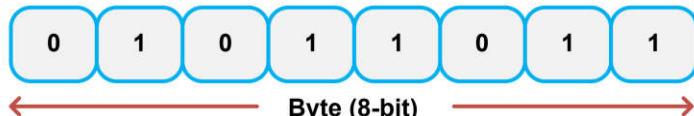
2020

# 1 MİKROİŞLEMÇİLER, MİKRODENETLEYİCİLER ve MİKROİŞLEMCI MİMARİLERİ

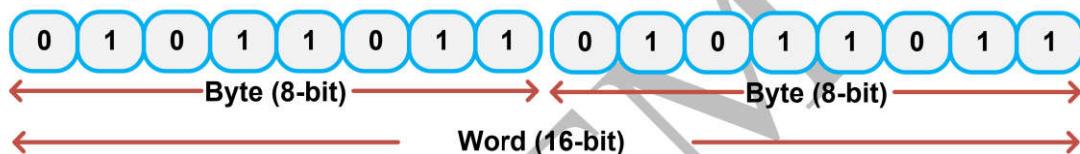
- ✓ **Bit:** Tek bir binary digit (hane)



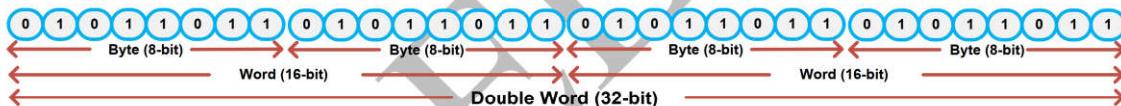
- ✓ **Byte:** 8 tane binary digit



- ✓ **Word:** 16 binary digit

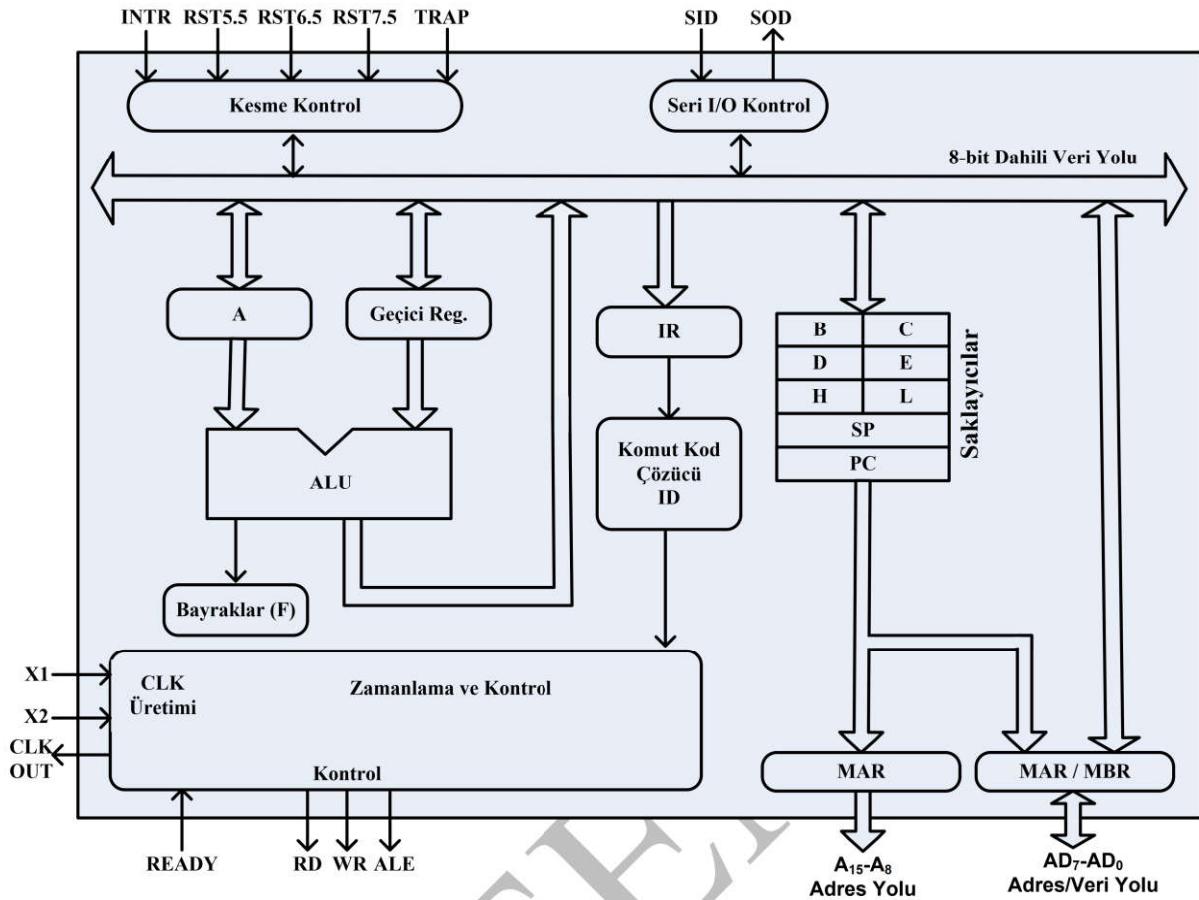


- ✓ **Double Word:** 32 binary digit



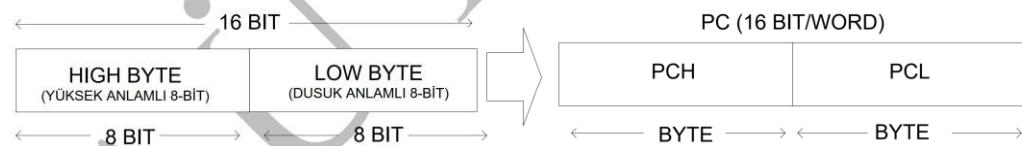
$0_{\text{hex}} = 0_{\text{dec}} = 0_{\text{oct}}$	0 0 0 0
$1_{\text{hex}} = 1_{\text{dec}} = 1_{\text{oct}}$	0 0 0 1
$2_{\text{hex}} = 2_{\text{dec}} = 2_{\text{oct}}$	0 0 1 0
$3_{\text{hex}} = 3_{\text{dec}} = 3_{\text{oct}}$	0 0 1 1
$4_{\text{hex}} = 4_{\text{dec}} = 4_{\text{oct}}$	0 1 0 0
$5_{\text{hex}} = 5_{\text{dec}} = 5_{\text{oct}}$	0 1 0 1
$6_{\text{hex}} = 6_{\text{dec}} = 6_{\text{oct}}$	0 1 1 0
$7_{\text{hex}} = 7_{\text{dec}} = 7_{\text{oct}}$	0 1 1 1
$8_{\text{hex}} = 8_{\text{dec}} = 10_{\text{oct}}$	1 0 0 0
$9_{\text{hex}} = 9_{\text{dec}} = 11_{\text{oct}}$	1 0 0 1
$A_{\text{hex}} = 10_{\text{dec}} = 12_{\text{oct}}$	1 0 1 0
$B_{\text{hex}} = 11_{\text{dec}} = 13_{\text{oct}}$	1 0 1 1
$C_{\text{hex}} = 12_{\text{dec}} = 14_{\text{oct}}$	1 1 0 0
$D_{\text{hex}} = 13_{\text{dec}} = 15_{\text{oct}}$	1 1 0 1
$E_{\text{hex}} = 14_{\text{dec}} = 16_{\text{oct}}$	1 1 1 0
$F_{\text{hex}} = 15_{\text{dec}} = 17_{\text{oct}}$	1 1 1 1

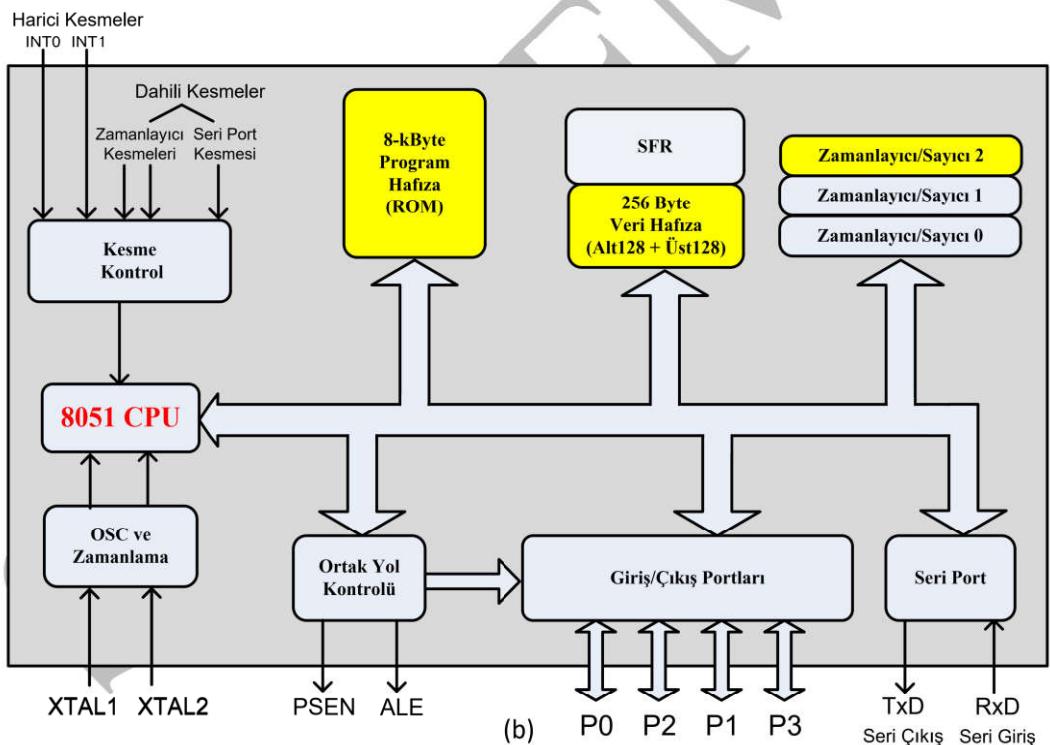
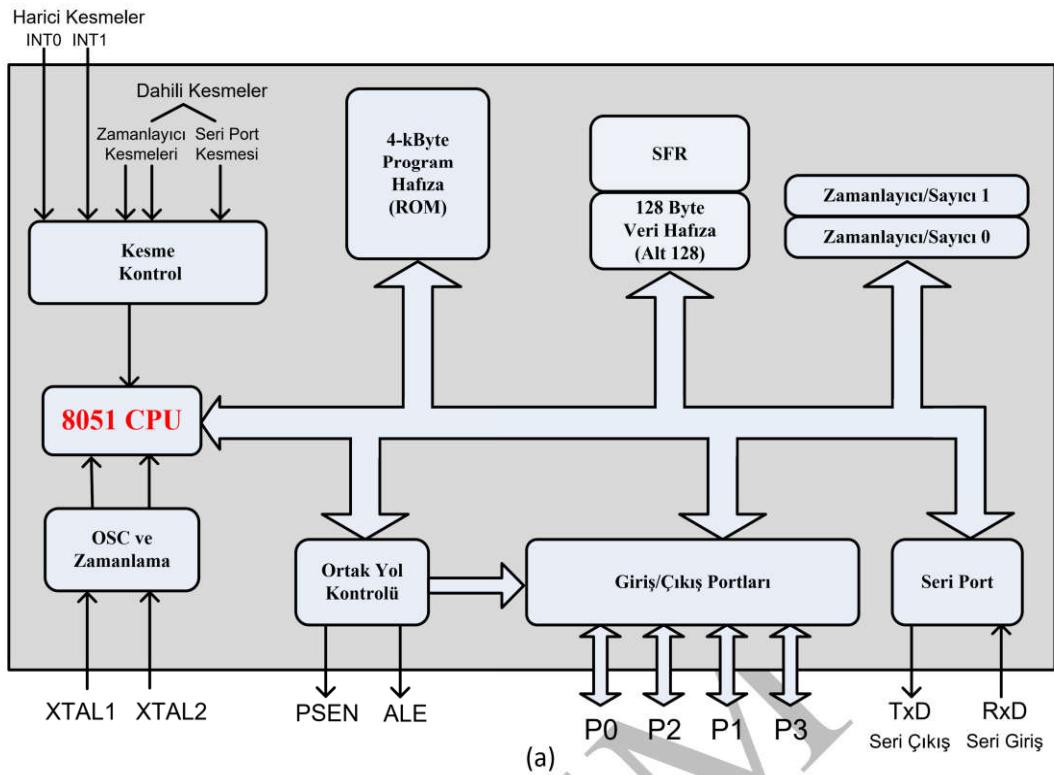
Heksadesimal Dönüşüm Tablosu



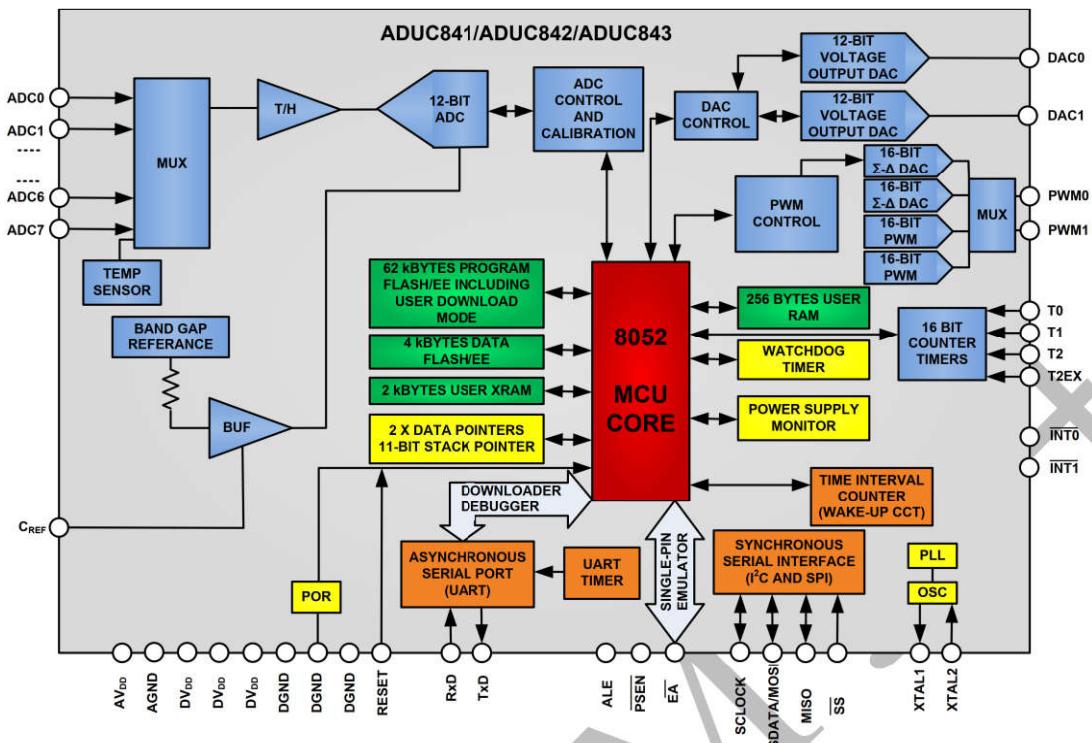
Şekil 1 CPU- Merkezi İşlem Birimi Genel Mimarisi

- ✓ 16 bitlik adres bilgisi 8 bitlik bir işlemcide aşağıda gösterildiği gibi taşınır;

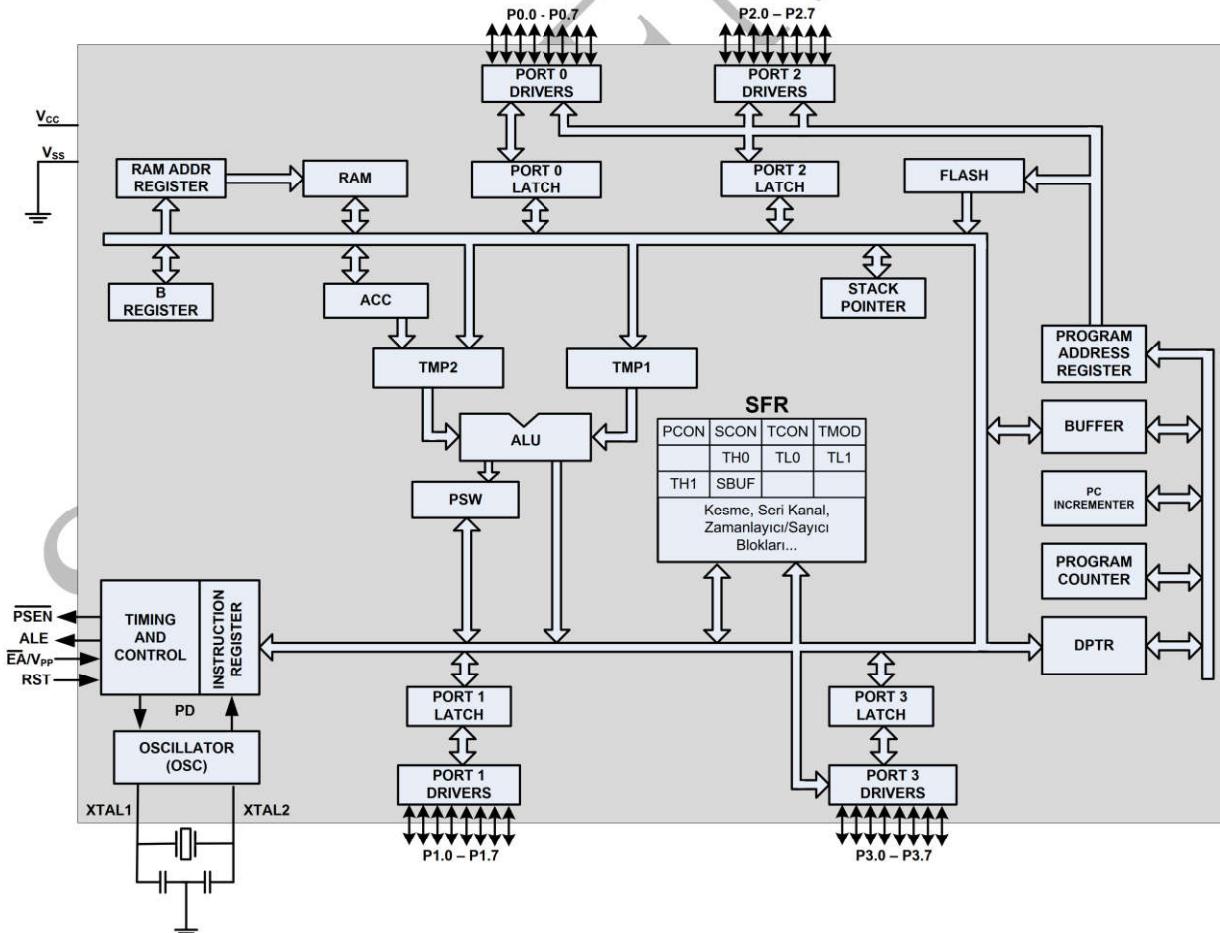




Şekil 2 8051 (a) ve 8052 (b) mikrodenetleyicilerine ait basitleştirilmiş blok diyagramı

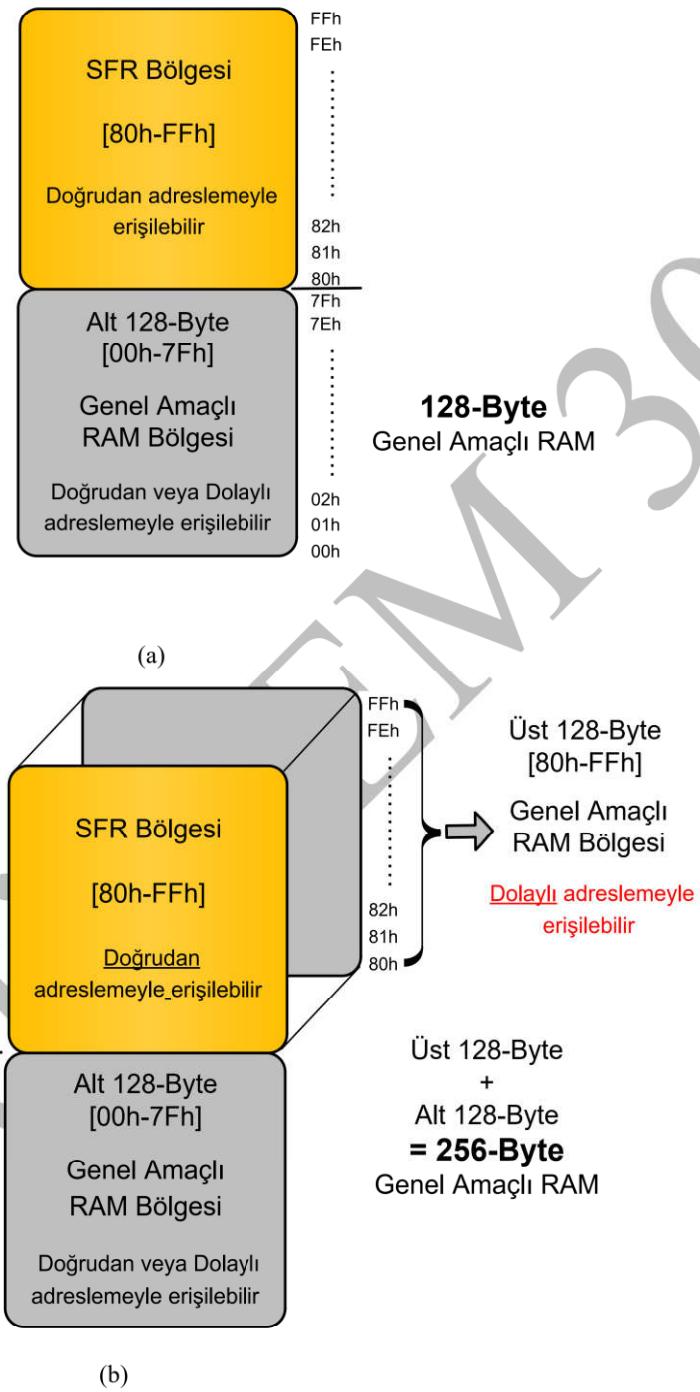


Şekil 3. Aduc841 blok diyagramı

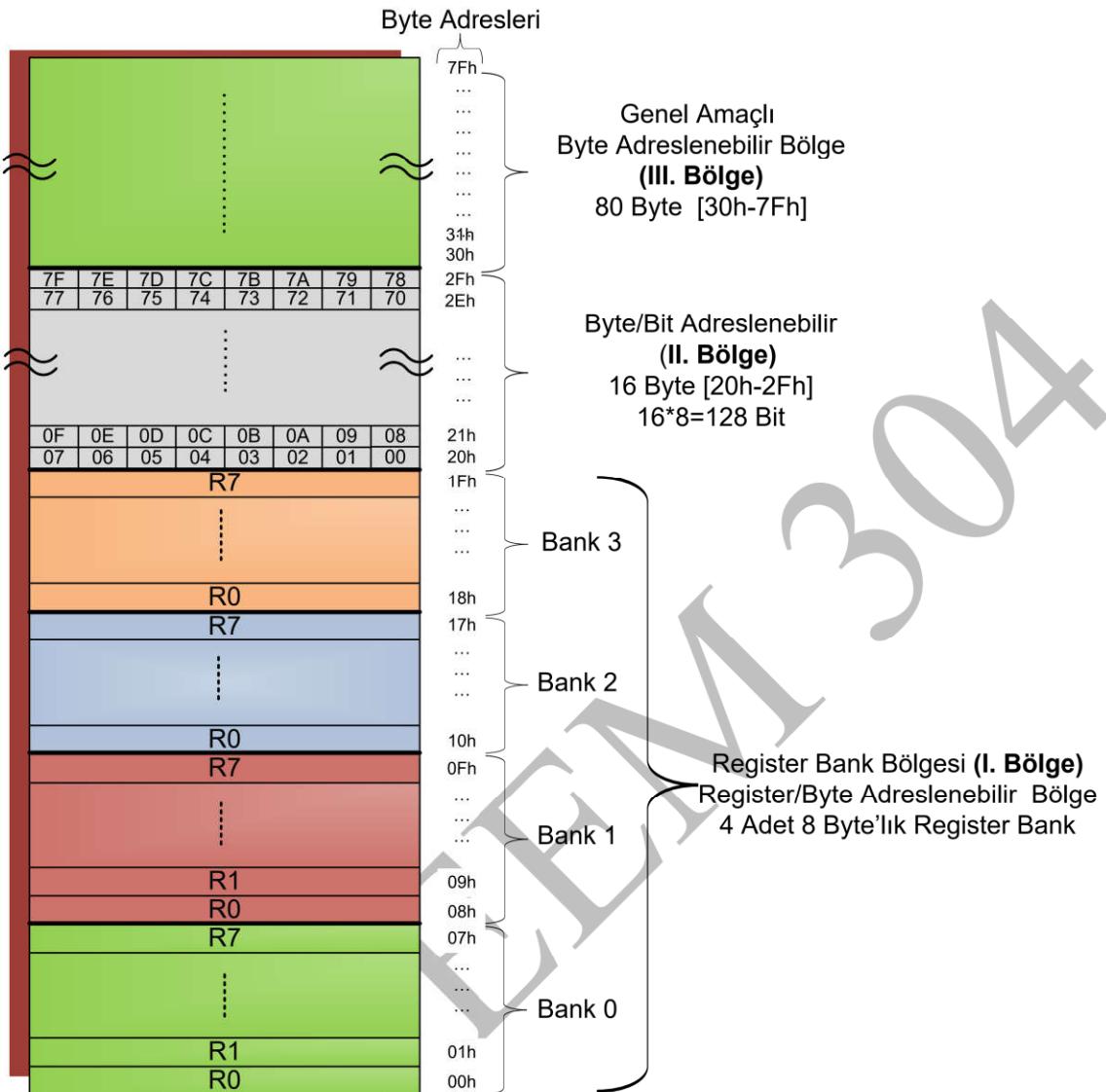


Şekil 4. 8051 mikrodenetleyicisi detaylı blok diyagramı

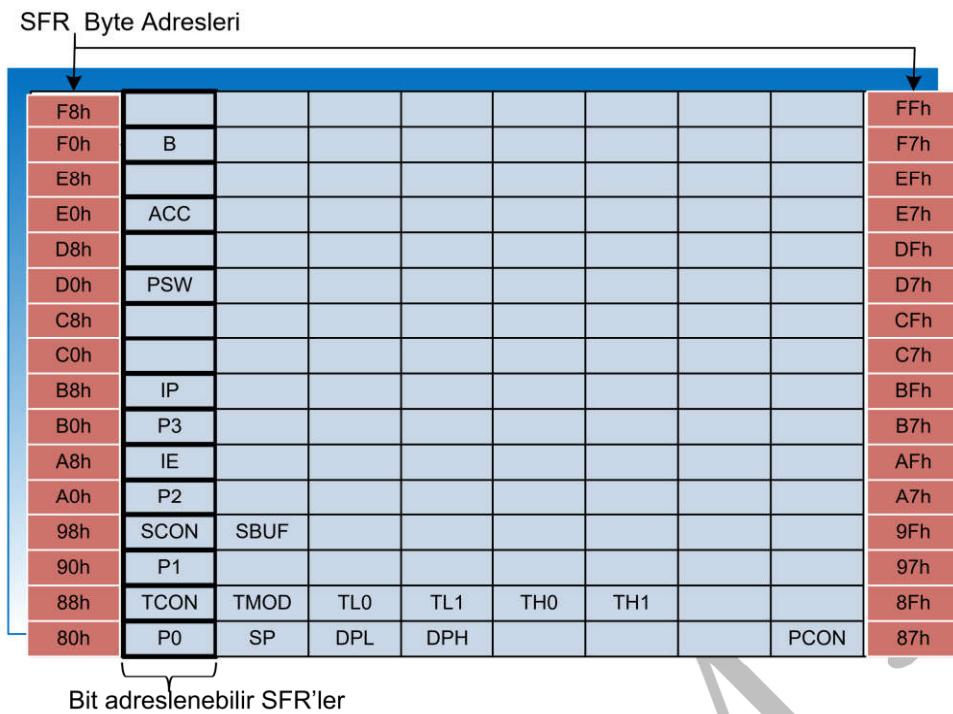
## 2 HAFIZA YAPISI



Şekil 5 8051(a) ve 8052(b) veri hafıza yapısı



Şekil 6 8051 Alt RAM blok yapısı



Şekil 7. 8051 SFR haritası



Bit	İsim	Açıklama															
7	--	Rezerve															
6	DPT	“1” ise otomatik mandallama yetkilendirilir. “0” ise yetkisizdir.															
5	DP1m1	Gölge DPTR modları aşağıdadır. <table border="1"> <tr> <td>DP1m1</td><td>DP1m0</td><td>Gölge DPTR Çalışma Modları</td></tr> <tr> <td>0</td><td>0</td><td>Standart 8052 gibi davranış</td></tr> <tr> <td>0</td><td>1</td><td>Her MOVX ve MOVC komutlarının kullanımından sonra DPTR donanımsal olarak otomatik bir artırılır (inc kullanmadan)</td></tr> <tr> <td>1</td><td>0</td><td>Her MOVX ve MOVC komutlarının kullanımından sonra DPTR donanımsal olarak bir azaltılır (dec kullanmadan)</td></tr> <tr> <td>1</td><td>1</td><td>Her MOVX ve MOVC komutlarının kullanımından sonra DPTR'nin en anlamsız (LSB) 8 byte'sı mandallanır.</td></tr> </table>	DP1m1	DP1m0	Gölge DPTR Çalışma Modları	0	0	Standart 8052 gibi davranış	0	1	Her MOVX ve MOVC komutlarının kullanımından sonra DPTR donanımsal olarak otomatik bir artırılır (inc kullanmadan)	1	0	Her MOVX ve MOVC komutlarının kullanımından sonra DPTR donanımsal olarak bir azaltılır (dec kullanmadan)	1	1	Her MOVX ve MOVC komutlarının kullanımından sonra DPTR'nin en anlamsız (LSB) 8 byte'sı mandallanır.
DP1m1	DP1m0	Gölge DPTR Çalışma Modları															
0	0	Standart 8052 gibi davranış															
0	1	Her MOVX ve MOVC komutlarının kullanımından sonra DPTR donanımsal olarak otomatik bir artırılır (inc kullanmadan)															
1	0	Her MOVX ve MOVC komutlarının kullanımından sonra DPTR donanımsal olarak bir azaltılır (dec kullanmadan)															
1	1	Her MOVX ve MOVC komutlarının kullanımından sonra DPTR'nin en anlamsız (LSB) 8 byte'sı mandallanır.															
4	DP1m0																
3	DP0m1	Ana DPTR modları aşağıdadır. <table border="1"> <tr> <td>DP0m1</td><td>DP0m0</td><td>Ana DPTR Çalışma Modları</td></tr> <tr> <td>0</td><td>0</td><td>Standart 8052 gibi davranış</td></tr> </table>	DP0m1	DP0m0	Ana DPTR Çalışma Modları	0	0	Standart 8052 gibi davranış									
DP0m1	DP0m0	Ana DPTR Çalışma Modları															
0	0	Standart 8052 gibi davranış															

2	DP0m0	0	1	Her MOVX ve MOVC komutlarının kullanımından sonra DPTR donanımsal olarak otomatik bir artırılır (inc kullanmadan)
		1	0	Her MOVX ve MOVC komutlarının kullanımından sonra sonra DPTR donanımsal olarak bir azaltılır (dec kullanmadan)
		1	1	Her MOVX ve MOVC komutlarının kullanımından sonra DPTR'nin en anlamsız (LSB) 8 byte'sı mandallanır.
1	--	Reserve		
0	DPSEL	“0” Ana (main) DPTR seçilir. “1” Gölge (Shadow) DPTR seçilir.		

### PSW Saklayıcısı (Program Status Word, Program Durum Saklayıcısı)

PSW, komutların yürütülmesi esnasında bazı özel durumların oluşup-olmuşmadığını gösteren bayrakların yer aldığı, saklayıcı banklarının (Bank 0, Bank 1, Bank 2 ve Bank 3) seçimin yapıldığı önemli bir SFR'dir. PSW saklayıcısı **bit adreslenebilir**.

PSW: 

CY	AC	F0	RS1	RS0	OV	F1	P
----	----	----	-----	-----	----	----	---

Bit	İsim	Açıklama												
7	CY	CY (veya C) biti aritmetik işlemlerde elde fonksiyonunu gerçekleştirir. Çeşitli komutlar yürütülürken elde bayrağının değeri değişimdir. Elde bayrağı komutlarda çoğunlukla “C” olarak kullanılır.												
6	AC	Yardımcı elde bayrağı (auxiliary carry, AC) herhangi bir Byte'in düşük 4-bitinden yüksek 4-bitine elde olma durumunda setlenir. BCD (Binary Coded Decimal) sayılar ile işlem yaparken kullanılabilir.												
5	F0	Genel amaçlı kullanıma açık 1-bit'lik alan												
4	RS1	RS1 ve RS0 bitleri aşağıdaki tabloya göre aktif olan saklayıcı deposunu belirler.												
		<table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>RS</td> <td>RS</td> <td>Aktif</td> <td>Saklayıcı</td> </tr> <tr> <td>1</td> <td>0</td> <td>Depo</td> <td></td> </tr> </table>	RS	RS	Aktif	Saklayıcı	1	0	Depo					
RS	RS	Aktif	Saklayıcı											
1	0	Depo												
3	RS0	<table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>0</td> <td>0</td> <td>Depo 0</td> </tr> <tr> <td>0</td> <td>1</td> <td>Depo 1</td> </tr> <tr> <td>1</td> <td>0</td> <td>Depo 2</td> </tr> <tr> <td>1</td> <td>1</td> <td>Depo 3</td> </tr> </table>	0	0	Depo 0	0	1	Depo 1	1	0	Depo 2	1	1	Depo 3
0	0	Depo 0												
0	1	Depo 1												
1	0	Depo 2												
1	1	Depo 3												
2	OV	Aritmetik işlemlerde taşıma (işlem sonucunun 255'i aşması) durumunda donanım tarafından setlenir.												
1	F1	Genel amaçlı kullanıma açık 1-bit'lik alan												
0	P	Eşlenik (parity) biti; ACC'deki “1”lerin sayısı tek ise P=1, çift ise P=0 olur.												

### PCON Saklayıcısı

İçerdiği bitlerin açıklaması aşağıda verilmiştir. PCON SFR'si **bit adreslenemez**.

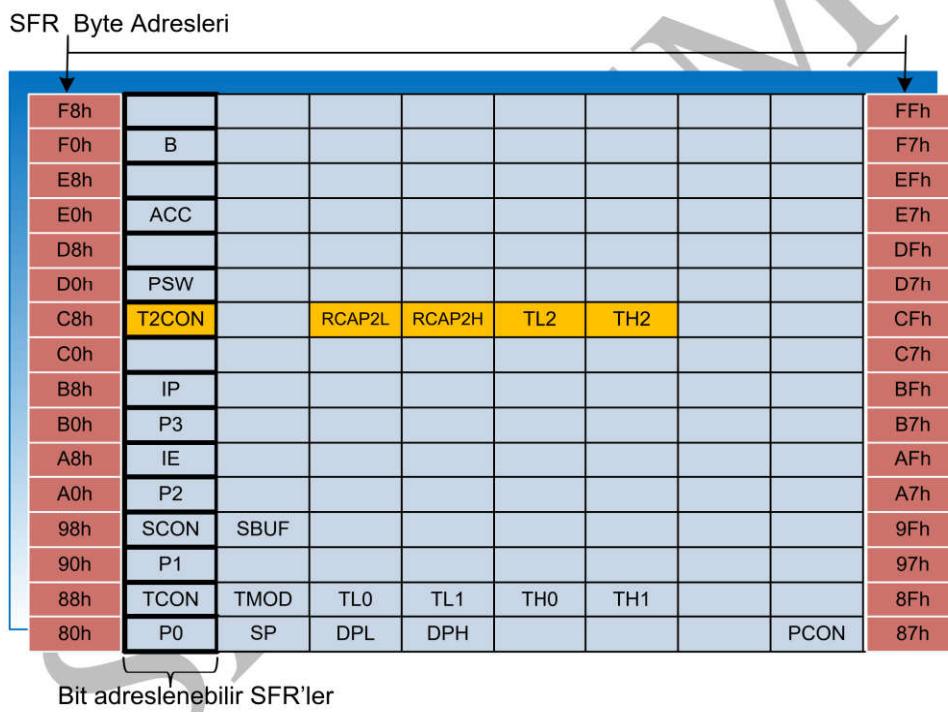
PCON: 

SMOD	SERIPD	INT0PD	ALEOFF	GF1	GF0	PD	IDL
------	--------	--------	--------	-----	-----	----	-----

Bit	İsim	Açıklama
7	SMOD	Seri haberleşme veri iletişim hızının belirlenmesinde kullanılır. Detaylı bilgi için seri haberleşme kısmına bakınız.
6	SERIPD	Setlendiğinde düşük güç modunda I <sup>2</sup> C/SPI kesmesi aktif olur
5	INT0PD	Setlendiğinde düşük güç modunda harici kesme0 aktif olur
4	ALEOFF	Setlendiğinde ALE çıkışı kapatılır
3	GF1	Genel amaçlı kullanımına açık 1-bit'lik alan
2	GF0	Genel amaçlı kullanımına açık 1-bit'lik alan
1	PD	Setlendiğinde mikrodenetleyici düşük güç (Power-Down) moduna geçer, donanımsal reset, TIC kesmesi eğer ve yetkilendirilmiş ise I <sup>2</sup> C/SPI ve harici kesme0 kesmeleri ile normal çalışmaya geçer
0	IDL	Setlendiğinde mikrodenetleyici boşta çalışma (Idle) moduna geçer, donanımsal reset veya yetkilendirilmiş herhangi bir kesme ile normal çalışmaya geçer

\*: Bu bitler Aduc841 için verilmiştir. Standart 8051'de ise rezerve olarak bırakılmıştır.

8051 ailesinin bir üyesi olan 8052 çekirdeğine ait SFR haritası aşağıda gösterilmiştir. 8052'ye ait SFR haritasında üstte verilen 8051 SFR haritasından farklı olarak sadece 8052 mimarisinde bulunan 3. Zamanlayıcı/Sayırcıya ait SFR'ler (T2CON, RCAP2L, RCAP2H, TL2 ve TH2) bulunmaktadır. Diğer tüm SFR'lerin ve bulundukları adreslerin aynı olduğuna dikkat ediniz.

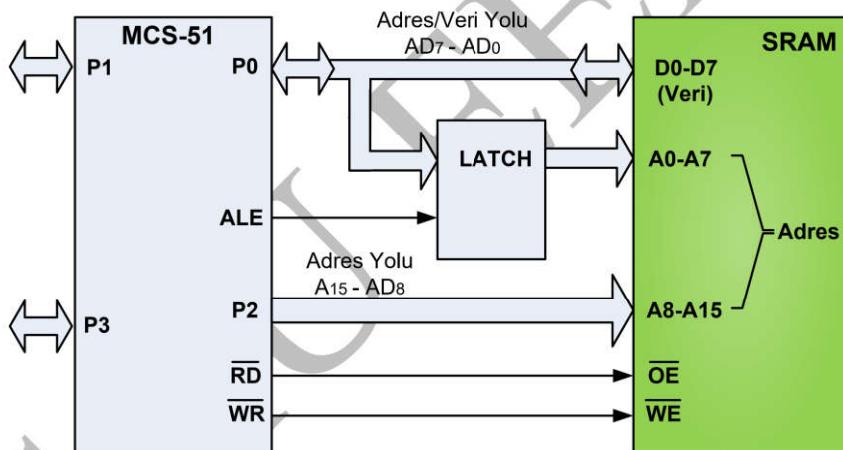


Şekil 8. 8052 SFR haritası

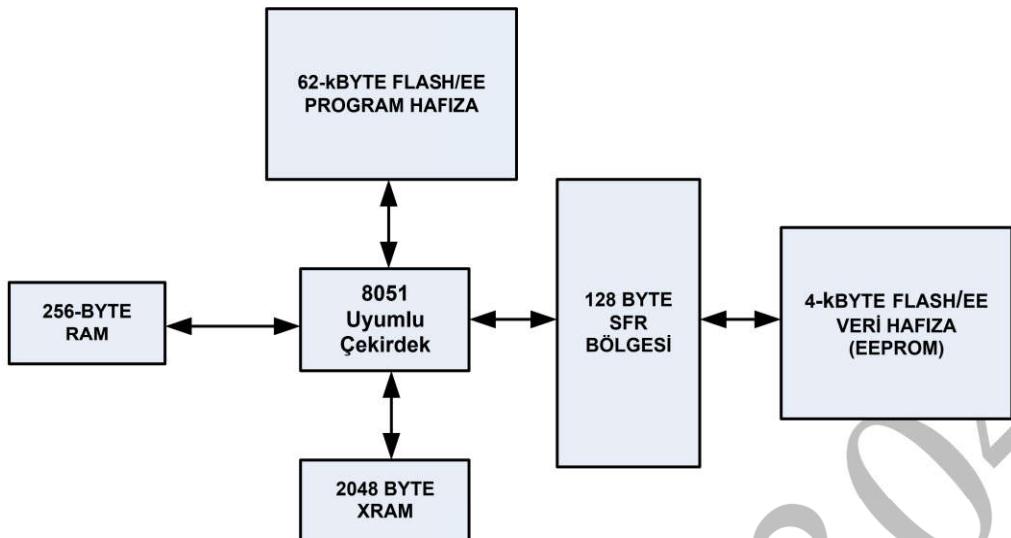
F8h	SPICON	DAC0L	DAC0H	DAC1L	DAC1H	DACCON			FFh
F0h	B	ADCCOPSL	ADCCOPSH	ADCGAINL	ADCGAINH	ADCCON3		SPIDAT	F7h
E8h	I2CCON							ADCCON1	EFh
E0h	ACC								E7h
D8h	ADCCON2	ADCDATAL	ADCDATAH					PSMCON	DFh
D0h	PSW		DMAL	DMAH	DMAP			PLLCON	D7h
C8h	T2CON		RCAP2L	RCAP2H	TL2	TH2			CFh
C0h			CHIPID				EDARL	EDARH	C7h
B8h	IP	ECON			EDATA1	EDATA2	EDATA3	EDATA4	BFh
B0h	P3	PWM0L	PWM0H	PWM1L	PWM1H			SPH	B7h
A8h	IE	IEIP2					PWMCON	CFG841/ CFG842	AFh
A0h	P2	TIMECON	HTHSEC	SEC	MIN	HOUR	INTVAL	DPCON	A7h
98h	SCON	SBUF	I2CDAT	I2CADD		T3FD	T3CON		9Fh
90h	P1	I2CADD1	I2CADD2	I2CADD3					97h
88h	TCON	TMOD	TL0	TL1	TH0	TH1			8Fh
80h	P0	SP	DPL	DPH	DPP			PCON	87h

Bit adreslenebilir SFR'ler

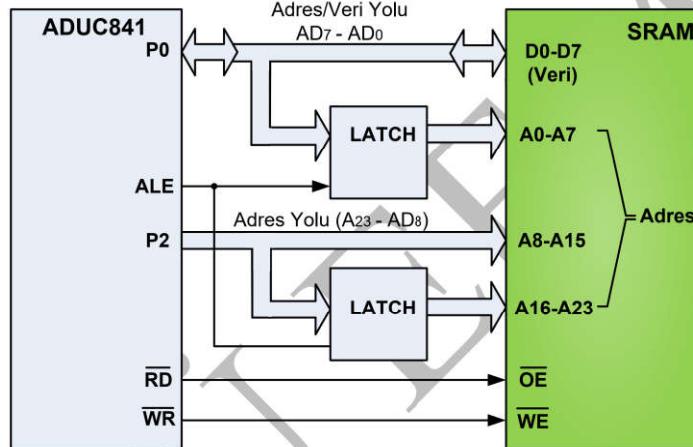
Şekil 9 Aduc841 SFR haritası



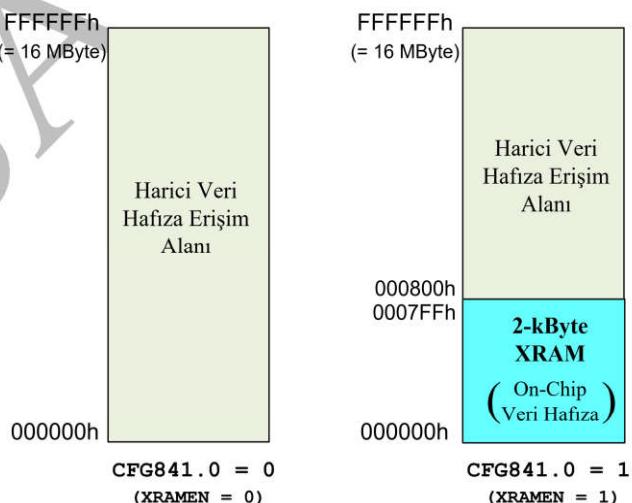
Şekil 10. Harici Veri hafızaya (64-kByte) erişim için gerekli arayüz



Şekil 11. Aduc841 Hafiza birimleri



Şekil 12. Aduc841 Harici Veri hafızaya (16-MByte) erişim için gerekli arayüz



Şekil 13. Harici ve dahili XRAM kullanımı

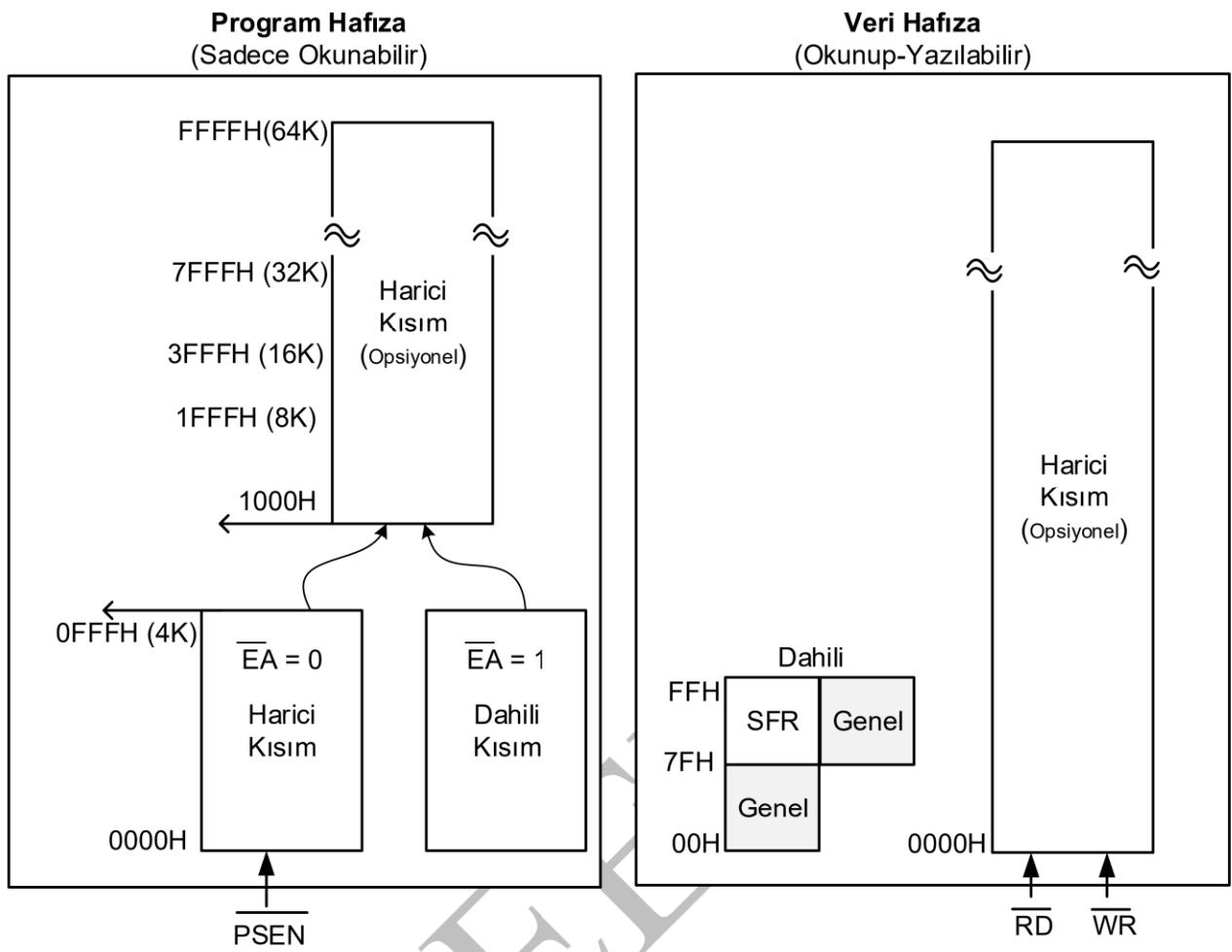
SAYFA ADRESİ  
(EADDRH/L)

3FFH	BYTE 1 (0FFC <sub>H</sub> )	BYTE 2 (0FFD <sub>H</sub> )	BYTE 3 (0FFE <sub>H</sub> )	BYTE 4 (0FFF <sub>H</sub> )
3FEH	BYTE 1 (0FF8 <sub>H</sub> )	BYTE 2 (0FF9 <sub>H</sub> )	BYTE 3 (0FFA <sub>H</sub> )	BYTE 4 (0FFB <sub>H</sub> )
03H	BYTE 1 (000C <sub>H</sub> )	BYTE 2 (000D <sub>H</sub> )	BYTE 3 (000E <sub>H</sub> )	BYTE 4 (000F <sub>H</sub> )
02H	BYTE 1 (0008 <sub>H</sub> )	BYTE 2 (0009 <sub>H</sub> )	BYTE 3 (000A <sub>H</sub> )	BYTE 4 (000B <sub>H</sub> )
01H	BYTE 1 (0004 <sub>H</sub> )	BYTE 2 (0005 <sub>H</sub> )	BYTE 3 (0006 <sub>H</sub> )	BYTE 4 (0007 <sub>H</sub> )
00H	BYTE 1 (0000 <sub>H</sub> )	BYTE 2 (0001 <sub>H</sub> )	BYTE 3 (0002 <sub>H</sub> )	BYTE 4 (0003 <sub>H</sub> )

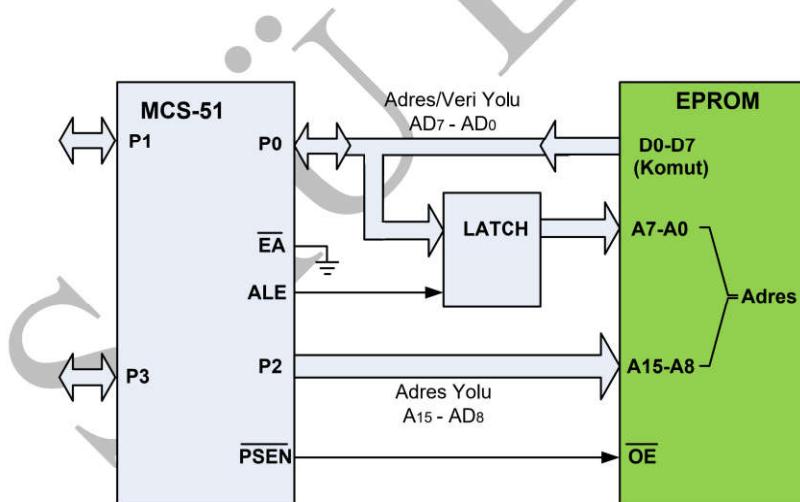
Byte adresleri parantez içerisinde verilmiştir.

EDATA1 SFR      EDATA2 SFR      EDATA3 SFR      EDATA4 SFR

Şekil 14. Dahili Flash veri hafıza



Şekil 15. Aduc841'e ait Program (Dahili/Harici) ve Veri (Dahili/Harici) Hafıza yapıları



Şekil 16. Harici Program hafıza kullanımı için gerekli bağlantı yapıları

### 3 ADRESLEME MODLARI

---

#### İvedi Adresleme (Immediate Addressing)

mov <hedef>, #veri

#### Doğrudan Adresleme (Direct Addressing)

mov <hedef>,<kaynak>

#### Saklayıcı Adresleme (Register Addressing)

mov Rn, <hedef> / mov <kaynak>,Rn

#### Saklayıcı - Dolaylı Adresleme (Register- Indirect Addressing)

mov <hedef>,@Ri

mov @Ri, <kaynak>

#### Saklayıcı - İndisli Adresleme (Register Indexed Addressing)

**movc a,@a+DPTR** ; Program Hafıza @ (A+DPTR) Hücreni Oku

**movc a,@a+PC** ; Program Hafıza @ (A+PC ) Hücreni Oku

## 4 8051 KOMUT KÜMESİ

---

Mnemonic	Description	Bytes	Cycles
<b>Arithmetic</b>			
ADD A,Rn	Add register to A	1	1
ADD A,@Ri	Add indirect memory to A	1	2
ADD A,dir	Add direct byte to A	2	2
ADD A,#data	Add immediate to A	2	2
ADDC A,Rn	Add register to A with carry	1	1
ADDC A,@Ri	Add indirect memory to A with carry	1	2
ADDC A,dir	Add direct byte to A with carry	2	2
ADD A,#data	Add immediate to A with carry	2	2
SUBB A,Rn	Subtract register from A with borrow	1	1
SUBB A,@Ri	Subtract indirect memory from A with borrow	1	2
SUBB A,dir	Subtract direct from A with borrow	2	2
SUBB A,#data	Subtract immediate from A with borrow	2	2
INC A	Increment A	1	1
INC Rn	Increment register	1	1
INC @Ri	Increment indirect memory	1	2
INC dir	Increment direct byte	2	2
INC DPTR	Increment data pointer	1	3
DEC A	Decrement A	1	1
DEC Rn	Decrement register	1	1
DEC @Ri	Decrement indirect memory	1	2
DEC dir	Decrement direct byte	2	2
MUL AB	Multiply A by B	1	9
DIV AB	Divide A by B	1	9
DA A	Decimal adjust A	1	2
<b>Logic</b>			
ANL A,Rn	AND register to A	1	1
ANL A,@Ri	AND indirect memory to A	1	2
ANL A,dir	AND direct byte to A	2	2
ANL A,#data	AND immediate to A	2	2
ANL dir,A	AND A to direct byte	2	2
ANL dir,#data	AND immediate data to direct byte	3	3
ORL A,Rn	OR register to A	1	1
ORL A,@Ri	OR indirect memory to A	1	2
ORL A,dir	OR direct byte to A	2	2
ORL A,#data	OR immediate to A	2	2
ORL dir,A	OR A to direct byte	2	2
ORL dir,#data	OR immediate data to direct byte	3	3
XRL A,Rn	Exclusive-OR register to A	1	1
XRL A,@Ri	Exclusive-OR indirect memory to A	2	2
XRL A,#data	Exclusive-OR immediate to A	2	2
XRL dir,A	Exclusive-OR A to direct byte	2	2



Mnemonic	Description	Bytes	Cycles
XRL A,dir	Exclusive-OR indirect memory to A	2	2
XRL dir,#data	Exclusive-OR immediate data to direct	3	3
CLR A	Clear A	1	1
CPL A	Complement A	1	1
SWAP A	Swap nibbles of A	1	1
RL A	Rotate A left	1	1
RLC A	Rotate A left through carry	1	1
RR A	Rotate A right	1	1
RRC A	Rotate A right through carry	1	1
<b>Data Transfer</b>			
MOV A,Rn	Move register to A	1	1
MOV A,@Ri	Move indirect memory to A	1	2
MOV Rn,A	Move A to register	1	1
MOV @Ri,A	Move A to indirect memory	1	2
MOV A,dir	Move direct byte to A	2	2
MOV A,#data	Move immediate to A	2	2
MOV Rn,#data	Move register to immediate	2	2
MOV dir,A	Move A to direct byte	2	2
MOV Rn, dir	Move register to direct byte	2	2
MOV dir, Rn	Move direct to register	2	2
MOV @Ri,#data	Move immediate to indirect memory	2	2
MOV dir,@Ri	Move indirect to direct memory	2	2
MOV @Ri,dir	Move direct to indirect memory	2	2
MOV dir,dir	Move direct byte to direct byte	3	3
MOV dir,#data	Move immediate to direct byte	3	3
MOV DPTR,#data	Move immediate to data pointer	3	3
MOVC A,@A+DPTR	Move code byte relative DPTR to A	1	4
MOVC A,@A+PC	Move code byte relative PC to A	1	4
MOVX A,@Ri	Move external (A8) data to A	1	4
MOVX A,@DPTR	Move external (A16) data to A	1	4
MOVX @Ri,A	Move A to external data (A8)	1	4
MOVX @DPTR,A	Move A to external data (A16)	1	4
PUSH dir	Push direct byte onto stack	2	2
POP dir	Pop direct byte from stack	2	2
XCH A,Rn	Exchange A and register	1	1
XCH A,@Ri	Exchange A and indirect memory	1	2
XCHD A,@Ri	Exchange A and indirect memory nibble	1	2
XCH A,dir	Exchange A and direct byte	2	2
<b>Boolean</b>			
CLR C	Clear carry	1	1
CLR bit	Clear direct bit	2	2
SETB C	Set carry	1	1
SETB bit	Set direct bit	2	2
CPL C	Complement carry	1	1
CPL bit	Complement direct bit	2	2
ANL C,bit	AND direct bit and carry	2	2
ANL C,/bit	AND direct bit inverse to carry	2	2
ORL C,bit	OR direct bit and carry	2	2
ORL C,/bit	OR direct bit inverse to carry	2	2
MOV C,bit	Move direct bit to carry	2	2
MOV bit,C	Move carry to direct bit	2	2

Mnemonic	Description	Bytes	Cycles
<b>Branching</b>			
JMP @A+DPTR	Jump indirect relative to DPTR	1	3
RET	Return from subroutine	1	4
RETI	Return from interrupt	1	4
ACALL addr11	Absolute jump to subroutine	2	3
AJMP addr11	Absolute jump unconditional	2	3
SJMP rel	Short jump (relative address)	2	3
JC rel	Jump on carry equal to 1	2	3
JNC rel	Jump on carry equal to 0	2	3
JZ rel	Jump on accumulator = 0	2	3
JNZ rel	Jump on accumulator not equal to 0	2	3
DJNZ Rn,rel	Decrement register, JNZ relative	2	3
LJMP	Long jump unconditional	3	4
LCALL addr16	Long jump to subroutine	3	4
JB bit,rel	Jump on direct bit = 1	3	4
JNB bit,rel	Jump on direct bit = 0	3	4
JBC bit,rel	Jump on direct bit = 1 and clear	3	4
CJNE A,dir,rel	Compare A, direct JNE relative	3	4
CJNE A,#data,rel	Compare A, immediate JNE relative	3	4
CJNE Rn,#data,rel	Compare register, immediate JNE relative	3	4
CJNE @Ri,#data,rel	Compare indirect, immediate JNE relative	3	4
DJNZ dir,rel	Decrement direct byte, JNZ relative	3	4
<b>Miscellaneous</b>			
NOP	No operation	1	1

SAÜEEN

## 5 ALT PROGRAM

```
acall <alt program ismi> ; 2-kByte alan içerisinde
lcall <alt program ismi> ; 64-kByte alan içerisinde
ret ; alt programdan çıkış
```

### ACALL <alt program ismi>

“ACALL” komutu program hafızada 2-Byte yer işgal eder. Koşulsuz olarak isim ile belirtilen altprogramı çağırır. PC, yiğita atılır. Bir sonraki komuta işaret eden adres, önce düşük byte olmak üzere yiğite atılır. Altprogram program hafızasının 2K’lık bloğu içinde olmalıdır. Bu komut yürütülmesi sırasında donanım tarafından otomatik olarak aşağıdaki işlemler gerçekleştirilir.

```
(PC) ← (PC)+2
(SP) ← (SP)+1
((SP)) ← (PC7..0)
(SP) ← (SP)+1
((SP)) ← (PC15..8)
(PC) ← alt program adresi
```

### LCALL <alt program ismi>

“LCALL” komutu program hafızada 3-Byte yer işgal eder. Alt program 64K’lık program belleğinin herhangi bir adresinden başlayabilir. Koşulsuz olarak isim ile belirtilen altprogramı çağırır. Komutun icrası “ACALL” komutu ile aynıdır. Sadece PC değeri 3-Byte artırılır.

```
(PC) ← (PC)+3
(SP) ← (SP)+1
((SP)) ← (PC7..0)
(SP) ← (SP)+1
((SP)) ← (PC15..8)
(PC) ← alt program adresi
```

### RET

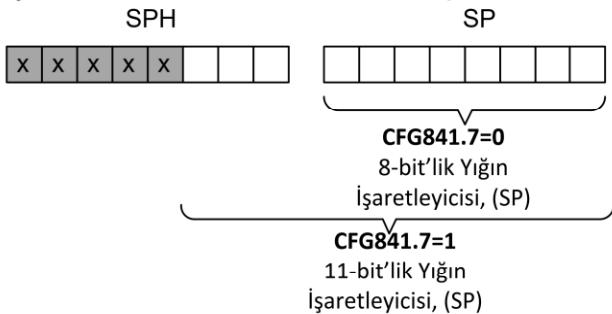
Komut satırlarının koşturulması esnasında “RET” komutu ile karşılaşınca program akışı içinde bulunduğu alt programdan çıkararak alt programın çağrıldığı komut satırının bir alt satırına döner. Dönüş adresinin PC’ye yüklenmesi donanım tarafından otomatik olarak aşağıda gösterildiği gibi gerçekleştirilir.

```
(PC15..8) ← ((SP))
(SP) ← (SP)-1
(PC7..0) ← ((SP))
(SP) ← (SP)-1
```

Gösterim	İşlem	Adresleme modları			
		Dir	Ind	Reg	Imm
PUSH <kaynak>	INC SP : MOV @SP , <kaynak>	*			
POP <hedef>	MOV<hedef> , @SP : DEC SP	*			

## Yığın İşaretçisi (Stack Pointer, SP)

Standart INTEL-8051 ve INTEL-8052 mimarisi 8-Bit'lik yığın işaretleyici (Stack Pointer, SP)'ye sahiptir. Aduc841 mikrodenetleyicisinde ise başlangıçta (reset sonrasında) SP 8-Bit uzunluğundadır. Ancak, istendiğinde **CFG841** SFR'sinde bulunan "EXSP" (**CFG841.7**) biti setlenerek SP 11-Bit uzunluğa ayarlanabilir. Bu durumda SP'nin düşük 8-Bit'i 'SP', yüksek 3-Bit'i ise 'SPH' SFR'lerinde tutulur.

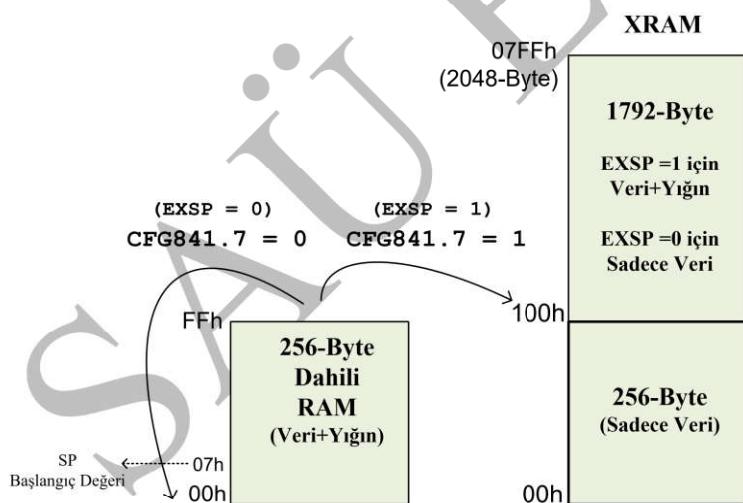


"EXSP" (**CFG841.7**) bitinin değerine bağlı olarak SP'nin işaret edebileceği adres değerleri aşağıda gösterilmiştir.

Şekilde gösterildiği gibi EXSP=0 için SP'nin kullanımı 8051'de olduğu gibidir. EXSP=1 yapıldığında ise SP 11-bit uzunluğunda sahip olur. Böylece SP'nin adresleyebileceği alan 2048-Byte (**0000h – 07FFh**) olur. Bu durumda SP'nin **00h-FFh** arasındaki değerleri dahili veri hafızadan (RAM), **100h-7FFh** arasındaki değerleri ise Aduc841 yongası üzerinde bulunan XRAM'den gösterilir.

```

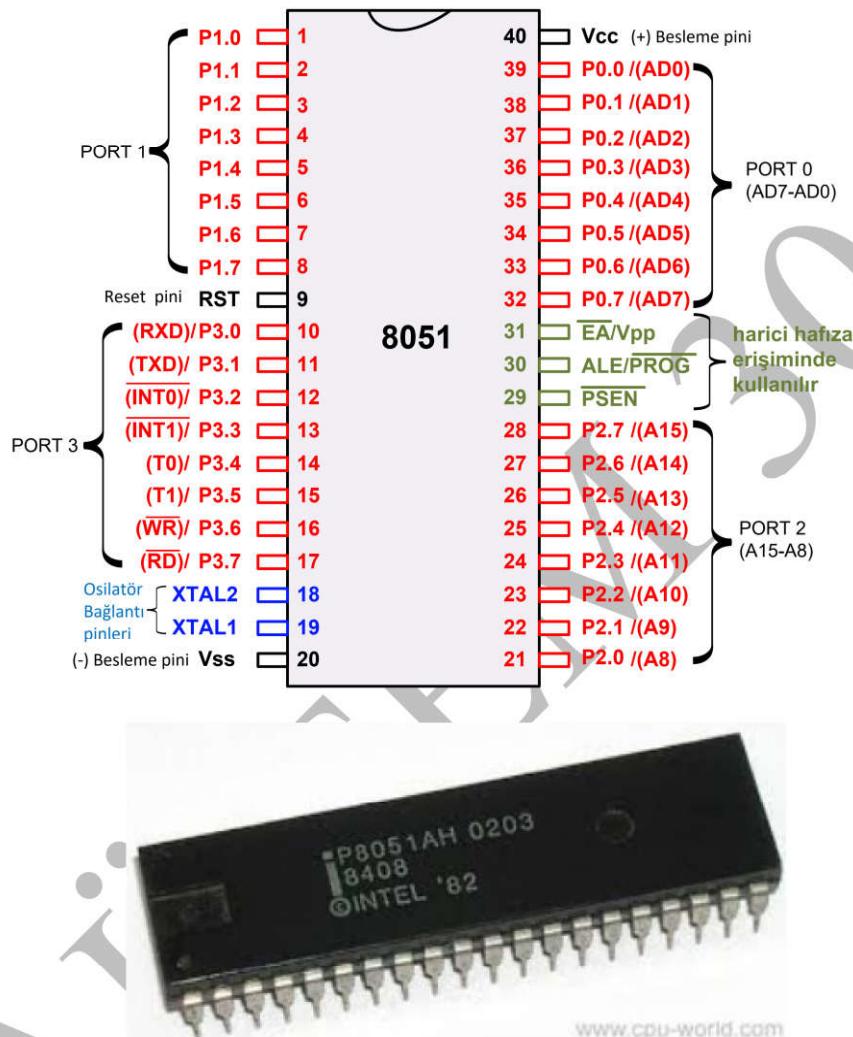
    orl    cfg841,#80h      ;SP 11bit adresleyebilmek için ayarlandı
    mov    sph,#01h
    mov    sp,#00h          ;SP=0100h
  
```



Şekil 17. Aduc841 SP yapısı

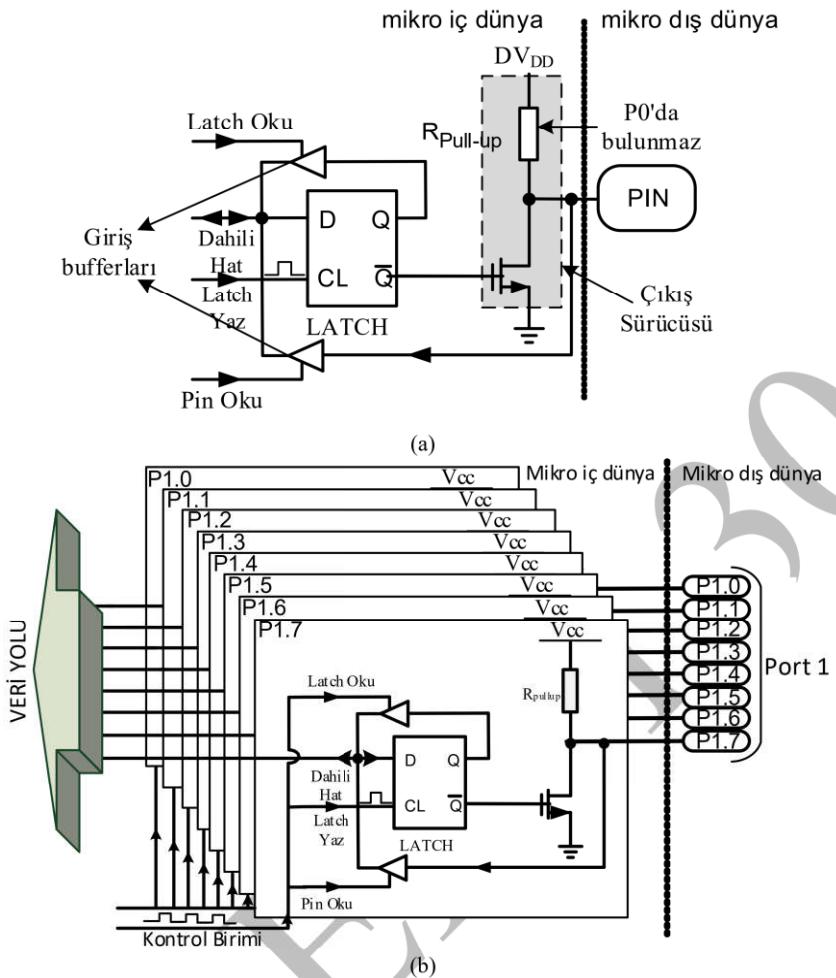
## 6 8051 TÜMDEVRE UÇ FONKSİYONLARI

### 8051 Tümdevre Görünümü



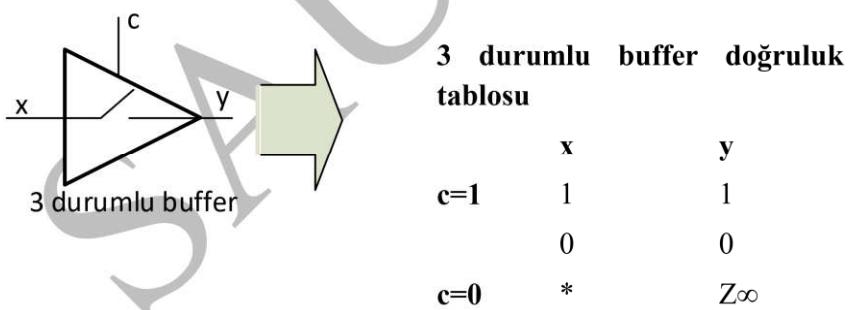
Şekil 18. 8051'e ait 40-uçlu tümdevre ve gerçek-zaman görüntüsü

## Port 1 (P1)



Şekil 19. (a) P1 portu için 1-bit (P1.x) basitleştirilmiş donanım yapısı (b) P1 portuna ait basitleştirilmiş donanım yapısı

Mikrodenetleyicide bulunan tampon (buffer) 3 durumlu (3 state) yapıya sahiptir. Aşağıda giriş tamponunun yapısı ve doğruluk tablosu verilmiştir.



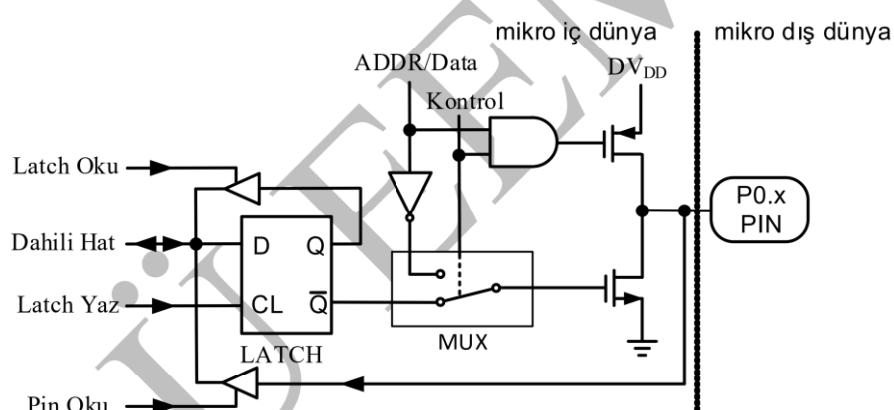
### Pin Okuma komutları:

Komut	Açıklama
MOV a,Px	İlgili Port'u okur ve P1 fiziksel pinden gelen bilgiyi a'ya kaydeder
JNB Px.y,<adres>	Px.y lojik 0 ise ilgili adrese dallan, JNB P2.3, X1
JB Px.y,<adres>	Px.y lojik 0 ise ilgili adrese dallan, JB P1.2,X2
MOV C, Px.y	Pinin durumunu Carry bitine aktar, MOV C, P2.2

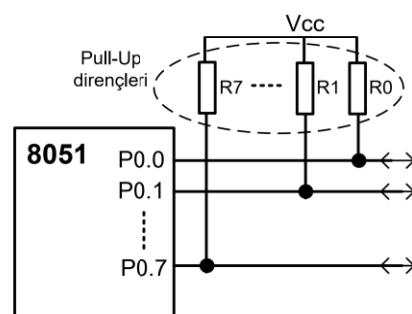
## Oku/Değiştir/Yaz (Read/Modify/Write) komutları- Tutucu üzerinde işlem yapan komutlar:

Komut	Açıklama
ANL Px, a	Lojik “VE” işlemi <b>ANL P1, A</b>
ORL Px, a	Lojik “VEYA” işlemi <b>ORL P2, #55h</b>
XRL Px, a	Lojik “ÖZEL-VEYA” işlemi <b>XRL P3, #0AAh</b>
JBC Px.x, <adres>	Eğer bit=1 ise adrese dallan sonra biti sıfırla <b>JBC P2.0, devam</b>
CPL Px.x	Biti tersle <b>CPL P3.2</b>
INC Px	<b>INC P2</b>
DEC Px	<b>DEC P3</b>
DJNZ Px, <adres>	<b>DJNZ P2, git</b>
MOV Px.y, C *	<b>MOV P2.3, C</b>
CLR Px.y *	<b>CLR P3.6</b>
SETB Px.y *	<b>SETB P0.3</b>

### Port 0 (P0)

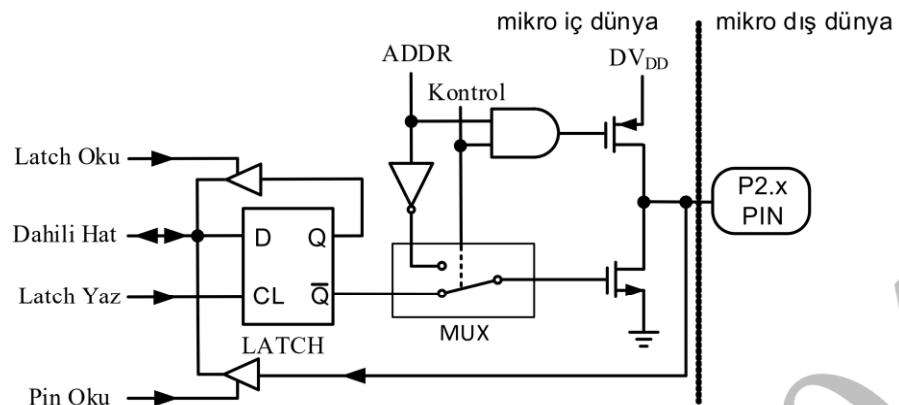


Şekil 20. Port 0 detaylı iç yapısı, 1-bit için.



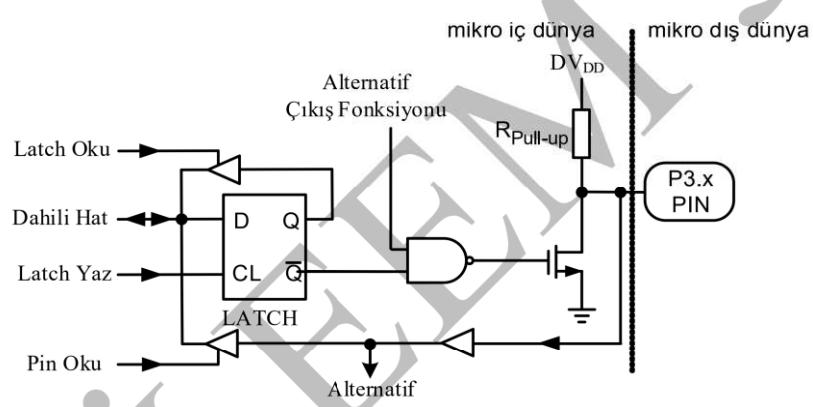
Şekil 21. Port 0 harici pull-up direnç bağlantısı.

## Port 2 (P2)



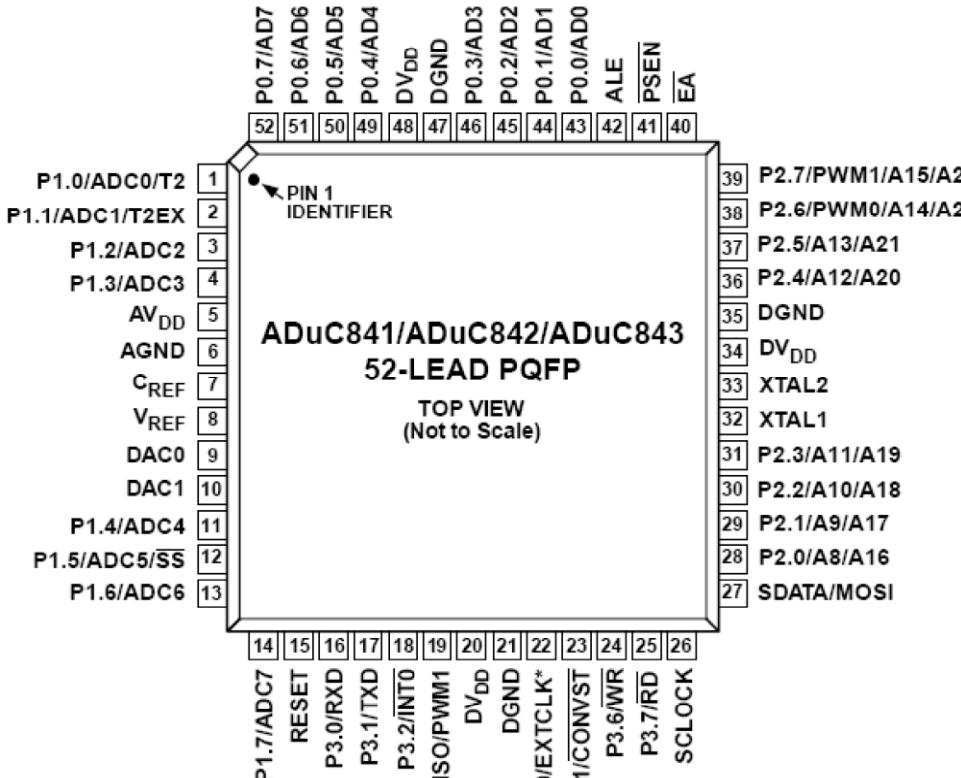
Şekil 22. Port 2 detaylı iç yapısı, 1-bit için.

## Port 3 (P3)



Şekil 23. Port 3 detaylı iç yapısı, 1-bit için

## ADuC841 Tümdevre Uç Fonksiyonları



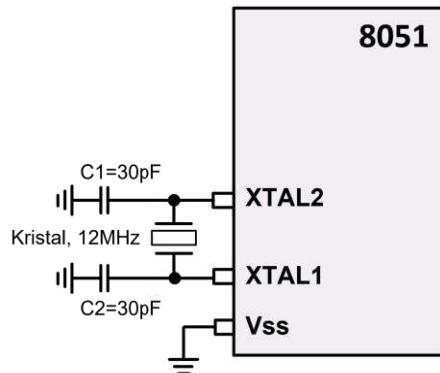
\*EXTCLK NOT PRESENT ON THE ADuC841



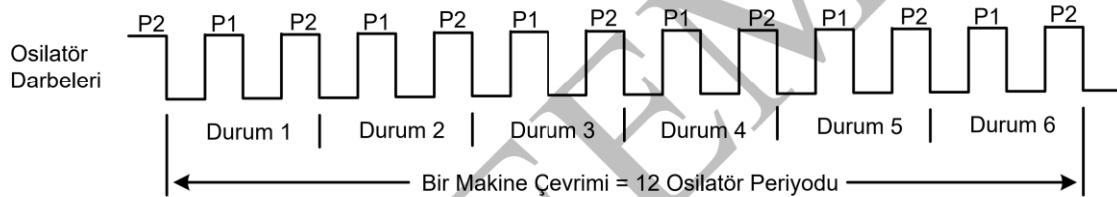
Şekil 24. Aduc 841 Tümdevre uç fonksiyonları ve gerçek zaman görüntüsü

## 7 ZAMANLAYICI/SAYICI YAPISI:

### Sistem Saat Üreteci ve Makine Çevrimi



Şekil 25. 8051 Mikrodenetleyicisi osilatör bağlantı şékli



Genel olarak standart 8051'de herhangi bir komutun koşturma süresi, Cycle= komutun koşturulması için gerekli makine çevrimi olmak üzere,

$$T = \frac{Cycle * 12}{Kristal Frekansi} \text{ (sn)}$$

### Aduc841 Makine Çevrimi

Maksimum çalışma frekansı 20-Mhz olan Aduc841 mikrodenetleyicisinde 1 makine çevrimi 1 osilatör periyodundan oluşur. Dolayısı ile Aduc841 aynı kristal frekansı değerinde bile standart 8051'den 12 kat daha hızlı işlem gerçekleştirir. (Standart 8051'de 1 makine çevrimi=12 osilatör periyodu)

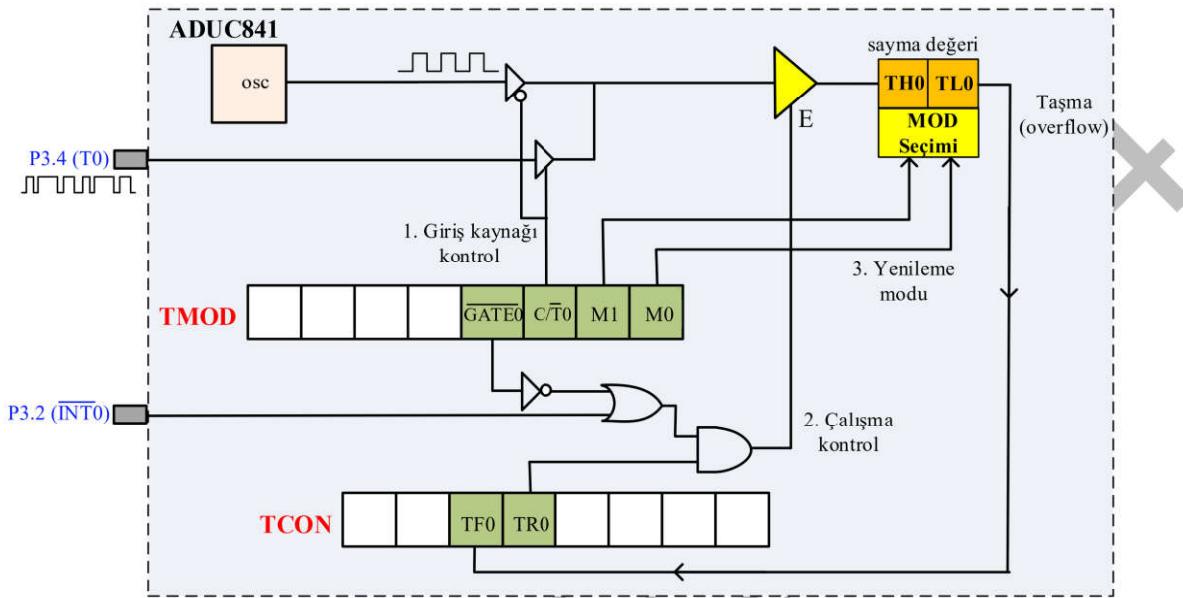


1 Makine Çevrimi = 1 Osilatör Periyodu

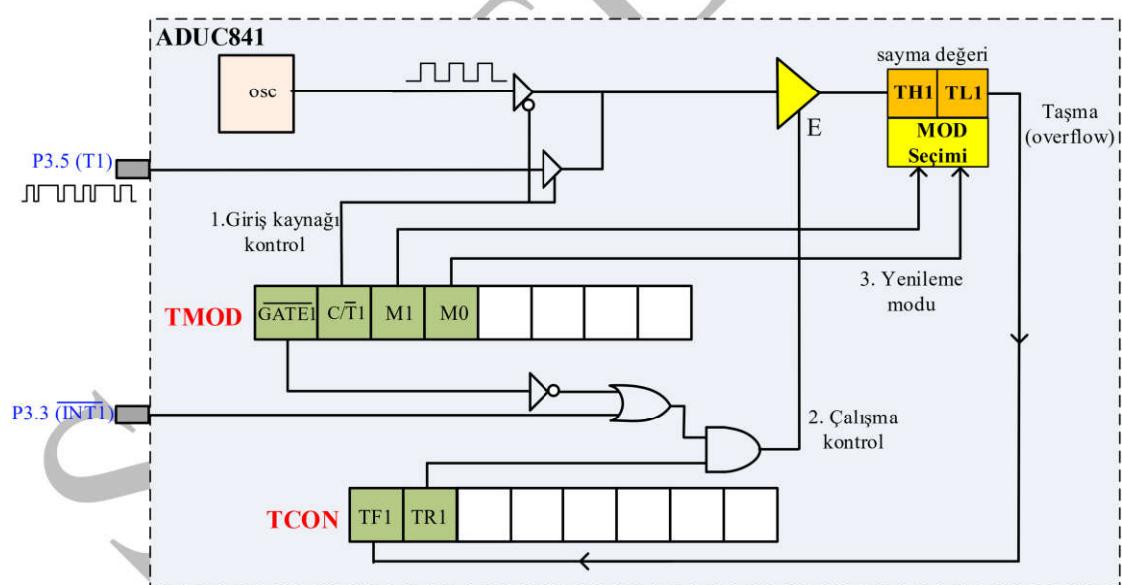
Aduc841 için bir komutun koşturma süresi,

$$T = \frac{Cycle}{Kristal Frekansi} \quad (sn)$$

### Zamanlayıcı/Sayıçısı



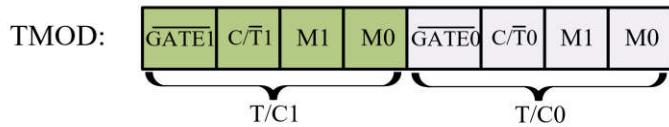
Şekil 26. Zamanlayıcı/Sayıçısı-0 detaylı blok diyagramı



Şekil 27. Zamanlayıcı/Sayıçısı-1 detaylı blok diyagramı

## TMOD Saklayıcısı

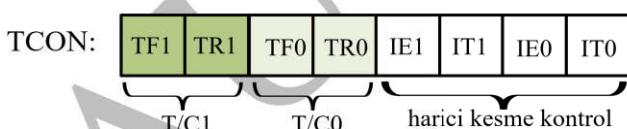
Zamanlayıcı/Sayıcılardan çalışma ayarlarının yapıldığı kontrol bitlerini içerir. Aşağıda gösterildiği gibi düşük 4-bit'i T/C-0 için yüksek 4-bit'i ise T/C-1 için kullanılan kontrol bitleridir. TMOD SFR'si **bit adreslenemez**.



Bit	İsim	Açıklama
7	$\overline{GATE1}$	T/C-1 için kapı kontrolü. $\overline{GATE1}=0$ iken, TR1 =1 yapılması ile T/C-1 aktif olur. $\overline{GATE1}=1$ yapılması durumunda, T/C-1'in aktif olabilmesi için TR1=1 yapılmalı ve P3.3(INT1) pinin lojik '1' seviyesinde olmalıdır.
6	$C/\bar{T}1$	T/C-1 için giriş kaynağını (zamanlayıcı/sayıçı ?) seçme biti. $C/\bar{T}1 = 0$ Zamanlayıcı, $C/\bar{T}1 = 1$ Sayıcı
5	M1	T/C-1 için üstte verilen tabloya uygun olarak çalışma modunu seçme bitleridir.
4	M0	
3	$\overline{GATE0}$	T/C-0 için kapı kontrolü. T/C-0 için $\overline{GATE1}$ ile aynı işlev sahiptir. T/C-0 için harici start/stop işaretini P3.2(INT0) pininden gelmektedir.
2	$C/\bar{T}0$	T/C-0 için giriş kaynağını (zamanlayıcı/sayıçı ?) seçme biti. $C/\bar{T}0 = 0$ Zamanlayıcı, $C/\bar{T}0 = 1$ Sayıcı
1	M1	T/C-0 için üstte verilen tabloya uygun olarak çalışma modunu seçme bitleridir.
0	M0	

## TCON Saklayıcısı

TCON SFR'sinin yüksek 4-bit'i zamanlayıcı/sayıcılara, düşük 4-bit'i ise harici kesme kaynakları ile ilgiliidir. TCON saklayıcısı **bit adreslenebilir**.



Bit	İsim	Açıklama
7	TF1	T/C-1 taşıma bayrağı. T/C-1 taşıması durumunda donanım tarafından otomatik olarak setlenir. Kesme yapısı kullanılması durumunda program ilgili kesme hizmet altprogramına (Interrupt Service Routine, ISR) dallandığında yine donanım tarafından temizlenir. Kesme yapısı kullanılmadığında ise taşıma sonrasında yazılımla temizlenmelidir.
6	TR1	T/C-1 çalışma biti. TR1 = 0 durumunda T/C-1 pasiftir. TR1 = 1 durumunda ise T/C-1'in aktif olması $\overline{GATE1}$ bitinin veya P3.3(INT1) pininin durumuna bağlıdır. Yukarıda verilen blok diyagramlarını ve açıklamaları inceleyiniz.
5	TF0	T/C-0 taşıma bayrağı. T/C-0 için TF1 ile aynı işlev sahiptir.
4	TR0	T/C-0 çalışma biti. T/C-0 için TR1 ile aynı işlev sahiptir.
3	IE1	Harici kesme1 oluştduğunda donanım tarafından setlenir. İlgili ISR'den dönüş komutu (RETI) koşturulduğunda donanım tarafından temizlenir.

2	IT1	Harici kesme1 (INT1) için kesme algılama kontrol bitidir. Harici kesme1 girişi P3.3 pinidir. IT1=1 yapıldığında P3.3 pininden gelen işaretin düşen kenarında (1-0 geçişinde) kesme oluşur. IT1=0 yapıldığında P3.3 pininden gelen işaretin Lojik 0 olması durumunda kesme üretilir. Bu durumda giriş işaretin Lojik 0 olduğu sürece sürekli kesme üretilir.
1	IE0	Harici kesme0 oluşturgunda donanım tarafından setlenir. ISR'den dönüş komutu (RETI) koşturulduğunda donanım tarafından temizlenir.
0	IT0	Harici kesme0 (INT0) için kesme algılama kontrol bitidir. İşlevi IT1 ile aynıdır. Harici kesme0 girişi P3.2 pinidir.

### Çalışma modunun belirlenmesi:

T/C-0 ve T/C-1 TMOD saklayıcısının M0 ve M1 bitleri ile belirlenen 4 farklı çalışma moduna sahiptir.

M1	M0	Mod	Açıklama
----	----	-----	----------

0 0 0 13-bit zamanlayıcı/sayıci modu.

0 1 1 16-bit zamanlayıcı/sayıci modu.

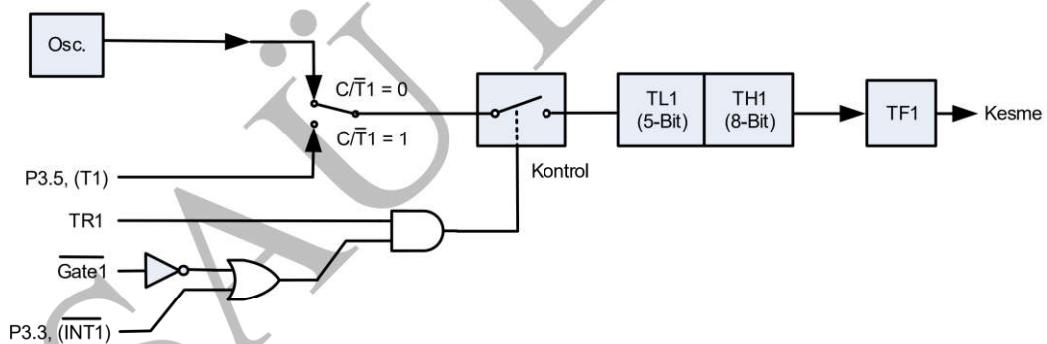
1 0 2 8-bit otomatik yüklemeli zamanlayıcı/sayıci modu.

1 1 3 Bağımsız çalışma modu.

T/C-1 bu çalışma modunda durdurulur, son sayma değeri TH1 ve TL1 saklayıcılarında tutulmaya devam eder.

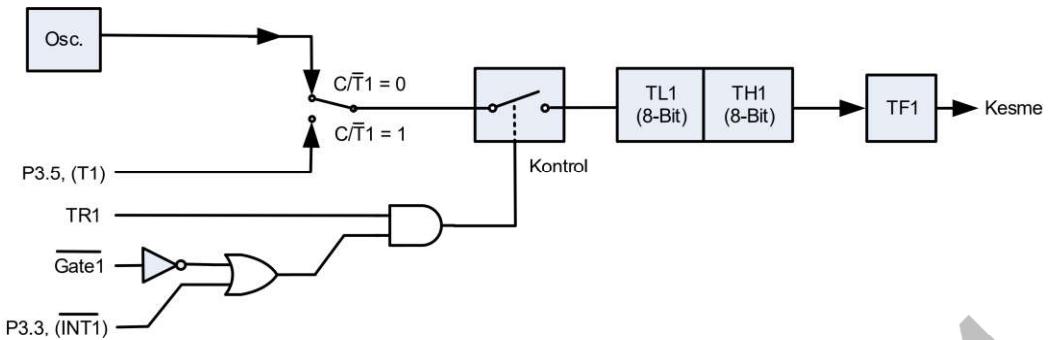
T/C-0 ise 2-adet bağımsız 8-bit'lik zamanlayıcı veya 1-adet 8-bit'lik zamanlayıcı ve 1-adet 8-bit'lik sayıci olarak çalışır. TL0, T/C-0 kontrol bitleri ile kontrol edilen ve taşıma durumunda TF0 bayrağını setleyen 8-bit'lik zamanlayıcı veya sayıci olarak kullanılabilir. TH0 ise T/C-1 kontrol bitleri ile kontrol edilen ve taşıma durumunda TF1 bayrağını setleyen 8-bit'lik zamanlayıcı olarak kullanılabilir.

### Mod-0: 13-bit zamanlayıcı/sayıci



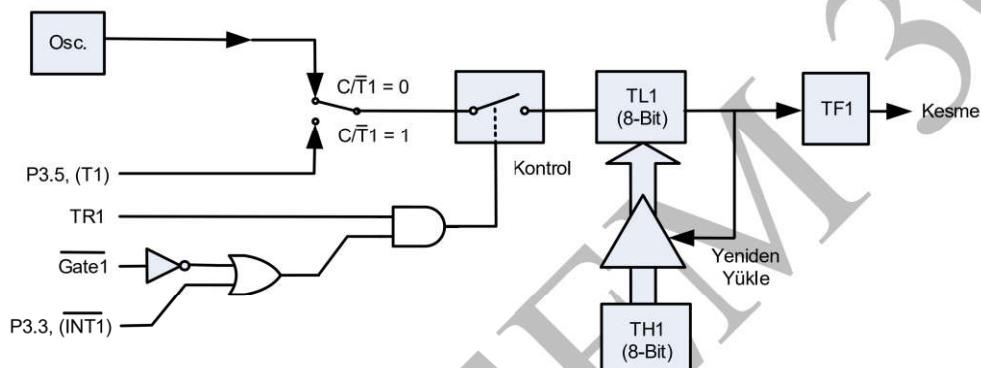
Şekil 28 T/C1 için Mod-0 blok diyagramı

### Mod-1: 16-bit zamanlayıcı/sayıci



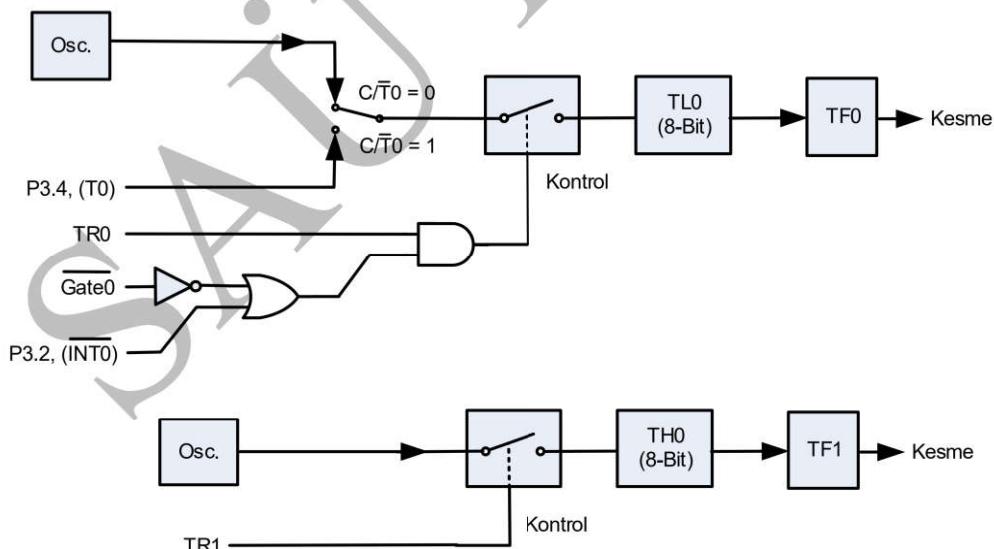
Şekil 29. T/C1 için Mod-1 blok diyagramı

### Mod-2: 8-bit otomatik yüklemeli zamanlayıcı/sayıci



Şekil 30. T/C1 için Mod-2 blok diyagramı

### Mod-3: Bağımsız çalışma modu



Şekil 31. T/C Mod-3 blok diyagramı

## Timer 2

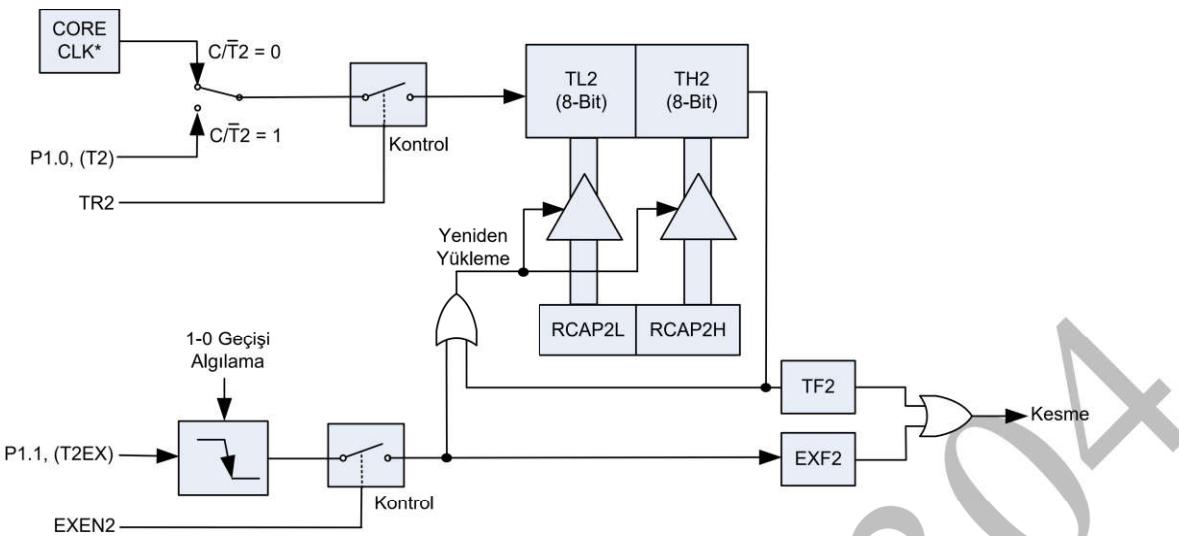
Zamanlayıcı/Sayıcısı-2'nin çalışma ayarlarının yapıldığı T2CON SFR'si **bit adreslenebilir**.

T2CON:	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	CNT2	CAP2
--------	-----	------	------	------	-------	-----	------	------

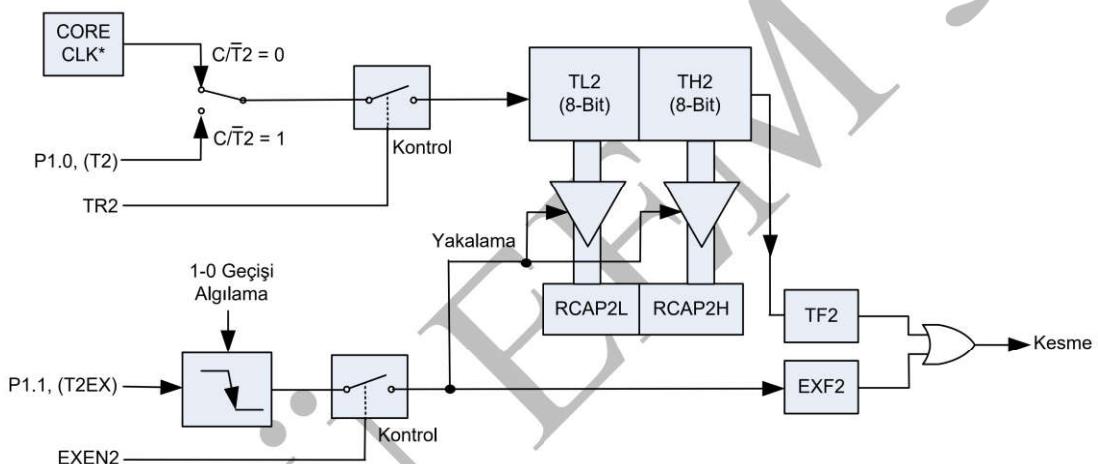
Bit	İsim	Açıklama
7	TF2	Timer 2 taşıma bayrağı; Timer2 taşılığında donanım tarafından setlenir. Yazılım tarafından temizlenir. RCLK=1 veya TCLK=1 olduğu durumlarda setlenmez.
6	EXF2	EXEN2 =1 iken yakalama (Capture) veya yeniden yükleme (Reload) olaylarından biri gerçekleştiğinde T2EX (P1.1)'den gelen sinyalin düşen kenarında (↓) donanım tarafından setlenir. Yazılımla temizlenir.
5	RCLK	RCLK (Receive Clock Enable Bit) Yazılım tarafından setlendiğinde seri portun Mode1 ve Mode3 çalışmalarında seri kanaldan veri almak için gerekli saat darbeleri Timer2 nin taşıma biti tarafından sağlanır. Temizlendiğinde bu işlem için Timer1 in taşıma biti kullanılır.
4	TCLK	TCLK (Transmit Clock Enable) Seri kanaldan veri gönderme için RCLK ile aynı şekilde kullanılır.
3	EXEN2	EXEN2 Timer2 seri kanal için saat üretici olarak kullanılmadığı durumlarda, yazılım tarafından EXEN=1 yapılarak T2EX (P1.1) pininden gelen sinyalin düşen kenarında (↓) yakalama veya yeniden yükleme olayının gerçekleşmesi sağlanır.
2	TR2	TR2 Setlendiğinde Timer2 çalışmaya başlar, temizlendiğinde Timer2 durur.
1	CNT2	CNT2 setlendiğinde T2 pininden gelen harici sinyalleri saymak için <b>Sayıcısı</b> olarak ayarlanır. Temizlendiğinde ise <b>Zamanlayıcı</b> olarak kullanılır.
0	CAP2	CAP2 Setlendiğinde (eğer aynı anda EXEN2=1 ise) T2EX (P1.1) 'den gelen sinyalin düşen kenarında (↓) yakalama işlemi olur.

Zamanlayıcı/Sayıcısı2'nin T2CON saklayıcısı tarafından belirlenen 3 çalışma modu aşağıda verilmiştir.

RCLK	(veya)	CAP2	TR2	Çalışma Modu
TCLK				
0		0	1	16-Bit yeniden yükleme
0		1	1	16-Bit yakalama
1		X	1	Seri haberleşme için Baud-Rate üreticisi
X		X	0	Timer 2 Çalışmaz

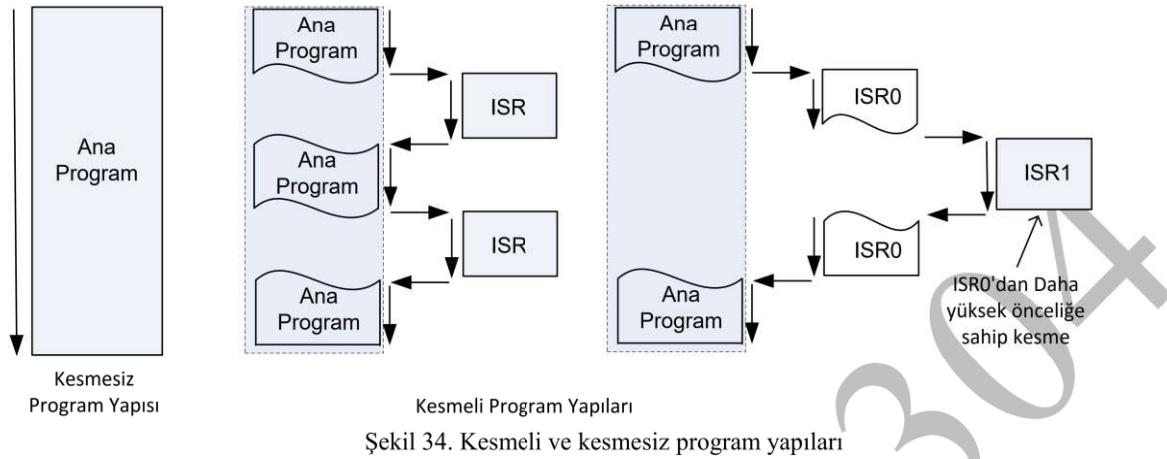


Şekil 32. Zamanlayıcı/Sayıci-2 16-Bit “yeniden yükleme modu” blok diyagramı



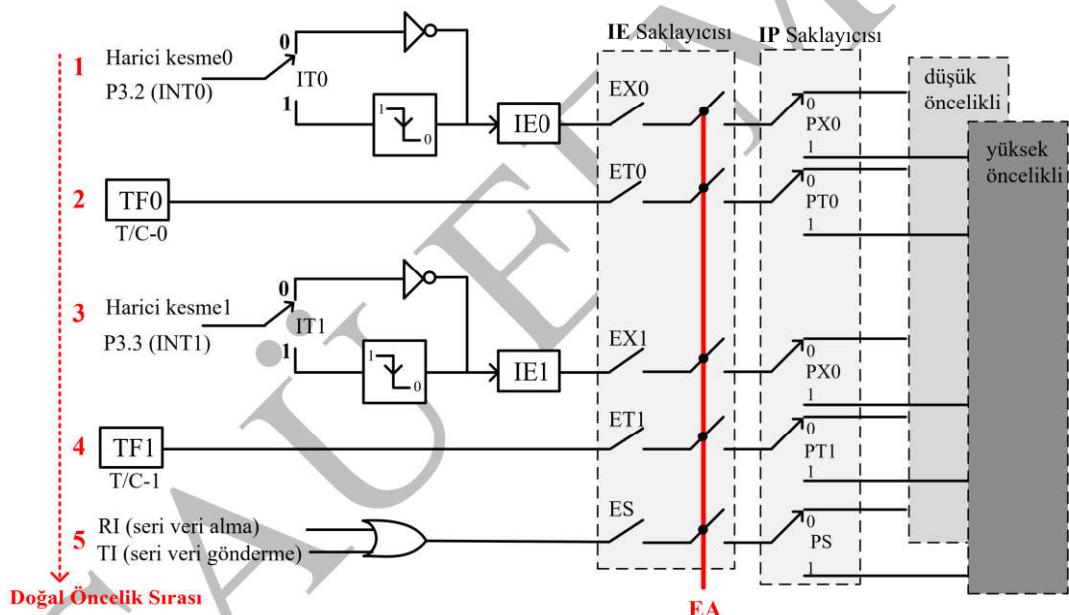
Şekil 33. Zamanlayıcı/Sayıci-2 16-Bit “yakalama modu” blok diyagramı

## 8 KESMELER (INTERRUPTS)



Şekil 34. Kesmeli ve kesmesiz program yapıları

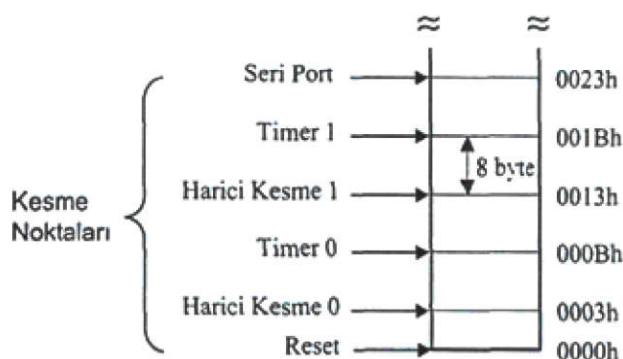
### Kesme Kaynakları ve Öncelik Seviyesi



Şekil 35. Kesme ayarları blok diyagramı

Tablo 6. Kesme vektör adresleri

Kesme Kaynağı	Vektör Adresi	Doğal Sırası	Öncelik
<b>RESET</b>	<b>0000h</b>		
IE0 (Harici kesme0, int0)	0003h	1 (En yüksek)	
TF0 (Zamanlayıcı/Sayıci-0)	000Bh	2	
IE1 (Harici kesme1, int1)	0013h	3	
TF1 (Zamanlayıcı/Sayıci-1)	001Bh	4	
RI-TI (Seri Haberleşme)	0023h	5 (En düşük)	



Şekil 36. MCS-51 Program Hafıza kesme başlangıç noktaları

### IE Saklayıcısı

Kesme kaynakları için yetkilendirme kontrolü bu SFR üzerinden belirlenir. Başlangıçta tüm kesmeler pasif durumdadır. İlgili kontrol biti setlenerek kullanılacak olan kesme kaynağı aktif hale getirilir. Ancak bu yeterli değildir. Herhangi bir kesmenin kullanılabilmesi için genel yetkilendirme (Enable All, EA) kontrol bitide setlenmelidir. Kesme kaynaklarını yetkilendirme bitlerini içeren IE SFR'si **bit adreslenebilir**.

IE:	EA	-	-	ES	ET1	EX1	ET0	EX0
-----	----	---	---	----	-----	-----	-----	-----

Bit	İsim	Açıklama
7	EA	EA=1 tüm kesmeler aktif, EA=0 ise tüm kesmeler pasif.
6	-	Rezerve
5	-	Rezerve
4	ES	ES = 1/0 seri veri alma/gönderme kesmesi aktif/pasif.
3	ET1	ET1 = 1/0 zamanlayıcı/sayıci-1 kesmesi aktif/pasif.
2	EX1	EX1 = 1/0 harici kesme1 aktif/pasif.
1	ET0	ET0 = 1/0 zamanlayıcı/sayıci-1 kesmesi aktif/pasif.
0	EX0	EX = 1/0 harici kesme 0 aktif/pasif.

## IP Saklayıcısı

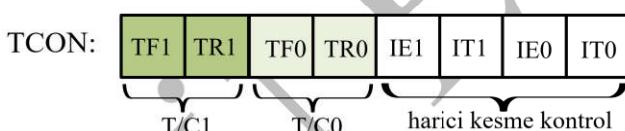
Kesme kaynakları doğal öncelik dışında yazılım ile ayarlanabilen, yüksek ve düşük öncelik olarak adlandırılan 2 öncelik seviyesine sahiptirler. Her bir kesme kaynağı için öncelik seviyesi IP saklayıcısı üzerinden belirlenir. Başlangıçta tüm kesmeler düşük öncelik seviyesindedir. İlgili kontrol bitinin setlenmesi ile istenen kesme kaynağına yüksek öncelik seviyesi kazandırılır. IP SFR'si **bit adreslenebilir**.

IP:	-	-	-	PS	PT1	PX1	PT0	PX0
-----	---	---	---	----	-----	-----	-----	-----

Bit	İsim	Açıklama
7	-	Rezerve
6	-	Rezerve
5	-	Rezerve
4	PS	PS = 1/0 seri veri alma/gönderme yüksek/düşük öncelik seviyeli.
3	PT1	PT1 = 1/0 zamanlayıcı/sayıçıcı-1 yüksek/düşük öncelik seviyeli.
2	PX1	PX1 = 1/0 harici kesme1 yüksek/düşük öncelik seviyeli.
1	PT0	PT0 = 1/0 zamanlayıcı/sayıçıcı-1 kesmesi yüksek/düşük öncelik seviyeli.
0	PX0	PX0 = 1/0 harici kesme 0 yüksek/düşük öncelik seviyeli.

## TCON Saklayıcısı

TCON saklayıcısının yüksek 4-bit'i zamanlayıcı/sayıçıcılarla, düşük 4-bit'i ise harici kesme kaynakları ile ilgilidir. TCON SFR'si **bit adreslenebilir**.



Bit	İsim	Açıklama
7	TF1	
6	TR1	Açıklamalar için Syf. 112'ye bakınız.
5	TF0	
4	TR0	
3	IE1	Harici kesme1 oluştduğunda donanım tarafından setlenir. İlgili ISR'den dönüş komutu (RETI) koşturulduğunda donanım tarafından temizlenir.
2	IT1	Harici kesme1 (INT1) için kesme algılama kontrol bitidir. IT1=1 yapıldığında P3.3 pininden gelen işaretin düşen kenarında (1-0 geçişinde) kesme oluşur. IT1=0 yapıldığında P3.3 pininden gelen işaretin Lojik 0 olması durumunda kesme üretilir. Bu durumda giriş işaretin Lojik 0 olduğu sürece sürekli kesme üretilir.
1	IE0	Harici kesme0 oluştduğunda donanım tarafından setlenir. ISR'den dönüş komutu (RETI) koşturulduğunda donanım tarafından temizlenir.
0	IT0	Harici kesme0 (INT0) için kesme algılama kontrol bitidir. İşlevi IT1 ile aynıdır.

## ADUC841 Kesme Yapısı

Standart 8051 kesme yapısına ilave olarak 6 adet kesme kaynağına sahiptir. Aduc841 için kesme vektör adresleri ve doğal öncelik sırası aşağıda verilmiştir.

Tablo 7. Aduc841 mikrodenetleyicisi için kesme kaynakları ve öncelik sırası

Kesme Kaynağı	Doğal Öncelik	Açıklama
PSMI	1 (En yüksek)	Besleme kaynağı izleme kesmesi
WDS	2	Watchdog Zamanlayıcı kesmesi
IE0	3	Harici kesme 0
ADCI	4	ADC kesmesi
TF0	5	T/C 0 kesmesi
IE1	6	Harici kesme 1
TF1	7	T/C 1 kesmesi
ISPI/I2CI	8	SPI/I2C kesmesi
RI + TI	9	Seri haberleşme kesmesi
TF2 + EXF2	10	T/C 2 kesmesi
TII	11 (En düşük)	TIC Sayıcı kesmesi

Tablo  
için

3. Aduc841 mikrodenetleyicisi  
kesme vektör adresleri

Kesme Kaynağı	Vektör Adresi
IE0	0003H
TF0	000BH
IE1	0013H
TF1	001BH
RI + TI	0023H
TF2 + EXF2	002BH
ADCI	0033H
ISPI/I2CI	003BH
PSMI	0043H
TII	0053H
WDS	005BH

IE ve IP  
IE ve IP  
bitleri  
aşağıdaki gibi

### Saklayıcıları

saklayıcılarının standart 8051'de boş bırakılan Aduc841'in ilave kesme kaynakları için kullanılmıştır.

IE: 

EA	EADC	ET2	ES	ET1	EX1	ET0	EX0
----	------	-----	----	-----	-----	-----	-----

Bit	İsim	Açıklama
7	EA	EA=1 tüm kesmeler aktif, EA=0 ise tüm kesmeler pasif.
6	EADC	EADC = 1/0 ADC kesmesi aktif/pasif.
5	ET2	ET2 = 1/0 zamanlayıcı/sayıci-1 kesmesi aktif/pasif.
4	ES	ES = 1/0 seri veri alma/gönderme kesmesi aktif/pasif.
3	ET1	ET1 = 1/0 zamanlayıcı/sayıci-1 kesmesi aktif/pasif.
2	EX1	EX1 = 1/0 harici kesme1 aktif/pasif.
1	ET0	ET0 = 1/0 zamanlayıcı/sayıci-1 kesmesi aktif/pasif.
0	EX0	EX = 1/0 harici kesme 0 aktif/pasif.

IP: 

-	PADC	PT2	PS	PT1	PX1	PT0	PX0
---	------	-----	----	-----	-----	-----	-----

Bit	İsim	Açıklama
7	-	Rezerve
6	PADC	PADC = 1/0 ADC kesmesi yüksek/düşük öncelik seviyeli.
5	PT2	PT2 = 1/0 zamanlayıcı/sayıci-2 yüksek/düşük öncelik seviyeli.
4	PS	PS = 1/0 seri veri alma/gönderme yüksek/düşük öncelik seviyeli.
3	PT1	PT1 = 1/0 zamanlayıcı/sayıci-1 yüksek/düşük öncelik seviyeli.
2	PX1	PX1 = 1/0 harici kesme1 yüksek/düşük öncelik seviyeli.
1	PT0	PT0 = 1/0 zamanlayıcı/sayıci-1 kesmesi yüksek/düşük öncelik seviyeli.
0	PX0	PX = 1/0 harici kesme 0 yüksek/düşük öncelik seviyeli.

### IEIP2 Saklayıcısı

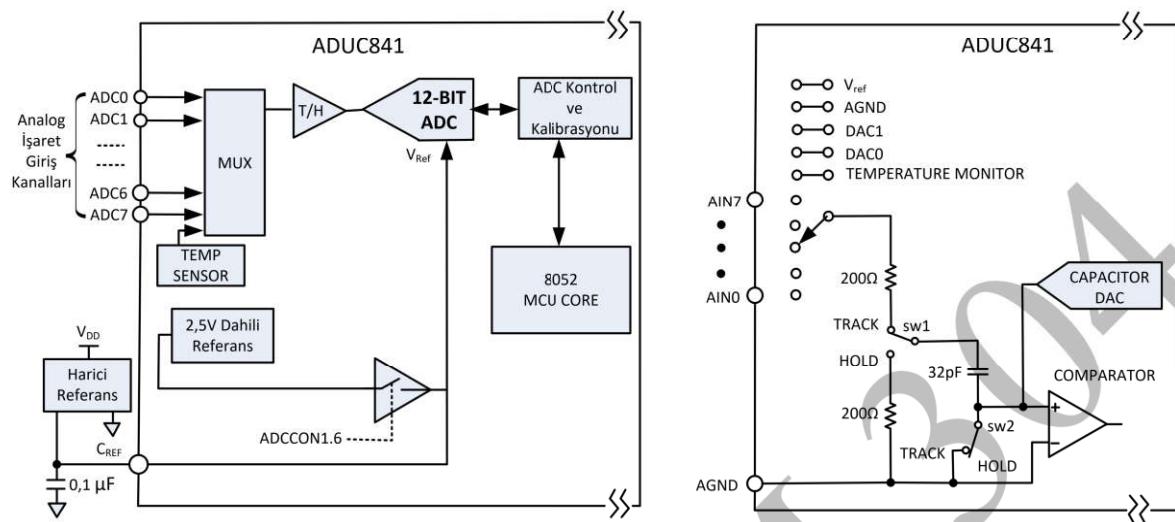
Aduc841'in ilave kesme kaynaklarının yetkilendirme ve öncelik ayarlarının yapıldığı IEIP2 SFR'si **bit adreslenemez**.

IEIP2: 

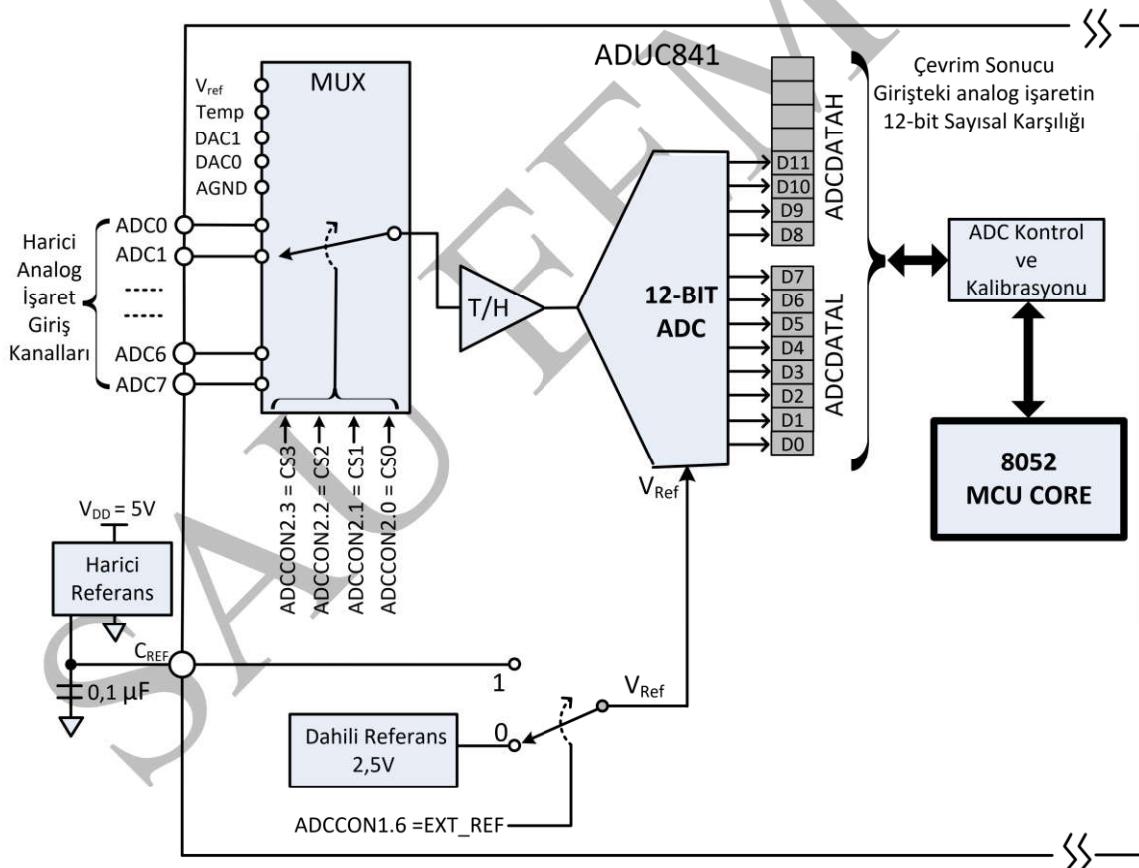
-	PTI	PPSM	PSI	-	ETI	EPSMI	ESI
---	-----	------	-----	---	-----	-------	-----

Bit	İsim	Açıklama
7	-	Rezerve
6	PTI	PTI = 1/0 zaman aralığı kesmesi yüksek/düşük öncelik seviyeli.
5	PPSM	PPSM = 1/0 Besleme kaynağı izleme kesmesi yüksek/düşük öncelik seviyeli.
4	PSI	PSI = 1/0 SPI/I2C kesmesi yüksek/düşük öncelik seviyeli.
3	-	Bu bit daima sıfır olarak bırakılmalıdır.
2	ETI	ETI = 1/0 zaman aralığı kesmesi aktif/pasif.
1	EPSMI	EPSMI = 1/0 Besleme kaynağı izleme kesmesi aktif/pasif.
0	ESI	ESI = 1/0 SPI/I2C kesmesi 0 aktif/pasif.

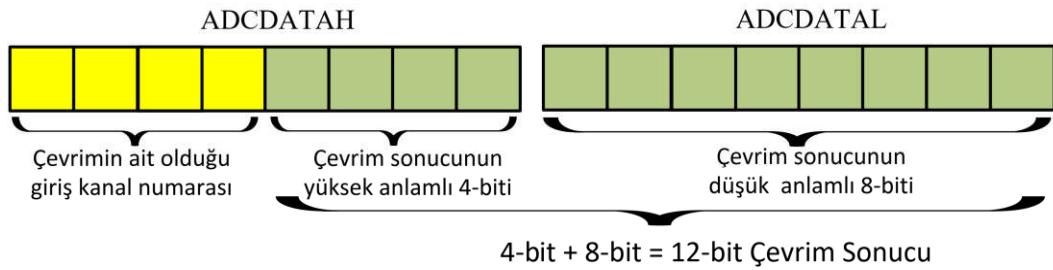
## 9 ANALOG – SAYISAL DÖNÜŞTÜRÜ (ADC) BİRİMİ



Şekil 37. Aduc841 mimarisinde yer alan ADC blok diyagramı



Şekil 38. Aduc841 mimarisinde yer alan ADC ayrıntılı blok diyagramı



Şekil 54. ADC çevrim sonucunun ADCDATAH/L SFR'lerinde saklanması

### ADCCON1 Saklayıcısı

Çevrim ve data yakalama sürelerinin ayarlandığı, çevrime başlama modunun seçildiği ve ADC'nin on/off yapıldığı kontrol SFR'sidir. ADCCON1 SFR'si **bit adreslenemez**.

ADCCON1: 

MD1	EXT_REF	CK1	CK0	AQ1	AQ0	T2C	EXC
-----	---------	-----	-----	-----	-----	-----	-----

Bit	İsim	Açıklama																				
7	MD1	Setlendiğinde ADC enerjilendirilir, kullanıma hazır hale gelir (Power On). Temizlendiğinde ise ADC beslemesi kapatılır (Power Off).																				
6	EXT_R EF	Setlendiğinde ADC için <b>harici referans</b> kaynağı seçilir. Bu durumda işlemcinin ilgili pinine (Cref) harici bir referans kaynağı bağlanmalıdır. Temizlendiğinde <b>dahili referans</b> kaynağı seçilir																				
5	CK1	ADC'nin çalışma frekansı, $f_{ADC}$ , mikrokontrolöre bağlı olan harici kristal frekansının ( $fosc$ ) CK0 ve CK1 bitleri ile belirlenen katsayıya (MCLK) bölünmesi ile ( $f_{ADC} = fosc / MCLK$ ) elde edilir. Bölme katsayısı $400\text{kHz} < f_{ADC} < 8.38 \text{ MHz}$ şartı sağlanacak şekilde aşağıdaki tabloya göre belirlenir.																				
4	CK0	<table border="1"> <tr> <th></th> <th>CK1</th> <th>CK0</th> <th>MCLK</th> </tr> <tr> <td>0</td> <td>0</td> <td>32</td> <td></td> </tr> <tr> <td>0</td> <td>1</td> <td>4</td> <td></td> </tr> <tr> <td>1</td> <td>0</td> <td>8</td> <td></td> </tr> <tr> <td>1</td> <td>1</td> <td>2</td> <td></td> </tr> </table>		CK1	CK0	MCLK	0	0	32		0	1	4		1	0	8		1	1	2	
	CK1	CK0	MCLK																			
0	0	32																				
0	1	4																				
1	0	8																				
1	1	2																				
3	AQ1	AQ1 ve AQ0 bitleri kullanılarak izleyici ve tutucunun (T/H) giriş işaretini yakalaması için kaç adet ADC saat darbesi kullanılacağı aşağıdaki tabloya göre belirlenir. Üretici firma 3 veya 4 saat darbesinin kullanılmasını önermektedir.																				
2	AQ0	<table border="1"> <tr> <th>AQ1</th> <th>AQ0</th> <th>ADC Clk Sayısı</th> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>2</td> </tr> <tr> <td>1</td> <td>0</td> <td>3</td> </tr> <tr> <td>1</td> <td>1</td> <td>4</td> </tr> </table>	AQ1	AQ0	ADC Clk Sayısı	0	0	1	0	1	2	1	0	3	1	1	4					
AQ1	AQ0	ADC Clk Sayısı																				
0	0	1																				
0	1	2																				
1	0	3																				
1	1	4																				
1	T2C	Setlendiğinde ADC'nin çevrime başlaması Zamanlayıcı/Sayıçı-2'nin taşıma biti (TF2) ile kontrol edilir. Zamanlayıcı/Sayıçı-2 taşılığında TF2 donanım tarafından otomatik olarak setlenir ve ADC çevrime başlar. Çevrim bittiğinde TF2 yazılımla temizlenmelidir. Daha detaylı bilgi için T2CON saklayıcısını inceleyiniz.																				
0	EXC	Setlendiğinde ADC'nin çevrime başlaması P3.5 (CONVST) pininden gelen sinyal ile kontrol edilir. P3.5 pininden gelen sinyalin ADC çevrimini başlatabilmesi için minimum 100ns Lojik 0 mertebesinde kalmalıdır.																				

## ADCCON2 Saklayıcısı

Analog giriş kanalının ve çevrim modunun seçildiği ADCCON2 SFR'si bit adreslenebilir.

ADCCON2:	ADCI	DMA	CCONV	SCONV	CS3	CS2	CS1	CS0
----------	------	-----	-------	-------	-----	-----	-----	-----

Bit	İsim	Açıklama
7	ADCI	ADC kesme bayrağıdır. Çevrim tamamlandığında donanım tarafından otomatik olarak setlenir. Program ADC kesme vektörüne (ORG 0033H) dallandığında yine donanım tarafından temizlenir. Kesme alt programı kullanılmadığı durumlarda ise yazılım tarafından temizlenmelidir.
6	DMA	DMA (Direct Memory Access = Doğrudan Hafızaya Erişim) ADC'nin bu özelliği deneylerde kullanılmayacağından DMA = 0 yapılacaktır.
5	CCON V	CCONV = 1 <u>yapıldığı anda</u> ADC sürekli çevrim modunda çalışmaya başlar. Bir çevrim tamamlandığında otomatik olarak yeni bir çevrim başlar.
4	SCO NV	SCONV = 1 <u>yapıldığı anda</u> ADC tek bir çevrim yapar ve durur. Çevrim tamamlandığında donanım tarafından SCONV=0'a çekilir. <u>Yeni bir çevrim için tekrar SCONV = 1 yapılmalıdır</u> .
3	CS3	CS0,CS1,CS2,CS3 bitleri ile analog giriş kanalı aşağıdaki tabloya göre belirlenir.
2	CS2	CS 3   CS 2   CS 1   CS 0   Analog Giriş Kanalı 0   0   0   0   <b>Adc0</b> 0   0   0   1   <b>Adc1</b> 0   0   1   0   <b>Adc2</b> 0   0   1   1   <b>Adc3</b> 0   1   0   0   <b>Adc4</b> 0   1   0   1   <b>Adc5</b> 0   1   1   0   <b>Adc6</b> 0   1   1   1   <b>Adc7</b> 1   0   0   0   <b>Sıcaklık İzleyicisi</b> 1   0   0   1   <b>DAC0</b> 1   0   1   0   <b>DAC1</b> 1   0   1   1   <b>AGND</b> 1   1   0   0   <b>Vref</b> 1   1   1   1   <b>DMA STOP</b>
1	CS1	
0	CS0	

## ADCCON3 Saklayıcısı

ADC'nin kalibrasyon ayarlarının yapıldığı ADCCON3 SFR'si bit adreslenemez.

ADCCON3:	BUSY	RSVD	AVGS1	AVGS0	RSVD	RSVD	TYPICAL	SCAL
----------	------	------	-------	-------	------	------	---------	------

Bit	İsim	Açıklama
7	BUSY	BUSY bitinin içeriği okunabilir fakat yazılımla değiştirilemez (Read Only). BUSY biti ADC çevrimi devam ederken veya ADC'nin kalibrasyonu yapılrken donanım tarafından setlenir. Çevrim veya kalibrasyon bittiğinde yine donanım tarafından temizlenir.

6	RSVD	Bu bit donanım gereği daima 0 olmalıdır
5	AVGS1	ADC'nin kalibrasyonu ile ilgilidir. Deneylerde kullanılmayacağı için burada açıklanmamıştır
4	AVGS0	ADC'nin kalibrasyonu ile ilgilidir. Deneylerde kullanılmayacağı için burada açıklanmamıştır
3	RSVD	Bu bit donanım gereği daima 0 olmalıdır
2	RSVD	Bu bit kalibrasyon süresince daima 1 olmalıdır
1	TYPICAL	ADC'nin kalibrasyonu ile ilgilidir. Deneylerde kullanılmayacağı için burada açıklanmamıştır
0	SCAL	ADC'nin kalibrasyonu ile ilgilidir. Deneylerde kullanılmayacağı için burada açıklanmamıştır

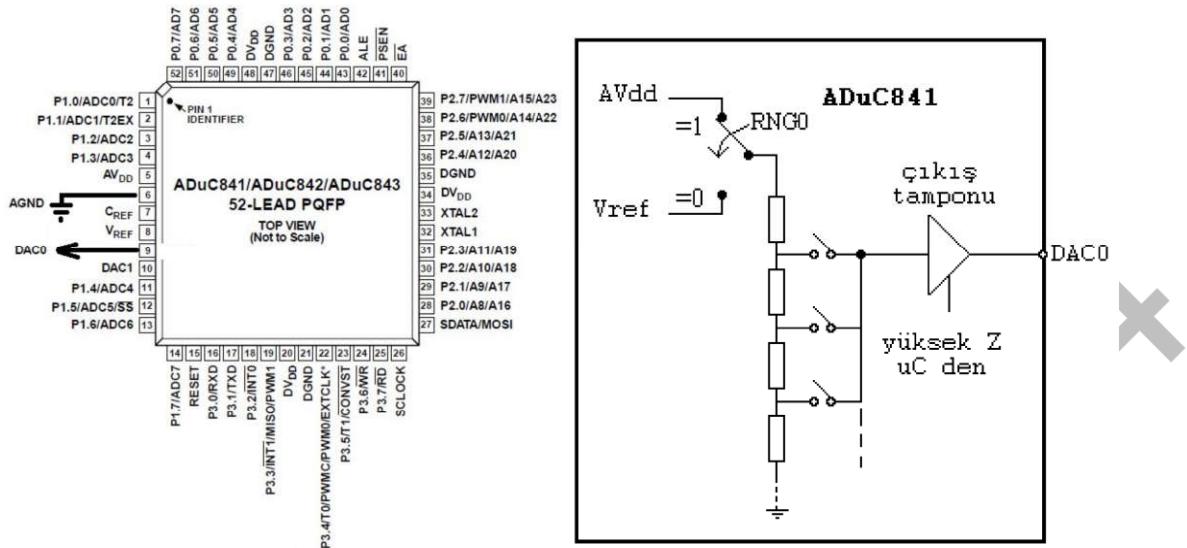
### ADC'nin Çevriminin Başlatılması:

**ADCCON1** ve **ADCCON2** SFR'leri için yukarıda verilen açıklamalar incelediğinde ADUC841 mimarisinde bulunan ADC'nin çevrime başlatılması için 4 farklı yöntemin bulunduğu görülür. Bunlar;

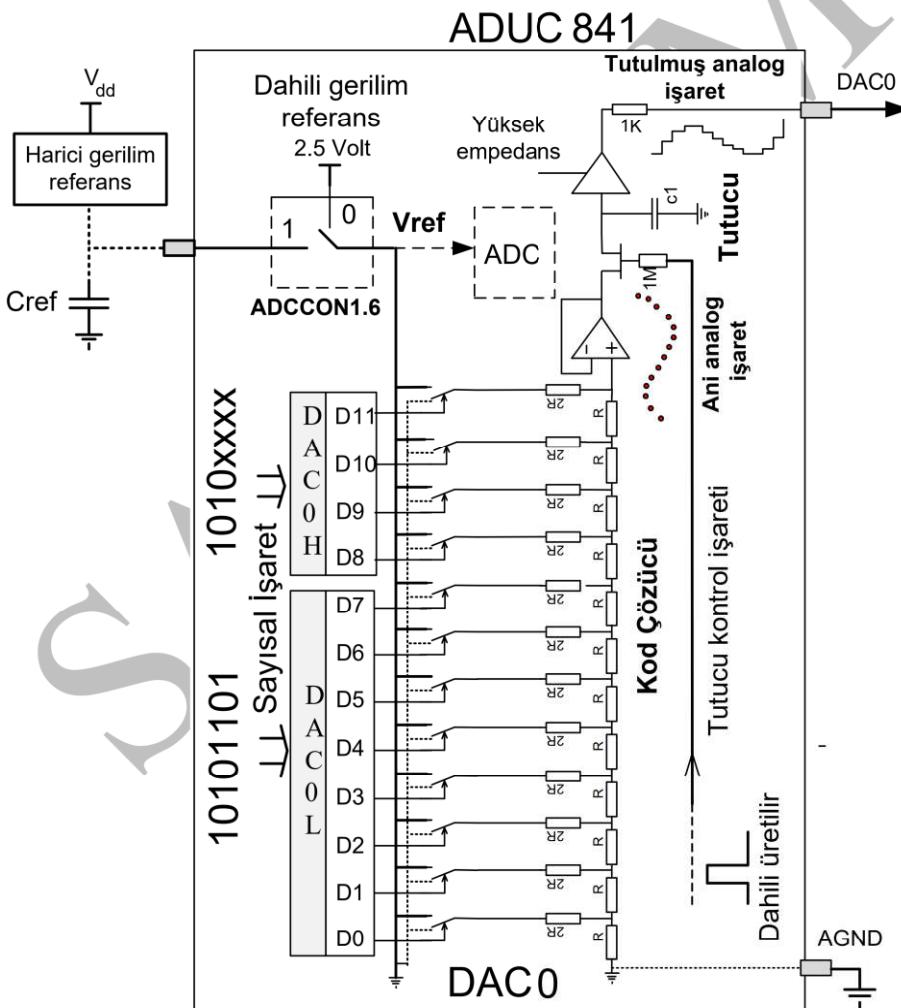
- i) Harici işaret ile çevrim başlatma: ADCCON1.0 = EXC biti setlendiği durumda ADC P3.5 (CONVST) pini aracılığı ile çevrime başlatılabilir.
- ii) Zaman tabanlı çevrim başlatma: ADCCON1.1 = T2C biti setlendiği durumda ADC Zamanlayıcı/Sayıçı 2'nin taşıma bayrağı TF2 aracılığı ile çevrime başlatılabilir.
- iii) Tek çevrim modu: ADCCON2.4 = SCONV setlendiği anda ADC tek bir çevrim yapar ve durur.
- iv) Sürekli çevrim modu: ADCCON2.5 = CCONV setlendiği anda ADC sürekli çevrim modunda çalışmaya başlar.

**Çevrim Süresi:** ADC'nin analog giriş kanalındaki işaretin örneklenip sayısal çıkışlarında hazır hale gelmesi için harcanan zaman ADC'nin çevrim süresini verir. Çevrim süresi ADC'lerin seçiminde dikkat edilmesi gereken önemli kriterlerden biridir. ADUC841 mikrokontrolöründe bulunan 12-bitlik ADC'nin çevrim süresi, 16 ADC saat darbesi + veri yakalama için seçilen ADC saat darbesi (1...4) olarak hesaplanır. (**1 ADC saat darbesi = 1/ f<sub>ADC</sub> dir.**) ADC'nin çalışma frekansı (f<sub>ADC</sub>) ADDCON1 deki CK0-CK1 bitleri ile ayarlanır. Dolayısıyla ADUC841 mimarisinde bulunan ADC'nin çevrim süresi ADC için seçilen çalışma frekansına ve T/H için ayarlanan saat darbesi sayısına bağlı olarak değişir. Yukarıda belirtildiği gibi maksimum çevrim hızı 420.000 çevrim/saniyedir.

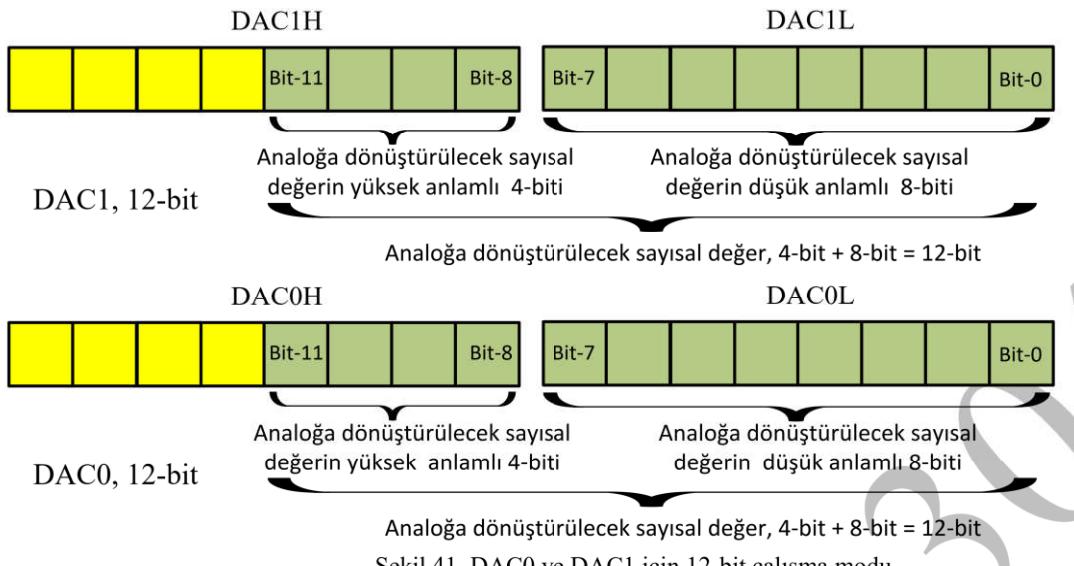
## 10 SAYISAL - ANALOG DÖNÜŞTÜRÜCÜ (DAC) BİRİMİ



Şekil 39. ADuC841 mikrokontrolörü pin diyagramı ve mimarisinde bulunan DAC modülünün basitleştirilmiş yapısı.

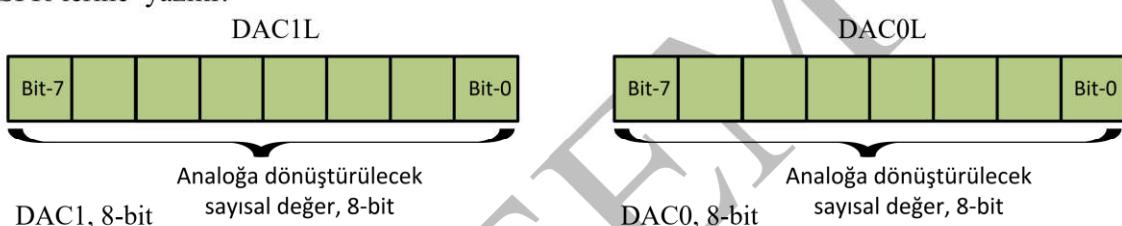


Şekil 40. DAC0 basitleştirilmiş blok şeması



Şekil 41. DAC0 ve DAC1 için 12-bit çalışma modu

8-Bit çalışma modunda analoga dönüştürülecek sayısal veriler DAC1 için DAC1L ve DAC0 için DAC0L SFR'lerine yazılır.



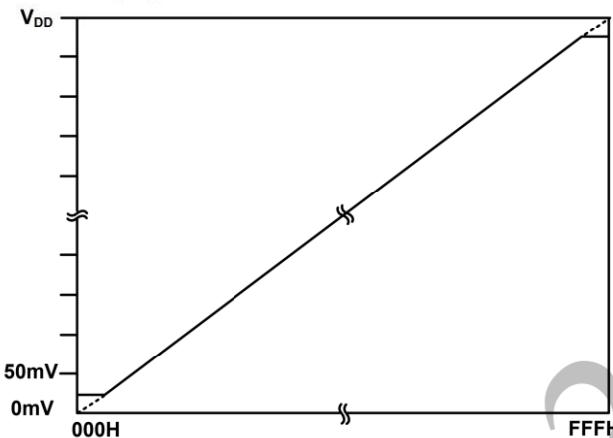
### DACCON Saklayıcısı

DACCON SFR'si **bit adreslenemez**.



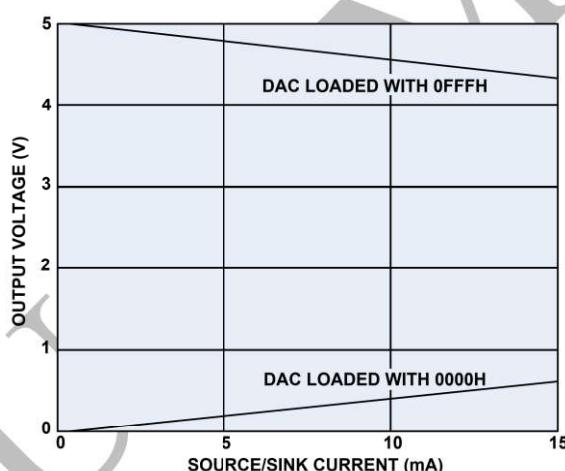
Bit	İsim	Açıklama
7	MODE	Setlendiğinde her iki DAC 8-bit modda, temizlendiğinde ise her iki DAC 12-bit modda çalışır
6	RNG1	Setlendiğinde DAC1 için çıkış gerilim aralığı 0 V – AVDD, temizlendiğinde ise 0V- Vref (2.5V ) olarak seçilir. <b>RNG=0 durumunda DAC'ın doğru çalışabilmesi için donanım gereği ADC de aktif yapılmalıdır, (Power-On).</b>
5	RNG0	DAC0 için çıkış gerilim aralığı seçme bitidir. Çalışması RNG1 ile aynıdır.
4	CLR1	Setlendiğinde DAC1 çıkışı DAC1H/L tutulan sayısal veriye karşılık gelen analog değere sahip olur. Temizlendiğinde ise DAC1 çıkışı 0V'a çekilir.
3	CLR0	DAC0 çıkış silme bitidir. Çalışması CLR1 ile aynıdır.
2	SYNC	DAC0 ve DAC1 senkron-assenkron çalışma modu seçme biti. Setlendiğinde, DACiL (i=0,1) kaydedicisine veri yazıldığı anda DACi çıkışı güncellenir. Temizlendiğinde ise, her iki DAC senkron çalışma moduna girer. Bu modda, öncelikle DACiL/H kaydedicilerine veri aktarılır; daha sonra da SYNC biti lojik '1' yapılarak her iki DAC çıkışı aynı anda güncellenmiş olur.
1	PD1	Setlendiğinde DAC1 aktif olur (Power-On). Temizlendiğinde DAC1 pasif duruma geçer.
0	PD0	DAC0 için aktif/pasif seçme bitidir. Çalışması PD1 ile aynıdır.

DAC çıkış işaretleri Şekil 55'de gösterildiği gibi Aduc841 mimarisinde bulunan dahili çıkış tamponları üzerinden dış dünyaya verilir. Şekil 59'daki grafikten, çıkış tamponunun maksimum ve minimuma yakın değerleri için doğrusallığın bozulduğu görülmektedir.



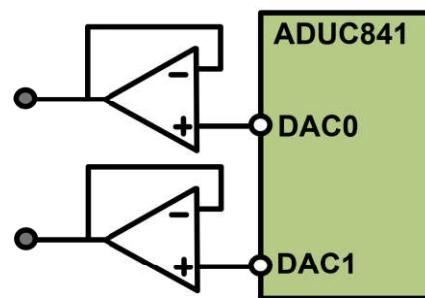
Şekil 42. DAC çıkışının sayısal değere göre değişimi

Üç noktalardaki doğrusal olmama problemi DAC çıkışları yüklenikçe Şekil 43 ile gösterildiği gibi daha da artacaktır.



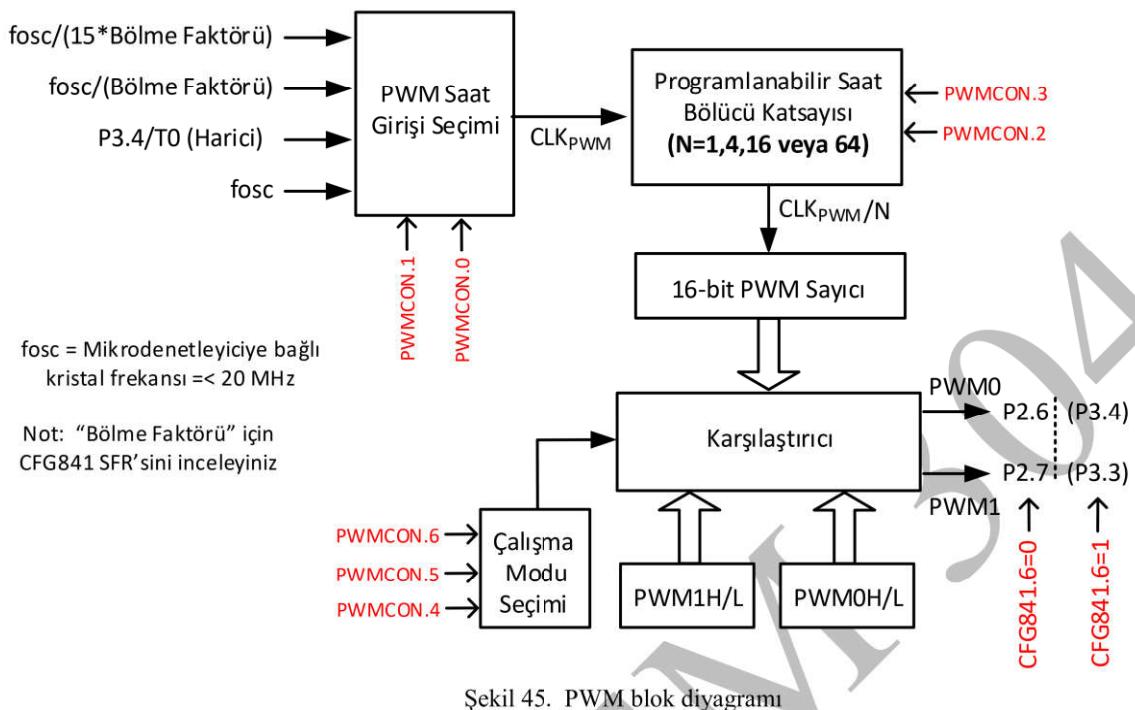
Şekil 43. DAC çıkışının sayısal değere göre değişimi

Bu nedenle hassas tasarımlarda, CFG841 kaydedicisinde bulunan DBUF biti setlenerek dahili tamponlar devre dışı bırakılabilir. Bu durumda DAC çıkışlarına Şekil 44 ile gösterildiği gibi harici tamponlar bağlanmalıdır.



Şekil 44. DAC çıkışının sayısal değere göre değişimi

## 11 DARBE-GENLİK MODÜLASYONU (PWM)



### CFG841 Saklayıcısı

ADUC841 mimarisinde yer alan çeşitli çevre birimlerinin ayarının yapıldığı CFG841 SFR'si **bit adreslenemez**. Reset sonrası başlangıç değeri 10h'dır.

CFG841:	EXSP	PWPO	DBUF	EPM2	EPM1	EPM0	MSPI	XRAMEN
---------	------	------	------	------	------	------	------	--------

Bit	İsim	Açıklama																												
7	EXSP	Setlendiğinde genişletilmiş SP yapısı (11-bit) aktif olur. Temizlendiğinde ise standart SP yapısı (8-bit) seçilmiş olur.																												
6	PWPO	Setlendiğinde P3.4 ve P3.3 pinleri PWM çıkışı olarak atanır. Temizlendiğinde ise P2.6 ve P2.7 PWM çıkışları olarak atanır.																												
5	DBUF	Setlendiğinde dahili DAC çıkış tamponları by-pass edilir. Temizlendiğinde ise DAC çıkış tamponları aktif duruma geçer.																												
4	EPM2	EPM2, EPM1 ve EPM0 bitleri aşağıdaki tabloya göre PWM saat frekansı için bölüm faktörünü belirler.																												
3	EPM1																													
2	EPM0	<table border="1"> <tr> <td>EPM2</td> <td>EPM1</td> <td>EPM0</td> <td>Bölme Faktörü</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td><b>32</b></td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td><b>64</b></td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td><b>128</b></td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td><b>256</b></td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td><b>512</b></td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td><b>1024</b></td> </tr> </table>	EPM2	EPM1	EPM0	Bölme Faktörü	0	0	0	<b>32</b>	0	0	1	<b>64</b>	0	1	0	<b>128</b>	0	1	1	<b>256</b>	1	0	0	<b>512</b>	1	0	1	<b>1024</b>
EPM2	EPM1	EPM0	Bölme Faktörü																											
0	0	0	<b>32</b>																											
0	0	1	<b>64</b>																											
0	1	0	<b>128</b>																											
0	1	1	<b>256</b>																											
1	0	0	<b>512</b>																											
1	0	1	<b>1024</b>																											

1	MSPI	Setlendiğinde SPI haberleşme biriminin MISO, MOSI ve SCLOCK fonksiyonlarını sırasıyla P3.3, P3.4 ve P3.5 pinlerine atanır.
0	XRAMEN	Setlendiğinde dahili XRAM kullanıma açılır ve harici veri hafıza adres alanının alt 2-kByte 'lik kısmına yerleştirilir. Temizlendiğinde ise dahili XRAM kullanıma kapalıdır.

### PWMCON Saklayıcısı

PWM biriminin çalışma ayarlarının yapıldığı PWMCON SFR'si **bit adreslenemez**.

PWMCON: 

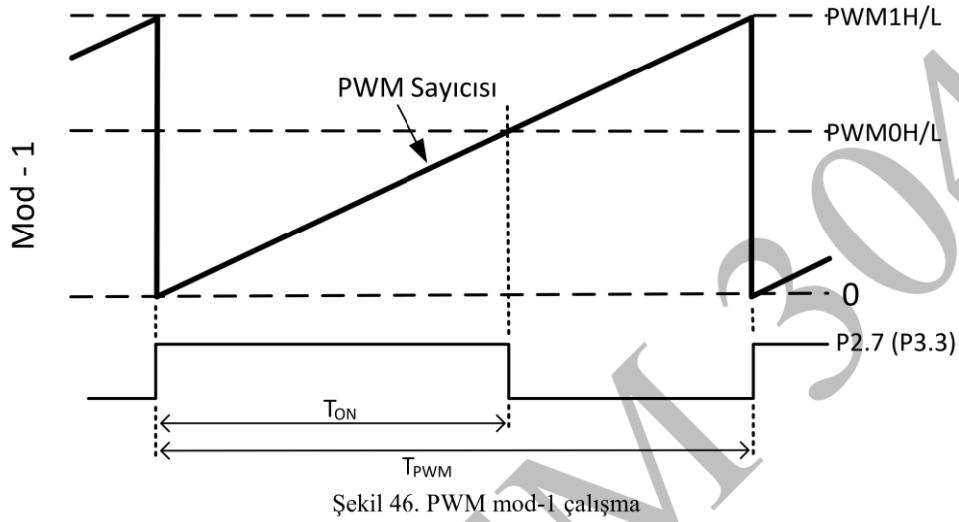
SNGL	MD2	MD1	MD0	CDIV1	CDIV0	CSEL1	CSEL0
------	-----	-----	-----	-------	-------	-------	-------

Bit	İsim	Açıklama																																
7	SNGL	Setlendiğinde tek çıkışlı PWM işaretü üretilir. P2.6 (veya P3.4) genel amaçlı kullanıma bırakılır. Çift çıkışlı çalışma modları için SNGL = 0 yapılmalıdır.																																
6	MD2	MD 0, MD 1 ve MD 2 bitleri aşağıdaki tabloya göre PWM çalışma modunu belirler.																																
5	MD1	MD 2   MD1   MD 0   Çalışma Modu																																
4	MD0	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td>0</td><td>0</td><td>0</td><td><b>Mod 0 :PWM Kapalı</b></td></tr> <tr> <td>0</td><td>0</td><td>1</td><td><b>Mod 1: P2.7 (veya P3.3) pininden tek çıkış PWM</b></td></tr> <tr> <td>0</td><td>1</td><td>0</td><td><b>Mod 2: Çift çıkışlı (twin) 8-bit PWM</b></td></tr> <tr> <td>0</td><td>1</td><td>1</td><td><b>Mod 3: Çift çıkışlı (twin) 16-bit PWM</b></td></tr> <tr> <td>1</td><td>0</td><td>0</td><td><b>Mod 4: Çift NRZ 16-bit <math>\Sigma/\Delta</math> DAC</b></td></tr> <tr> <td>1</td><td>0</td><td>1</td><td><b>Mod 5: Çift çıkışlı (dual) 8-bit PWM</b></td></tr> <tr> <td>1</td><td>1</td><td>0</td><td><b>Mod 6: Çift RZ 16-bit <math>\Sigma/\Delta</math> DAC</b></td></tr> <tr> <td>1</td><td>1</td><td>1</td><td><b>Rezerve</b></td></tr> </table>	0	0	0	<b>Mod 0 :PWM Kapalı</b>	0	0	1	<b>Mod 1: P2.7 (veya P3.3) pininden tek çıkış PWM</b>	0	1	0	<b>Mod 2: Çift çıkışlı (twin) 8-bit PWM</b>	0	1	1	<b>Mod 3: Çift çıkışlı (twin) 16-bit PWM</b>	1	0	0	<b>Mod 4: Çift NRZ 16-bit <math>\Sigma/\Delta</math> DAC</b>	1	0	1	<b>Mod 5: Çift çıkışlı (dual) 8-bit PWM</b>	1	1	0	<b>Mod 6: Çift RZ 16-bit <math>\Sigma/\Delta</math> DAC</b>	1	1	1	<b>Rezerve</b>
0	0	0	<b>Mod 0 :PWM Kapalı</b>																															
0	0	1	<b>Mod 1: P2.7 (veya P3.3) pininden tek çıkış PWM</b>																															
0	1	0	<b>Mod 2: Çift çıkışlı (twin) 8-bit PWM</b>																															
0	1	1	<b>Mod 3: Çift çıkışlı (twin) 16-bit PWM</b>																															
1	0	0	<b>Mod 4: Çift NRZ 16-bit <math>\Sigma/\Delta</math> DAC</b>																															
1	0	1	<b>Mod 5: Çift çıkışlı (dual) 8-bit PWM</b>																															
1	1	0	<b>Mod 6: Çift RZ 16-bit <math>\Sigma/\Delta</math> DAC</b>																															
1	1	1	<b>Rezerve</b>																															
3	CDIV1	CDIV1 ve CDIV0 bitleri aşağıdaki tabloya göre PWM Saat darbeleri bölgüsü katsayısını belirler.																																
		CDIV   CDIV   Bölgü Katsayı, N																																
		1   0   1																																
2	CDIV0	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td>0</td><td>0</td><td>1</td></tr> <tr> <td>0</td><td>1</td><td>4</td></tr> <tr> <td>1</td><td>0</td><td>16</td></tr> <tr> <td>1</td><td>1</td><td>64</td></tr> </table>	0	0	1	0	1	4	1	0	16	1	1	64																				
0	0	1																																
0	1	4																																
1	0	16																																
1	1	64																																
1	CSEL1	CSEL1 ve CSEL0 bitleri aracılığıyla aşağıdaki tabloya göre PWM Saat kaynağı seçilir. <b>Not: Bölmeye Faktörü CFG841 SFR'sinden belirlenir.</b>																																
0	CSEL0	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td>CSEL 1</td><td>CSEL 0</td><td>PWM giriş saati, CLK<sub>PWM</sub></td></tr> <tr> <td>0</td><td>0</td><td><b>f<sub>osc</sub>/(15*Bölmeye Faktörü)</b></td></tr> <tr> <td>0</td><td>1</td><td><b>f<sub>osc</sub>/Bölmeye Faktörü</b></td></tr> <tr> <td>1</td><td>0</td><td><b>Harici giriş, P3.4</b></td></tr> <tr> <td>1</td><td>1</td><td><b>f<sub>osc</sub></b></td></tr> </table>	CSEL 1	CSEL 0	PWM giriş saati, CLK <sub>PWM</sub>	0	0	<b>f<sub>osc</sub>/(15*Bölmeye Faktörü)</b>	0	1	<b>f<sub>osc</sub>/Bölmeye Faktörü</b>	1	0	<b>Harici giriş, P3.4</b>	1	1	<b>f<sub>osc</sub></b>																	
CSEL 1	CSEL 0	PWM giriş saati, CLK <sub>PWM</sub>																																
0	0	<b>f<sub>osc</sub>/(15*Bölmeye Faktörü)</b>																																
0	1	<b>f<sub>osc</sub>/Bölmeye Faktörü</b>																																
1	0	<b>Harici giriş, P3.4</b>																																
1	1	<b>f<sub>osc</sub></b>																																

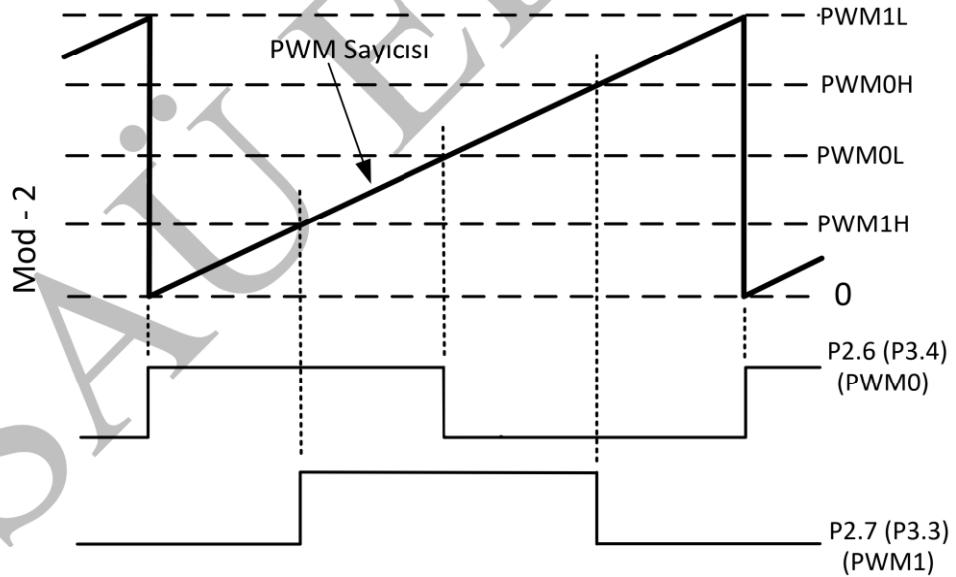
## PWM Çalışma Modları

**Mod 0:** PWM kullanıma kapalı, devre dışıdır. PWM pinleri genel amaçlı kullanıma açıktır.

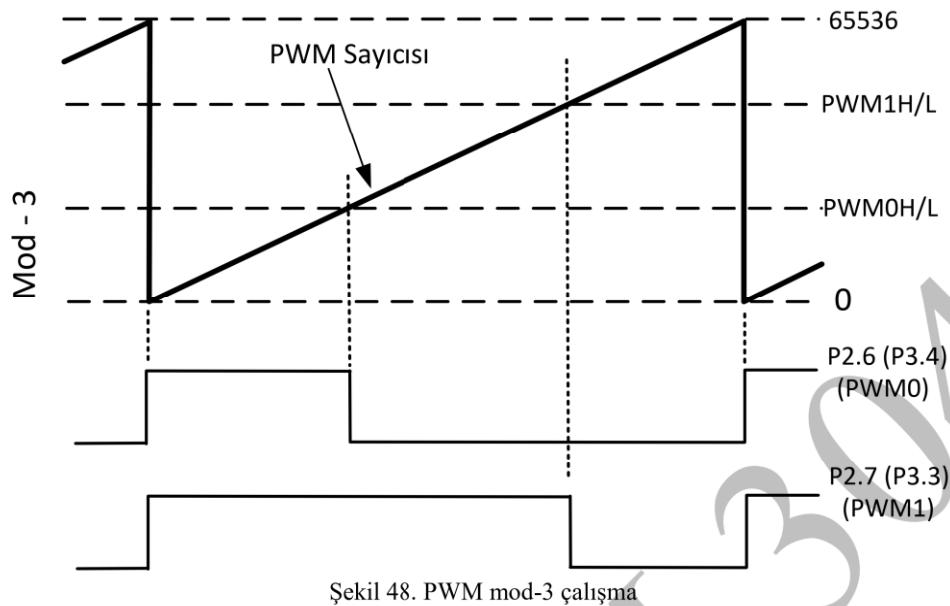
**Mod 1:** Bu çalışma modunda hem darbe genişlik süresi ( $T_{ON}$ ) hem de PWM çözünürlüğü yazılımla ayarlanabilir. Maksimum PWM çözünürlüğü 16-bit'dir.



**Mod 2:**

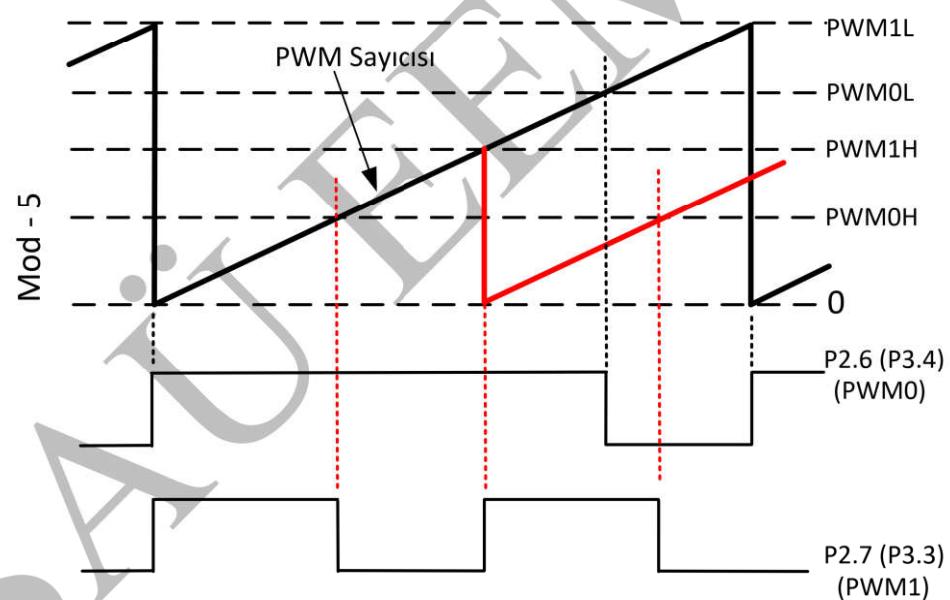


### Mod 3:



Şekil 48. PWM mod-3 çalışma

### Mod 5:



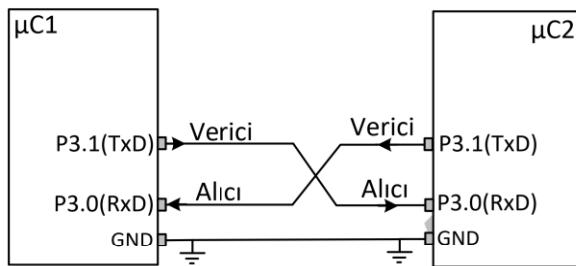
Şekil 49. PWM mod-5 çalışma

## 12 SERİ KANAL HABERLEŞMESİ

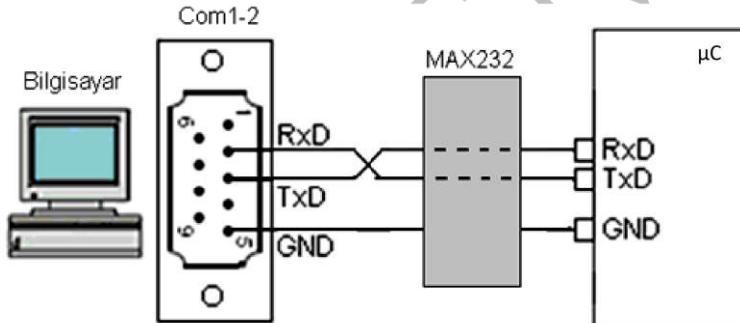
Seri veri iletişimini; tek-yönlü (simplex), çift-yönlü (duplex) ve eşzamanlı çift-yönlü (full-duplex) olarak gerçekleştirebilir.



UART birimi üzerinden iki mikrodenetleyici arasında çift-taraflı (duplex) veri iletişimini yapabilmesi için gerekli asgari bağlantı şékli aşağıda verilmiştir.



Şekil 50. Çift-taraflı UART haberleşmesi için minimum bağlantı yapısı



Şekil 51. μC ile bilgisayarın seri haberleşme bağlantı şékli

## SCON Saklayıcısı

UART biriminin çalışma ayarlarının yapıldığı SCON SFR'si bit adreslenebilir.

SCON:	SM0	SM1	SM2	REN	TB8	RB8	TI	RI
-------	-----	-----	-----	-----	-----	-----	----	----

Bit	İsim	Açıklama		
7	SM0	SM1 ve SM0 bitleri aşağıdaki tabloya göre seri haberleşme modunu belirler.		
6	SM1	SM0	SM1	Çalışma modu
		0	0	Mod-0 : Kayıtlı Kaydedici, baud-rate sabit: fosc/12
		0	1	Mod-1: 8-bit UART, baud-rate TH1 ile ayarlanabilir
		1	0	Mod-2: 9-bit UART, baud-rate sabit: fosc/32 veya fosc/16
		1	1	Mod-3: 9-bit UART, baud-rate TH1 ile ayarlanabilir
5	SM2	Setlendiğinde çok işlemcili haberleşme (Mod-2 ve Mod-3) yetkilendirilmiş olur. Mod-0 kullanılırken SM2=0 yapılmalıdır. Mod-1'de SM2 setlenir ise geçerli bir STOP biti alınana kadar RI biti setlenmez, SM2=0 yapılır ise veri Byte'ı alınır alınmaz RI donanım tarafından setlenir.		
4	REN	Setlendiğinde seri kanaldan veri alma işlemi yetkilendirilmiş olur. Temizlendiğinde seri veri alma işlemi durur.		
3	TB8	2. ve 3. Modda (çok işlemcili haberleşme) iletilen verinin 9. Bitidir.		
2	RB8	2. ve 3. Modda (çok işlemcili haberleşme) alınan verinin 9. Bitidir. Mod-1'de stop biti RB8'e atanır.		
1	TI	Seri veri gönderme işlemi tamamlandığında donanım tarafından setlenir. Yeni veri göndermeden önce yazılımla temizlenmesi gereklidir.		
0	RI	Seri veri alma işlemi tamamlandığında donanım tarafından setlenir. SBUFtan veri okunduktan sonra yeni veri alma işlemi için yazılımla temizlenmesi gereklidir.		

Seri haberleşmede veri iletişim hızı (BaudRate, bit/s) ADUC841 mikrokontrolör için aşağıdaki gibi belirlenir,

$$BaudRate = \frac{2^{SMOD}}{32} \times \frac{f_{osc}}{[256 - TH1]} \text{ bps}$$

bps = bit per second = 1 saniyede iletilen bit sayısı

Örneğin ADUC841 için Baudrate=9600bps olarak ayarlanmak istenir ise: (SMOD=0 ve fosc=11.0592MHz olmak üzere) TH1' e yüklenmesi gereken değer aşağıdaki gibi hesaplanır.

$$9600 = \frac{2^0}{32} \times \frac{11.0592 \times 10^6}{[256 - TH1]} \rightarrow 256 - TH1 = 36 \rightarrow TH1 = 220'd = DC'h$$

### **CFG841 Saklayıcısı**

ADUC841 mimarisinde yer alan çeşitli çevre birimlerinin ayarının yapıldığı CFG841 SFR'si **bit adreslenemez**. Reset sonrası başlangıç değeri 10h'dır.

CFG841:	EXSP	PWPO	DBUF	EPM2	EPM1	EPM0	MSPI	XRAMEN
---------	------	------	------	------	------	------	------	--------

Bit	İsim	Açıklama			
7	EXSP	Setlendiğinde genişletilmiş SP yapısı (11-bit) aktif olur. Temizlendiğinde ise standart SP yapısı (8-bit) seçilmiş olur.			
6	PWPO	Setlendiğinde P3.4 ve P3.3 pinleri PWM çıkışı olarak atanır. Temizlendiğinde ise P2.6 ve P2.7 PWM çıkışları olarak atanır.			
5	DBUF	Setlendiğinde dahili DAC çıkış tamponları by-pass edilir. Temizlendiğinde ise DAC çıkış tamponları aktif duruma geçer.			
4	EPM2	EPM2, EPM1 ve EPM0 bitleri aşağıdaki tabloya göre PWM saat frekansı için bölme faktörünü belirler.			
3	EPM1				
2	EPM0				
		EPM2	EPM1	EPM0	Bölme Faktörü
		0	0	0	32
		0	0	1	64
		0	1	0	128
		0	1	1	256
		1	0	0	512
		1	0	1	1024
1	MSPI	Setlendiğinde SPI haberleşme biriminin MISO, MOSI ve SCLOCK fonksiyonlarını sırasıyla P3.3, P3.4 ve P3.5 pinlerine atanır.			
0	XRAMEN	Setlendiğinde dahili XRAM kullanıma açılır ve harici veri hafıza adres alanının alt 2-kByte 'lık kısmına yerleştirilir. Temizlendiğinde ise dahili XRAM kullanıma kapalıdır.			