

夏季学期综合实验（流水线 MIPS 处理器的设计）

数字逻辑与处理器实验教学组

实验内容：

将春季学期实验四设计的单周期 MIPS 处理器改进为流水线结构，并利用此处理器完成数据的排序。

设计要求：

1. 设计一个 5 级流水线的 MIPS 处理器，采用如下方法解决竞争问题：
 - i. 采用完全的 forwarding 电路解决数据关联问题。
 - ii. 对于 Load-use 类竞争采取阻塞一个周期+Forwarding 的方法解决
 - iii. 对于分支指令在 EX 阶段判断（提前判断也可以），在分支发生时刻取消 ID 和 IF 阶段的两条指令。
 - iv. 对于 J 类指令在 ID 阶段判断，并取消 IF 阶段指令。

2. 分支和跳转指令做如下扩充： 分支指令（beq、bne、blez、bgtz、bltz）和 跳转指令（j、jal、jr、jalr）；
3. 该处理器支持异常（为简单起见，可以只支持未定义指令异常）和中断（定时器中断）的处理。

PC 的最高位 PC[31]为监督位。当该位为‘1’时，处理器处于内核态，此时异常和中断被禁止；当该位为‘0’时，处理器处于普通态，此时允许发生中断和异常。注意 PC[31]不能作为地址最高位去索引指令存储器，取指令时应当固定将地址最高位置零。只有 RESET、异常、中断等有可能将 PC[31]设置为‘1’，其他指令不能设置该位为‘1’，JR 和 JALR 指令可以使监督位清零。

- 在处理器复位后，PC 中的值应该为 0x80000000（处于内核态）；
- 发生中断时，PC 中的值应该为 0x80000004（处于内核态）；
- 在发生异常时，PC 中的值应该为 0x80000008（处于内核态）；
- PC+4 逻辑电路实现时应该保证 PC[31]不变；
- 分支语句和 J、JAL 语句不应该改变 PC[31]；
- 当执行 JR、JALR 指令时，PC[31]的值由跳转地址（\$Ra）中的第 31 位（最高位）决定。

4. 数据存储的地址空间被划分为 2 部分：0x00000000~0x3FFFFFFF（字节地址）为数据 RAM，可以提供数据存储功能；0x40000000~0x7FFFFFFF（字节地址）为外设地址空间，对其地址的读写对应到相应的外设资源（LEDs、SWITCH...）。具体地址划分如下：

地址（字节地址）	功能	描述
0x00000000~0x000007FF	数据存储	512×32bits（可以根据需要自行调整大小）
0x40000000~0x4000000B	定时器	定时器外设地址 Timer
0x4000000C	外部 LEDs	0bit: LED 0 1bit: LED 1 7bit: LED 7
0x40000010	七段数码管	0bit: CA 1bit: CB 7bit: DP 8bit: AN0 9bit: AN1 10bit: AN2 11bit: AN3
0x40000014	系统时钟计数器 SysTick	系统复位时，SysTick 复位为零，之后每系统时钟周期，计数值加 1。忽略溢出。

5. 设计定时器外设，可以根据设定周期产生外部中断，通过该定时器触发 7 段数码管的扫描显示。

地址（字节地址）	功能	描述
0x40000000	定时器 TH	每当 TL 计数到全 1 时，自动加载 TH 值到 TL
0x40000004	定时器 TL	定时器计数器，TL 值随时钟递增
0x40000008	定时器控制 TCON	0bit: 定时器使能控制，1-enable, 0-disable 1bit: 定时器中断控制，1-enable, 0-disable 2bit: 定时器中断状态

定时器软件操作流程：

- i. 关闭定时器，TCON 写入 0；
- ii. 设置定时器周期，TH 取值决定定时器的计数周期；
- iii. 设置定时器 TL 为 0xFFFFFFFF；

iv. 启动定时器, *TCON* 写入 3.

定时器中断软件服务程序流程(此时处理器处于内核态,监督位为'1'):

i. 定时器中断禁止, 同时中断状态清零, *TCON* 的 1-2bit 清零, *TCON* &= 0xfffffff9;

ii. 保护现场;

iii. 中断处理代码;

iv. 恢复现场;

v. 使能中断, *TCON* 的 1bit 置 1, *TCON* |= 0x00000002;

vi. 退出中断服务程序, 跳转到中断发生时保存的断点地址处继续执行 (\$26).

验证要求:

1. 选定任意一种排序算法, 编写汇编语言对 100 个 32bit 的无符号随机数进行排序。随机数的输入和输出自行设计, 不做统一要求。

提示: 可以将生成好的 100 个随机数写在汇编文件中, 编译在 FPGA 比特流中, 也可以利用实验三类似方式通过串口烧录, 还可以采用 Vivado 中的 ROM IP 等形式来实现。排序好的数据可以用编写汇编代码, 通过软件控制的方式通过串口按顺序输出, 也可以利用实验三用硬件方式将内存中的数据读出, 还可以用软件控制 LED 逐字显示排序后的结果。

2. 使用 MARS 等仿真器确定完成此排序操作所执行的指令总数 *N*, 通过七段数码管显示十六进制的完成排序操作所消耗的时钟周期数 *C*, 计算平均执行一条指令所需要的时钟周期数 $CPI=C/N$, 并根据时钟频率计算平均每秒执行指令数目。

软件操作提示:

i. 禁止定时器中断后, 将待排序的数据导入 RAM

ii. 读取并保存系统时钟计数器 *SysTick* 的值

iii. 完成排序操作

iv. 读取时钟计数器 *SysTick* 的新值, 减去已保存的值, 所得的差即为执行排序操作所消耗的时钟周期数。

v. 使能定时器中断, *TCON* 的 1bit 置 1, *TCON* |= 0x00000002;

(在中断服务程序中, 用查表法等将计算得到的时钟周期数以十六进制显示在数码管上。)

vi. 输出排序结果

课程要求:

1. 实验每人独立进行, 实验评分分为现场验收和实验报告两部分。
2. 现场验收由助教根据现场硬件情况核定。
3. 实验报告内容包括: 实验目的; 设计方案 (原理说明及框图); 关键代码及文件清单; 仿真结果及分析; 综合情况 (面积和时序性能); 硬件调试情况; 思想体会等。
4. 实验报告提交方式: 实验报告 (word 或者 pdf) 和设计代码打包后提交到网络学堂, 提交打包文件名按照 “学号_姓名” 的规则命名。
5. 硬件实验板将在实验验收结束时上缴。

6. 同学应当参加绪论课（特殊情况应当请假，任课教师允假后，请对照讲义自学），设计实验可以在主楼 9 楼机房完成，也可以在寝室或者其他地方自行完成实验，现场验收必须在指点时间段内的主楼 9 楼机房进行。
7. 根据综合结果，在流水线设计功能正确的前提现，具有最高时钟频率（或平均每秒执行指令数目）的前 20 名学生将可获得该实验 10% 的加分，申请加分的小组需要单独提交申请，并需另提设计说明。
8. 实验严禁抄袭，抄袭者（实验报告或者设计代码出现雷同、回答问题明显非个人完成等）的课程成绩按零分处理，并上报院系。