

# Sintetizadores de frecuencia

---

Carlos A. Zerbini

Cátedra Medidas Electrónicas 2

Universidad Tecnológica Nacional - Facultad Regional Córdoba

Año lectivo 2019

# Agenda

## 1. Síntesis directa

### 1.1 Síntesis directa analógica (ADS)

- ❑ De cristal múltiple (conceptual)
- ❑ De cristal único (práctico, operaciones aritméticas)

### 1.2 Síntesis directa digital (DDS o AWG)

## 2. Síntesis indirecta

### 2.1 PLL de división entera

### 2.2 PLL de división fraccional

# Agenda

## 1. Síntesis directa

### 1.1 Síntesis directa analógica (ADS)

- ❑ De cristal múltiple (conceptual)
- ❑ De cristal único (práctico, operaciones aritméticas)

### 1.2 Síntesis directa digital (DDS o AWG)

## 2. Síntesis indirecta

### 2.1 PLL de división entera

### 2.2 PLL de división fraccional

## Métodos de síntesis

**1) Síntesis directa analógica (ADS):** se utiliza una fuente de gran pureza, y se obtienen las frecuencias de salida mediante las **cuatro operaciones aritméticas (dobladores, divisores, mezcladores) más filtros para eliminar componentes indeseadas**

- **Ventajas**

- Llegan a frecuencias muy altas.
- Excelente pureza espectral.
- Rápida conmutación: solamente se deben mover llaves. Típicamente algunas decenas de  $\mu\text{s}$  (20 a 50 $\mu\text{s}$ ).

- **Desventajas**

- La abundancia de generadores de armónicas obliga a emplear gran cantidad de filtros para seleccionar cada una de ellas.
- La presencia simultánea de muchas frecuencias en el circuito exige cuidados especiales en los blindajes y aislaciones particulares en las llaves selectoras para evitar que señales espurias contaminen la salida.
- Instrumentos muy voluminosos y costosos.
- Actualmente sólo se utilizan en aplicaciones específicas y como instrumento de referencia.

# Agenda

## 1. Síntesis directa

### 1.1 Síntesis directa analógica (ADS)

- ❑ De cristal múltiple (conceptual)
- ❑ De cristal único (práctico, operaciones aritméticas)

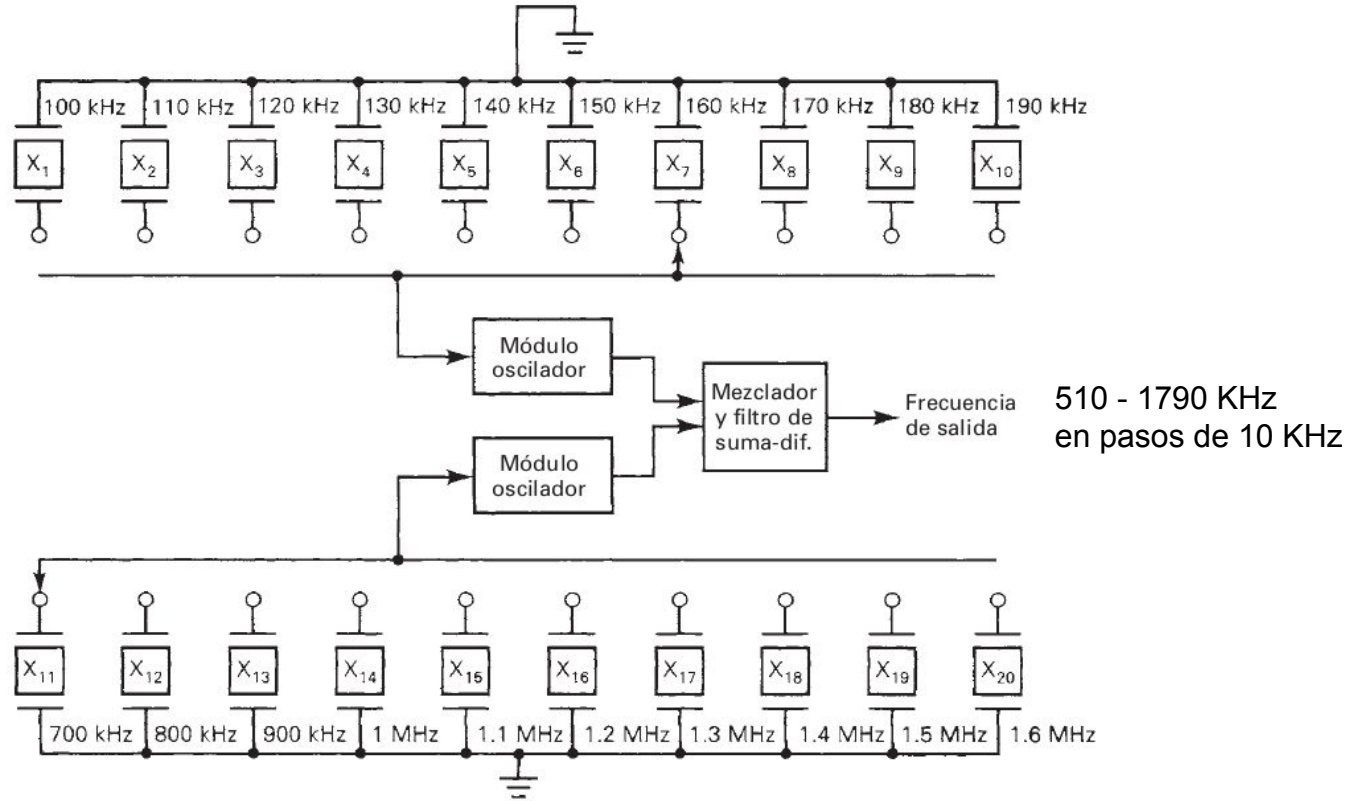
### 1.2 Síntesis directa digital (DDS o AWG)

## 2. Síntesis indirecta

### 2.1 PLL de división entera

### 2.2 PLL de división fraccional

## Sintetizador directo de múltiples cristales



# Agenda

## 1. Síntesis directa

### 1.1 Síntesis directa analógica (ADS)

- ❑ De cristal múltiple (conceptual)
- ❑ De cristal único (práctico, operaciones aritméticas)

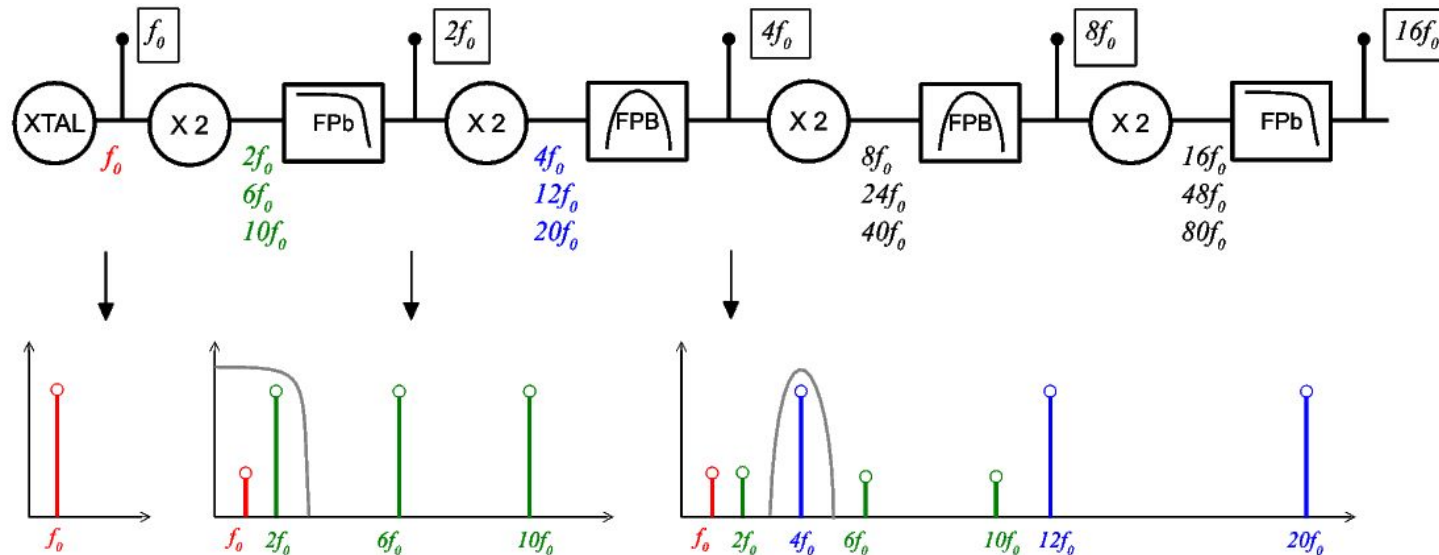
### 1.2 Síntesis directa digital (DDS o AWG)

## 2. Síntesis indirecta

### 2.1 PLL de división entera

### 2.2 PLL de división fraccional

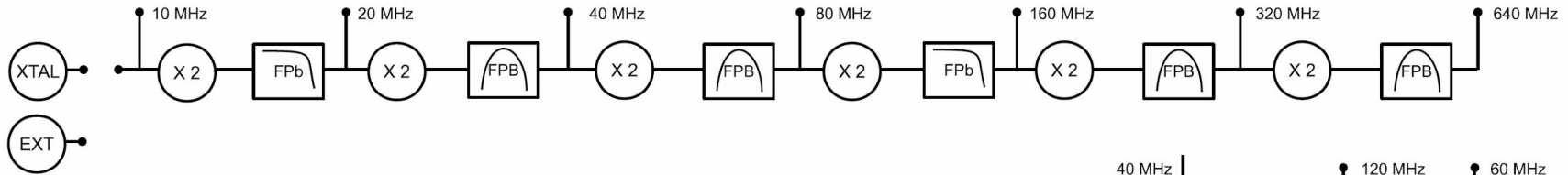
## Sintetizador directo de cristal único



- Como **multiplicador o doblador** se utilizan **rectificadores balanceados**
  - Se producen componentes  $2f_{IN}$  y sus armónicas **impares**:  $6f_0$ ,  $10f_0$ ,  $14f_0$ , ...
  - Los **no balanceados** generan también **espurias** en  $f_{IN}/2$ ,  $3f_{IN}/2$ ,  $5f_{IN}/2$ , ...
  - A partir de la segunda etapa, se colocan **filtros pasabanda** ya que las componentes de interés se acercan a los residuos de componentes indeseadas

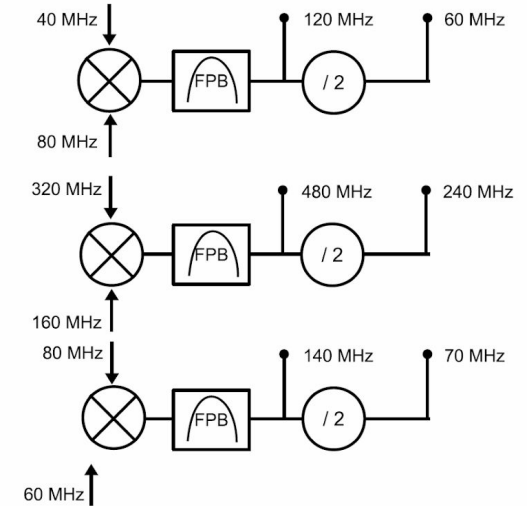


# Sintetizador directo de cristal único

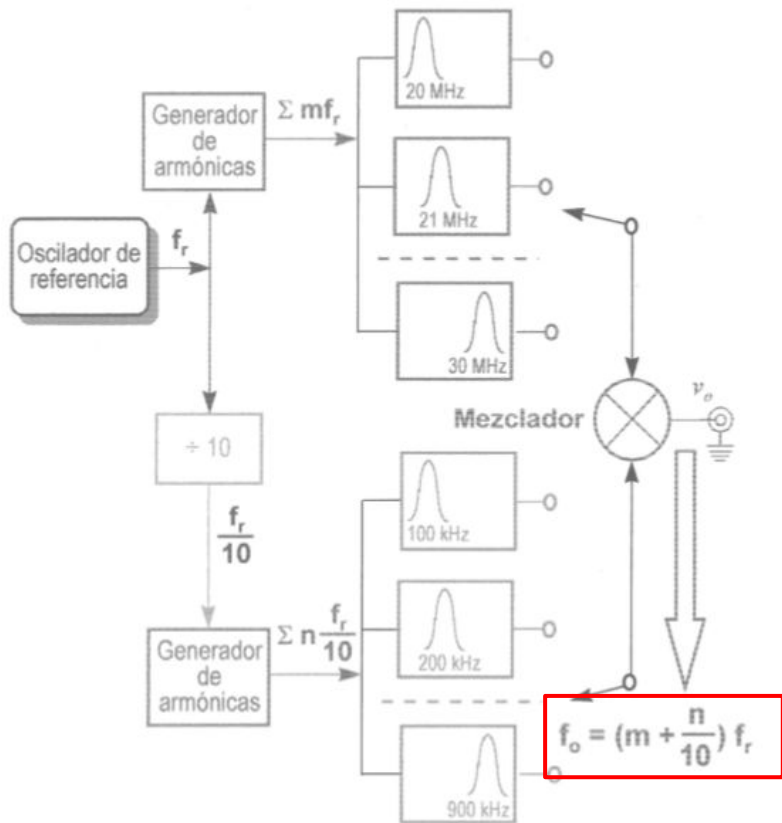


10 - 20 - 40 - 80 - 160 - 320 - 640	(DOBLADORES)
60 - 70 - 120 - 140 - 240 - 480	(1° MEZCLADORES)
.....	

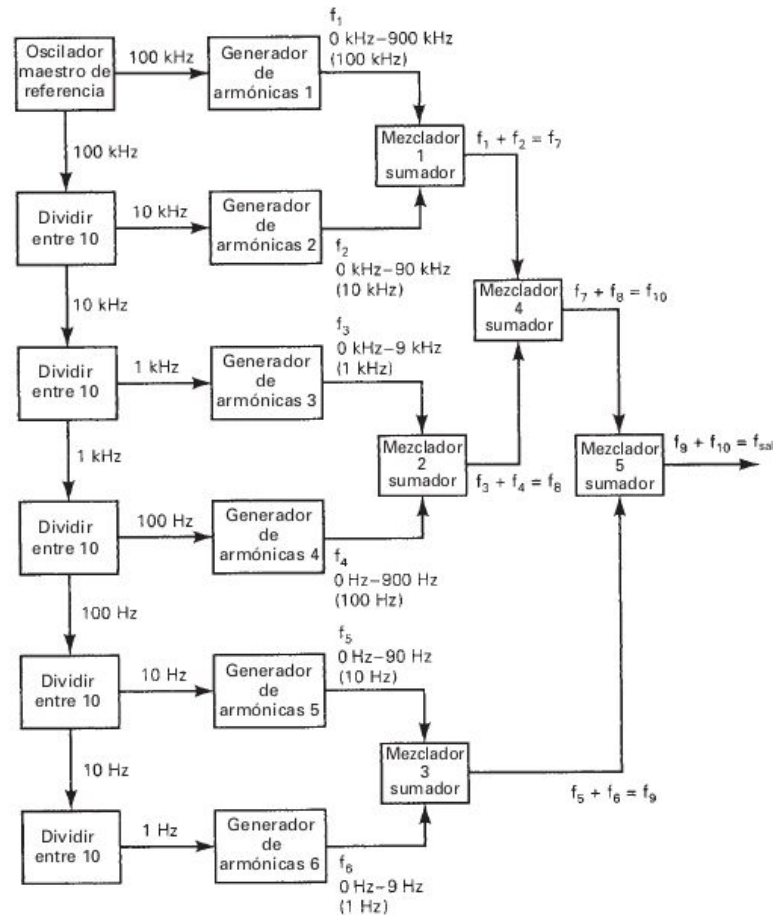
**10 MHz a 640 MHz con paso de 10 MHz mediante multiplex analogico y mezcla**



# Sintetizador directo de cristal único



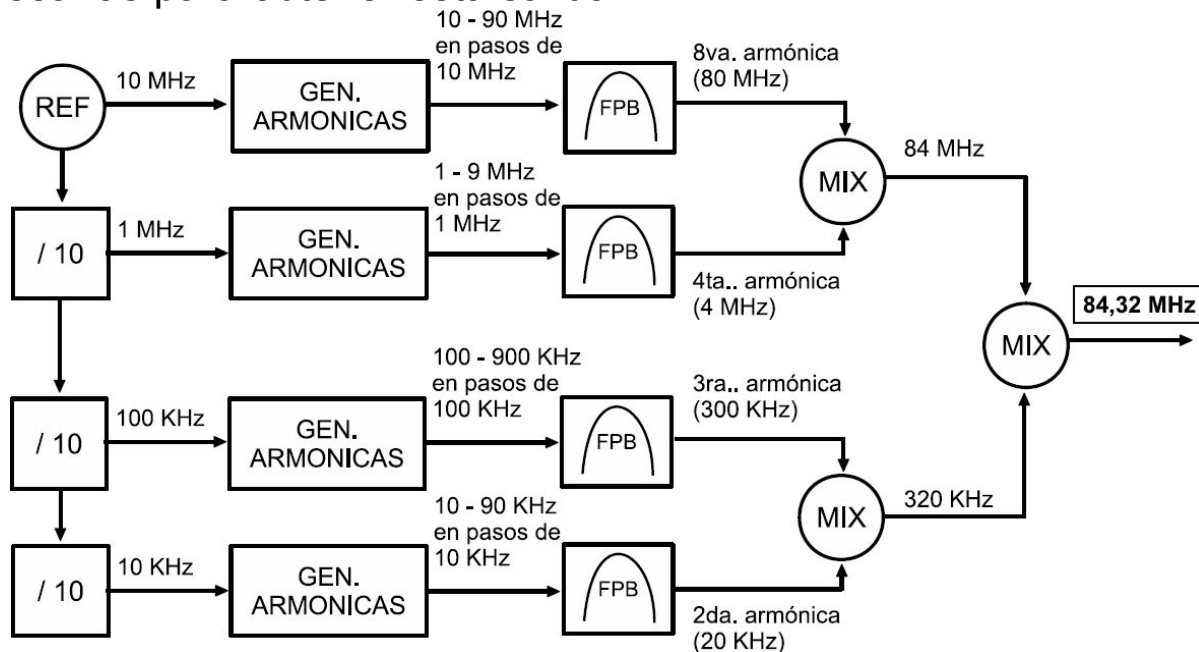
Ej: 100KHz a 30 MHz  
en pasos de 100 KHz



## Sintetizador directo de cristal único

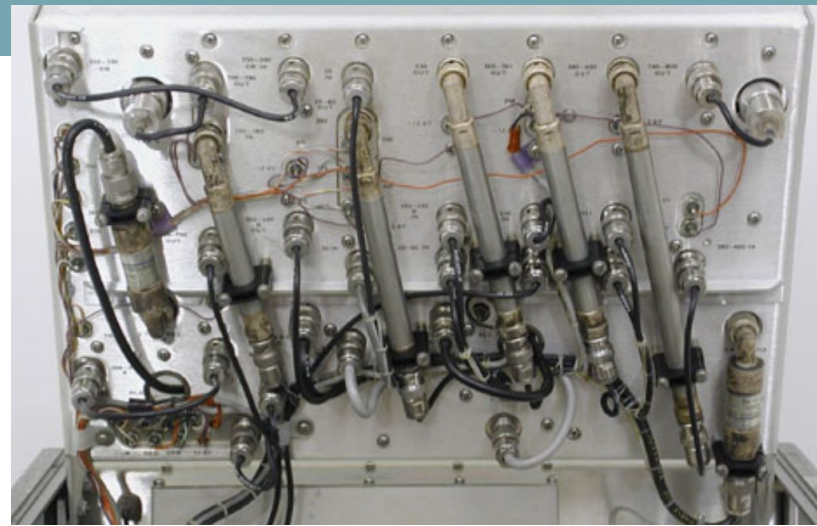
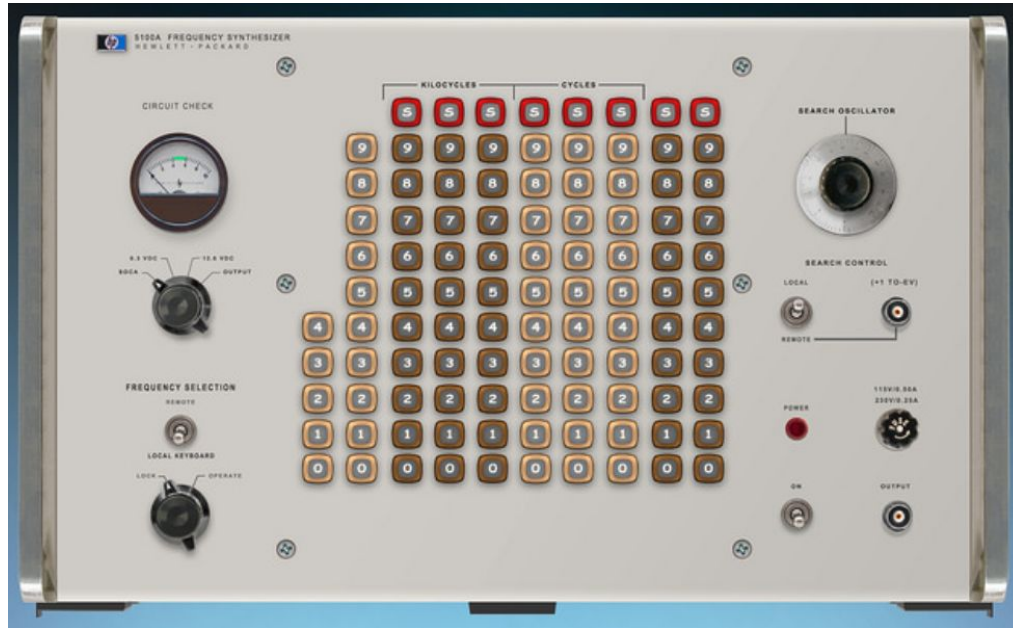
**Ejemplo numérico**

En un sintetizador senoidal analógico por método directo, se desea obtener frecuencia de salida de  $f_0 = 84,32 \text{ MHz}$  a partir de un oscilador a cristal de  $10 \text{ MHz}$ . Dibuje las cadenas de procesamiento necesarias para obtener esta salida.



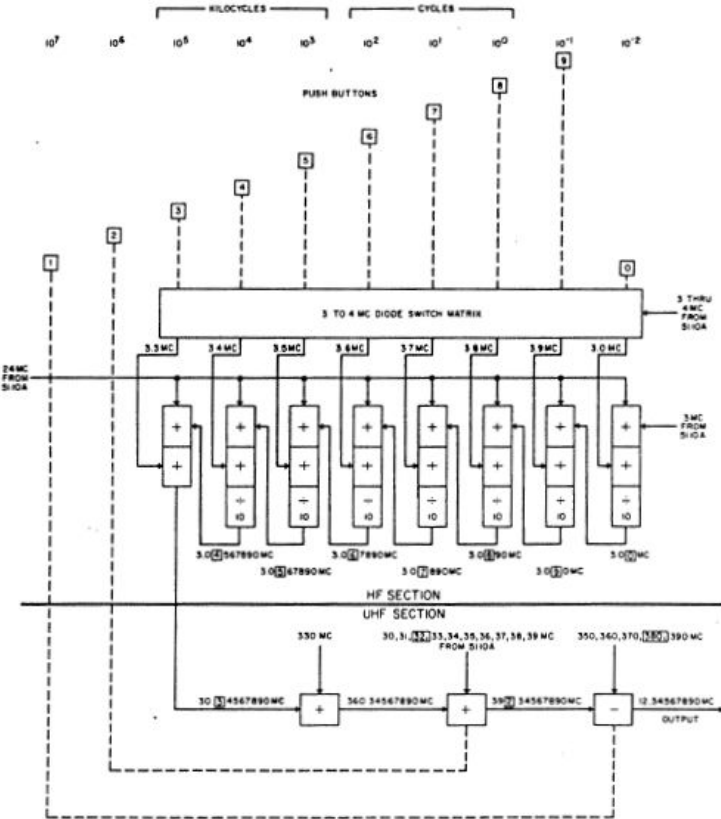
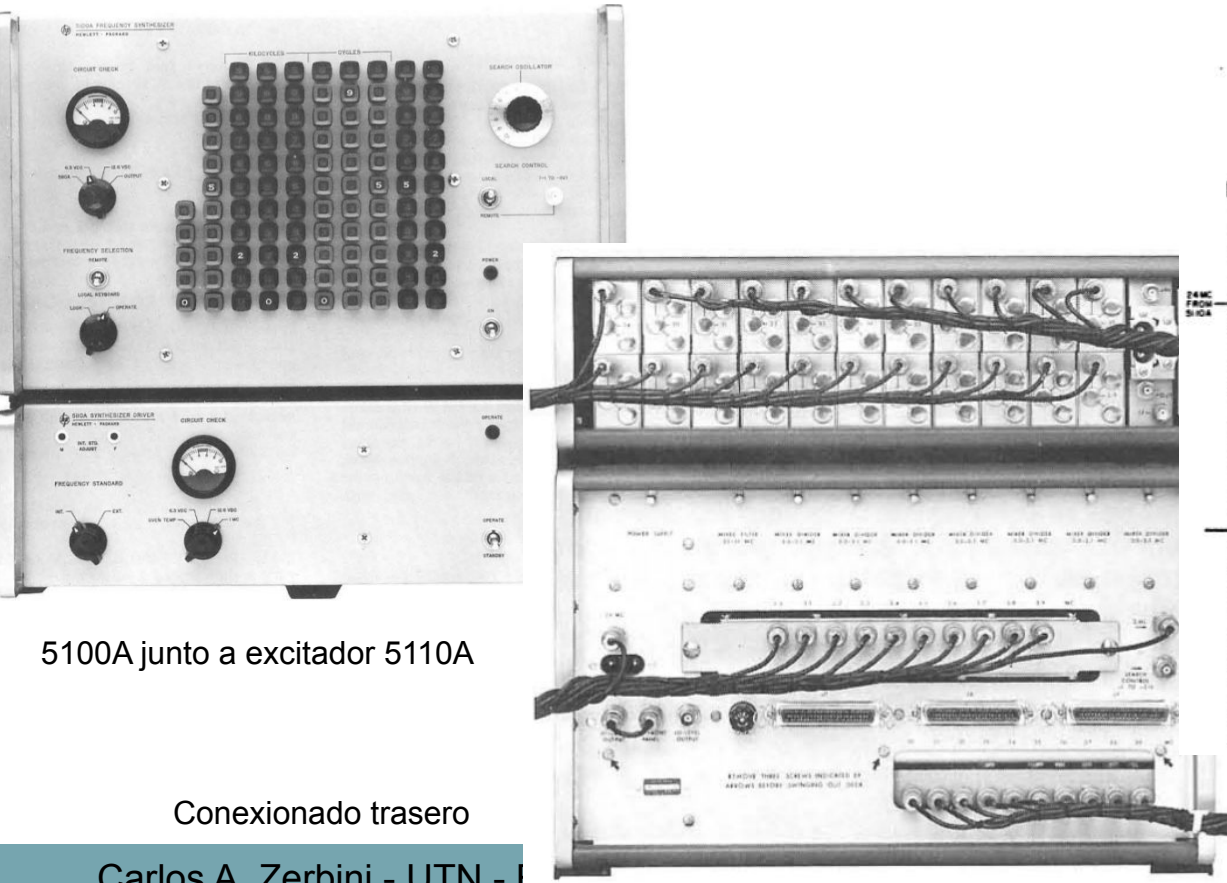
# Sintetizadores de frecuencia

## Sintetizador directo de cristal único



[http://hpmemoryproject.org/wb\\_pages/wall\\_b\\_page\\_06.htm](http://hpmemoryproject.org/wb_pages/wall_b_page_06.htm)

## Sintetizador directo de cristal único



Ejemplo de síntesis: 12,34567890 MHz

## Sintetizador directo de cristal único

“

The first HP 5100A Synthesizer was **introduced in the 1963 catalog**. It was a **DC to 50 MHz** signal source providing a highly stable and pure signal derived from an internal 1 MHz quartz oscillator or from an external frequency standard. The digital frequency selection was made in **increments as fine as 0.01 Hertz** by front panel pushbutton or by remote switch closure.

The basic principle that conducts the 5100 development was the following: **"The sources that provide the highest frequency stability are single frequency sources, commonly called "Frequency Standards."** Having these high quality standards to hand, it is natural to look for **some method to translate their stability to other desired frequencies**. This translation when the operation is something more than a single arithmetic operation, is commonly known as frequency synthesis. Hence, a variable frequency synthesizer is an instrument that **translates the frequency stability of a single frequency standard, to any one of many other possible frequencies**, usually over a broad spectrum."

The 5100A was of the "Direct Synthesis" type which simply performs a **series of arithmetic operations** on the signal from the frequency standard to achieve the desired output frequency. The direct synthesis approach has the **pronounced advantages of permitting fine resolution and fast switching (lower than 1 millisecond for any frequency change)**, as well as an extremely clean output signal. **On the same principle, an UHF version of the same instrument, the 5105A would be introduced in 1967 to cover the 0.1 to 500 MHz spectrum with a 0.1 Hertz resolution.** ”





Para el día a día  
hay otras opciones ...

# Agenda

## 1. Síntesis directa

### 1.1 Síntesis directa analógica (ADS)

- ❑ De cristal múltiple (conceptual)
- ❑ De cristal único (práctico, operaciones aritméticas)

### 1.2 Síntesis directa digital (DDS o AWG)

## 2. Síntesis indirecta

### 2.1 PLL de división entera

### 2.2 PLL de división fraccional



## Métodos de síntesis

**2) Síntesis directa digital (DDS):** basados en el uso de tablas de lookup (look-up tables, LUTs).

- Utiliza un DAC y una tabla en memoria.
- La pureza espectral de la etapa final analógica está determinada por el DAC
- El ruido de fase de salida es esencialmente el ruido de fase del clock
- Se deben considerar los problemas asociados a cualquier sistema de muestreo: **ruido de cuantización, aliasing, filtrado, etc.**

## Ventajas

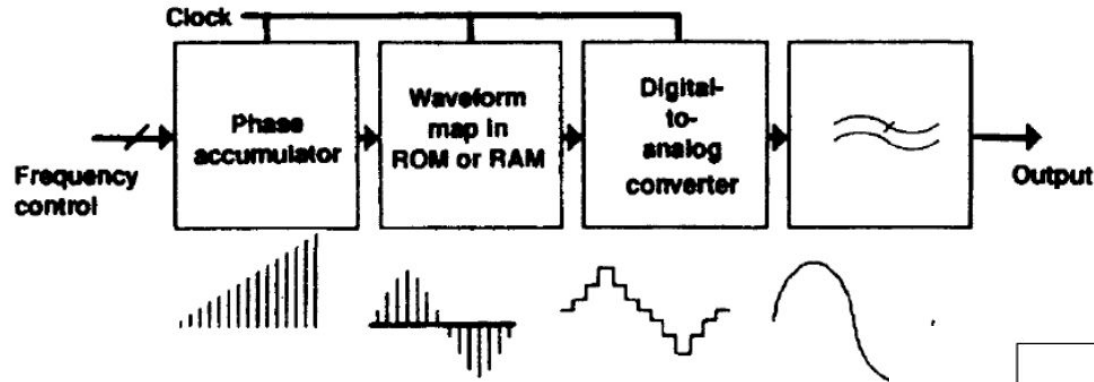
- Excelente resolución
- Bajo costo
- Posibilidad de generar formas de onda arbitrarias (Arbitrary Waveform generator, AWG)

## Desventajas

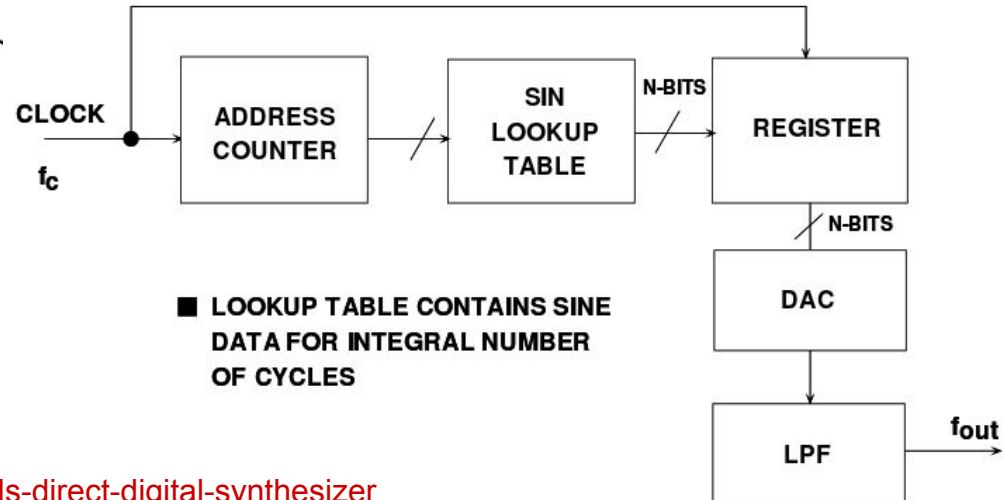
- Ancho de banda limitado (400 MHz máx)
- Pobre pureza espectral

<http://www.analog.com/media/en/training-seminars/tutorials/MT-085.pdf>

## Síntesis directa digital (DDS)



Diagramas básicos de la técnica DDS



## Síntesis directa digital (DDS)

Baja la cantidad de pines de los chips DDS

Define cuantos lugares se avanza por ciclo de clock => **frecuencia de salida**

$360^\circ / 2^n = \text{resolución de FASE}$

$1 / 2^N = \text{resolución de AMPLITUD}$

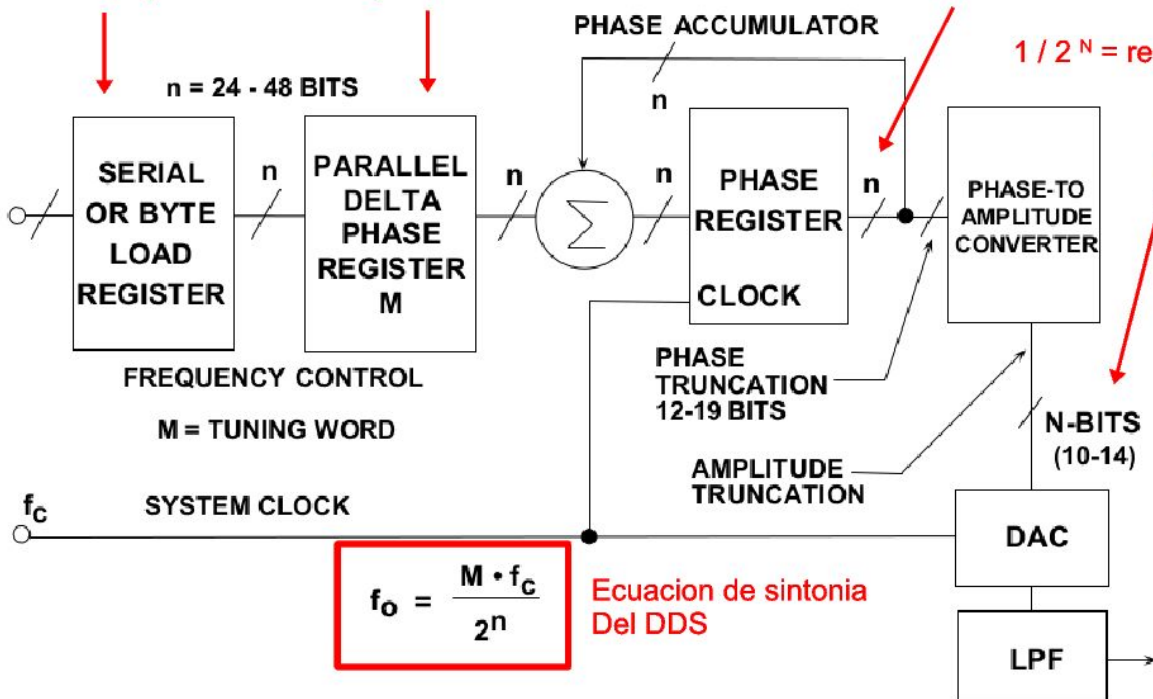


Diagrama en bloques de la técnica DDS

Resolución en frecuencia =  $f_c / 2^n$

=> Si  $n=32$ , resolución =  $1 / 4e12$

Avance de fase por ciclo de clock:

$360^\circ$  (o  $90^\circ$ )  $\times M / 2^n$

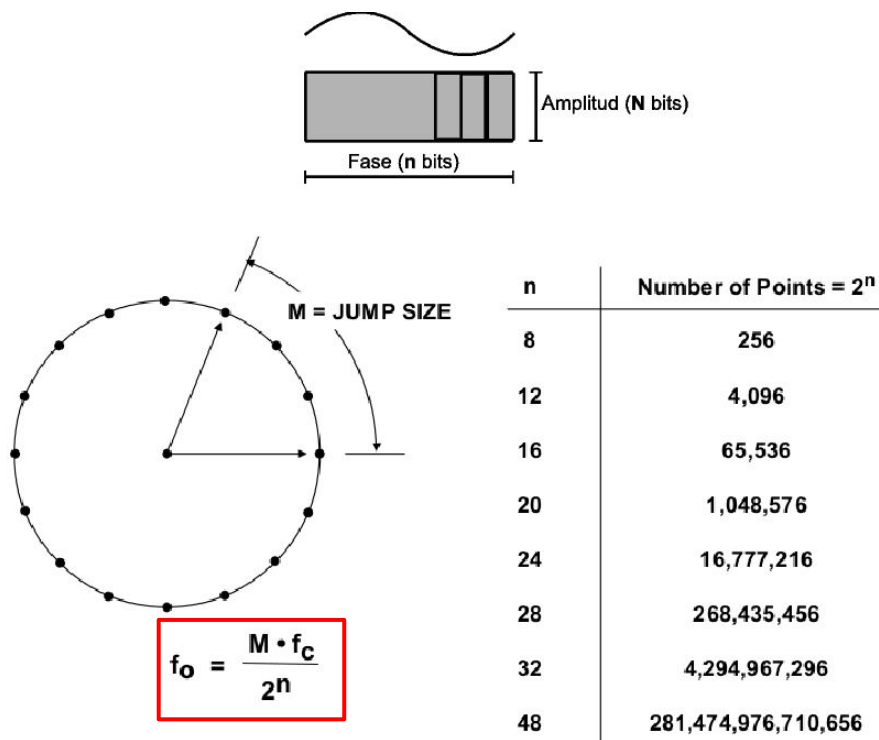
**Rango de frecuencias de salida:**

- Si  $M=1 \Rightarrow f_o = f_c / 2^n = f_{\text{MIN}}$

- Si  $M=2^n / 2$  (Nyquist)

=>  $f_o = f_c / 2 = f_{\text{MAX}}$

# Síntesis directa digital (DDS)



- El acumulador de fase aumenta en pasos de  $M$  grados (o radianes).
- La cantidad de pasos posibles está dada por  $2^n$ .
- Generalmente se debe **truncar** la salida del acumulador de fase para ajustarla a la cantidad de posiciones de memoria, direccionando ésta con los MSBs del acumulador. Por ejemplo, si  $M=32$ , la resolución teórica es de  $1/(4 \cdot 10^{12})$ . Si la memoria es de 4096 posiciones, se direcciona con los 12 MSBs. **Esto permite reducir el tamaño de la tabla, pero no afecta la resolución en frecuencia. También introduce algo de ruido de fase (especificaciones).**
- La LUT contiene la información de amplitud para un ciclo completo de salida. **Para optimizar resolución en fase, se suelen almacenar sólo 90° de la forma de onda. Los 3 cuadrantes restantes se extrapolan.**

## Síntesis directa digital (DDS)

### Ejemplo numérico

Un DDS posee memoria con bus de direccionamiento de 14 bits, y ancho de palabra de 12 bits. La frecuencia de clock es 30 MHz. ¿Cuál es el rango de frecuencias de salida y la resolución en frecuencia?

Aplicando la ecuación de sintonía:

$$f_{MIN} = 30 \text{ MHz} / 2^{14} = 30 \text{ MHz} / 16384 = 1,831 \text{ KHz} (M = 1)$$

$$f_{MAX} = 30 \text{ MHz} / 2 = 30 \text{ MHz} / 2 = 15 \text{ MHz} \text{ (teórico, en la práctica sería menor)}$$

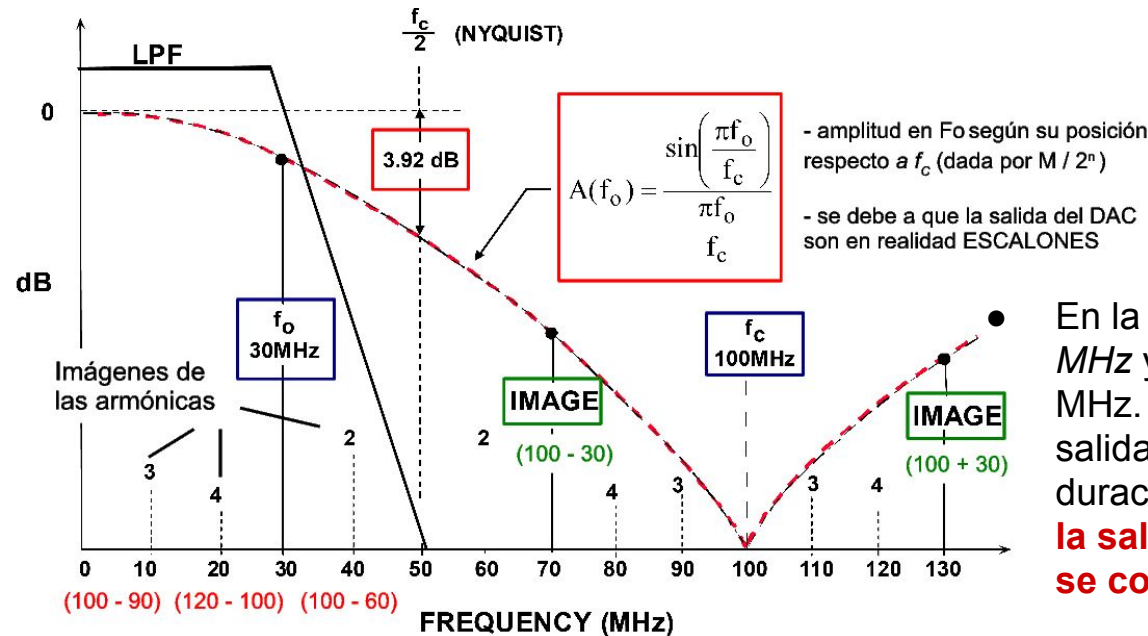
$$\text{Resolución en frecuencia} = f_{MIN} = 1,831 \text{ KHz}$$

En este caso, los 12 bits de datos no se utilizan para el cálculo, pero influyen por ejemplo en el ruido de cuantización que veremos en las próximas diapositivas.

## Efectos de aliasing en DDSs

- Según Nyquist,  $f_c$  debe ser al menos el doble que la  $f_o$  generada. En la práctica es  $\sim 3$  veces:

$$f_o = (M \cdot f_c) / 2^n < f_c / 2$$

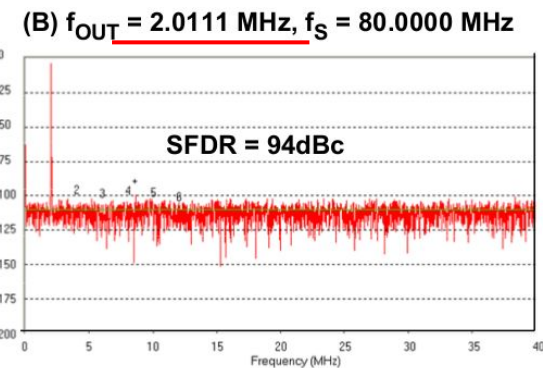
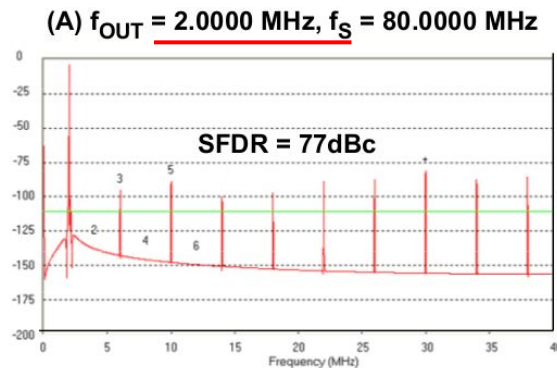
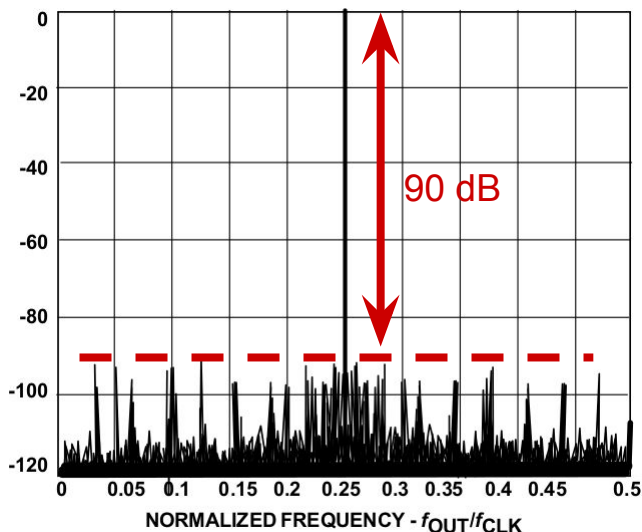


En la figura se observa un ejemplo donde  $f_o = 30$  MHz y  $f_c = 100$  MHz. El LPF filtra la imagen de 70 MHz. La envolvente tipo sinc(x) se debe a que la salida del DAC no son **impulsos** sino **pulsos** con duración igual a  $T_c$ . **Este roll-off ocasiona que la salida sea menor a mayor frecuencia; esto se compensa en el filtro.**

- Otro efecto importante es que, a diferencia del PLL, las armónicas de  $f_o$  se “plegarán” hacia la banda base deseada a causa del aliasing. **Estas armónicas imagen no se pueden filtrar con el LPF!**

## Pureza espectral y velocidad de conmutación del DDS

- Por un lado, el registro del acumulador de fase se suele **truncar**, utilizando sólo los MSbits para acceder a la memoria. Por otro lado, la resolución del DAC es típicamente 2-4 bits menor al **ancho** de la memoria. **Ambos factores, el truncado del registro de fase y la resolución limitada del DAC, producen espurias en la salida**, que se especifican mediante el parámetro SFDR (spurious-free dynamic range).
- Además se introducen **armónicas, cuya amplitud depende de la relación entre  $f_o$  y  $f_c$** . Esto es porque el contenido espectral del ruido de cuantización varía con esta relación, aun cuando su valor RMS teórico es  $q/\sqrt{12}$  ( $q$ =peso del LSB). De este modo, el ruido de cuantización **no se presenta siempre como ruido blanco o aleatorio (a diferencia del ADC)**.
- Si  $f_o$  es un sub-múltiplo exacto de  $f_c$ , el ruido de cuantización se concentra en múltiplos de  $f_o$ . En cambio si existe un offset, el ruido se vuelve más aleatorio y mejora el SFDR.
- En el caso ideal, la frecuencia del DDS se podría cambiar instantáneamente mediante el cambio de M, sin sufrir discontinuidad de fase. En el caso real, se requiere un tiempo para **cargar la nueva palabra M en el registro mediante puerto serie. Esto determina la máxima tasa de cambio de frecuencia.**



FFT SIZE	= 8192
THEORETICAL 12-BIT SNR	= 74dB
FFT PROCESS GAIN	= 36dB
FFT NOISE FLOOR	= 110dBFS

Para truncado de fase de 15 bits, el SFDR resulta 90 dB

SFDR = Spurious-Free Dynamic range

El SFDR depende de la relación entre  $f_{OUT}$  y  $f_C$



# Agenda

## 1. Síntesis directa

### 1.1 Síntesis directa analógica (ADS)

- ❑ De cristal múltiple (conceptual)
- ❑ De cristal único (práctico, operaciones aritméticas)

### 1.2 Síntesis directa digital (DDS o AWG)

## 2. Síntesis indirecta

### 2.1 PLL de división entera

### 2.2 PLL de división fraccional

## Métodos de síntesis

**3) Síntesis indirecta:** se utilizan **dos osciladores** autónomos. Mediante el **más estable se controla al más inestable y variable (VCO)**

- Se basa en lazos enclavados en fase (PLL, Phase Locked Loop),
- El lazo mantiene al oscilador variable de salida enganchado con la frecuencia de referencia.
- Tipos: totalmente analógico - **controlador digital y VCO analógico** - totalmente digital - implementados en software

### Ventajas:

- Se pueden integrar fácilmente y poseen mejor pureza espectral que los DDS
- El requerir menor cantidad de filtros y menos exigencias de blindaje, resultan instrumentos de menor tamaño y más económicos.

### Desventajas:

- Un cambio de frecuencia implica desenganchar el lazo, re-sintonizar, entrar en el rango de captura y enclavar nuevamente. **Esto produce mayores tiempos de conmutación (500 us - 200 ms), lo que puede ser un inconveniente por ejemplo para barridos**

# Agenda

## 1. Síntesis directa

### 1.1 Síntesis directa analógica (ADS)

- ❑ De cristal múltiple (conceptual)
- ❑ De cristal único (práctico, operaciones aritméticas)

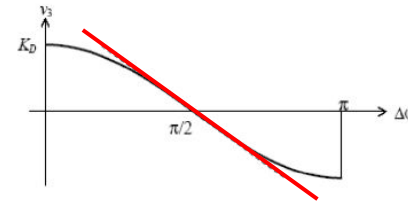
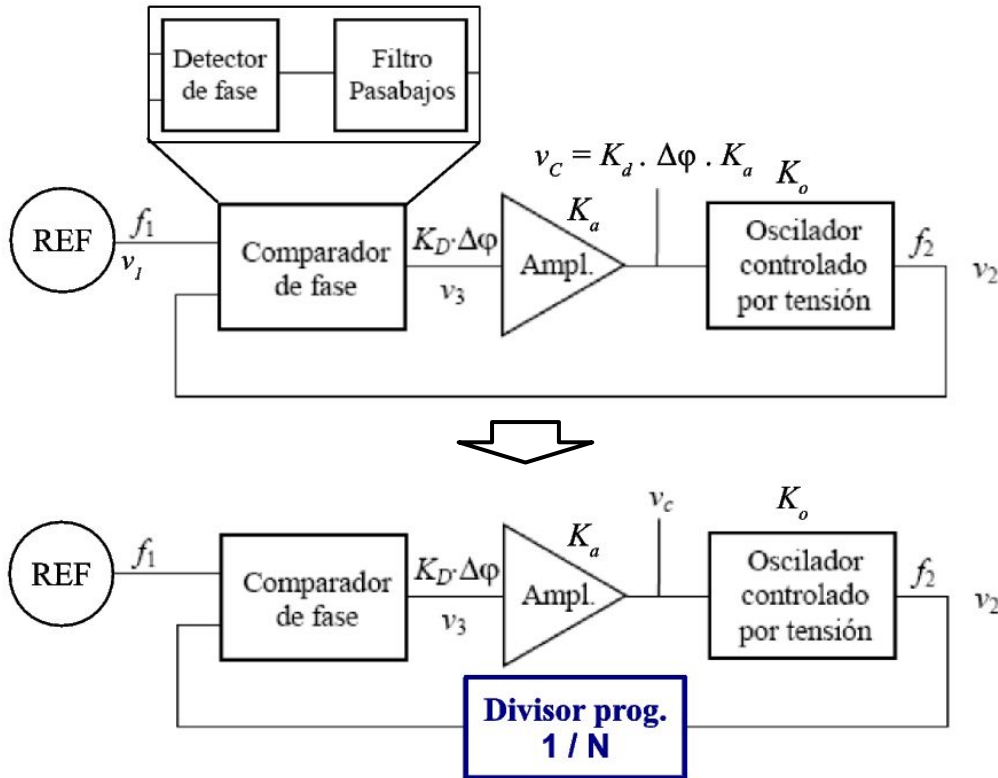
### 1.2 Síntesis directa digital (DDS o AWG)

## 2. Síntesis indirecta

### 2.1 PLL de división entera

### 2.2 PLL de división fraccional

## PLL de división entera - esquema conceptual



$$v_1(t) = V_1 \sin(\omega_1 t)$$

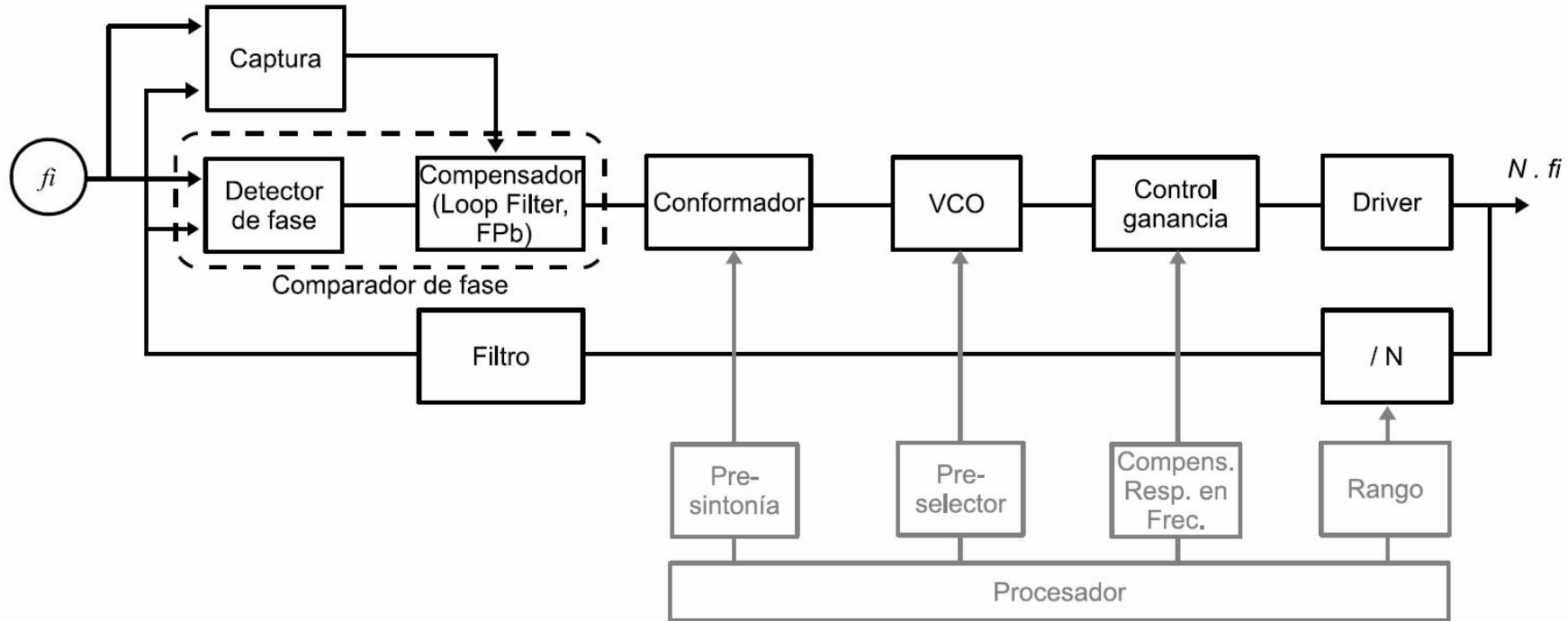
$$v_2(t) = V_1 \sin(\omega_2 t)$$

$$v_3(t) = K \cdot v_1 \cdot v_2 = \frac{K}{2} [\cos(\omega_1 - \omega_2)t - \sin(\omega_1 + \omega_2)t]$$

$$= \frac{K}{2} V_1 V_2 \cos(\omega_1 - \omega_2)t$$

$$\approx K_D \Delta \varphi$$

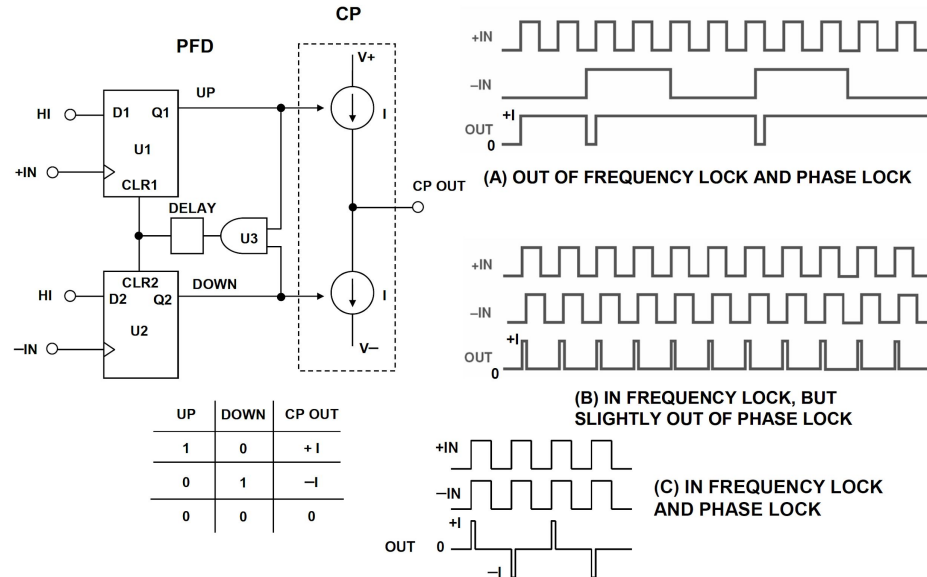
## PLL de división entera - esquema completo



## PLL de división entera - módulos involucrados

**Detector de fase**

- realiza ajuste automático de la tensión de control en base a la diferencia de fase entre  $v_{ref}$  y  $v_O$
- **En estado estable ( $f_o/N = f_r$ ), debe existir un pequeño desfasaje que mantenga la salida activa**
- El caso más simple es una XOR, que tiene la dificultad de ser sensible al ciclo de trabajo
- Otros: multiplicador de 4 cuadrantes, modulador lineal (analógicos). AND, FFJK, **PFD** (digitales)



## PLL de división entera - módulos involucrados

### Compensador (filtro de lazo)

- Extrae la componente de baja frecuencia  $a_0$ , que va al varicap a través del conformador y ganancia
- Modifica las características de seguimiento del PLL (mayor BW  $\Rightarrow$  mayor velocidad de conmutación, más inestable, menor resolución en frecuencia, mayor ruido de salida)
- Al estar siempre corrigiendo pequeños errores, **se introduce ruido de fase y FM residual**

### Circuito de captura

- Controla el **ancho de banda del filtro en función de la diferencia de fase**. De este modo logra rápida respuesta y precisión en el seguimiento de errores.

### Conformador

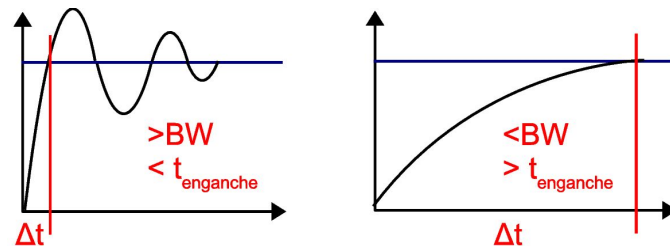
- Adapta la salida del comparador (lineal) a la curva del varactor (no lineal)

### Control ganancia

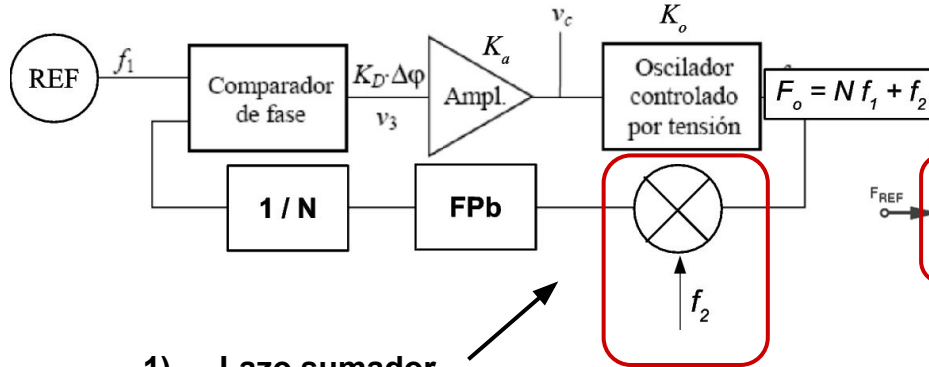
- Mantiene salida cte para distintas frecuencias (barridos)

### VCO

- Oscilador sintonizado por elemento reactivo sensible a tensión (por ej varicaps), previa selección de un **rango** de trabajo (pre-selector)



## Reducción de exigencias en frecuencia

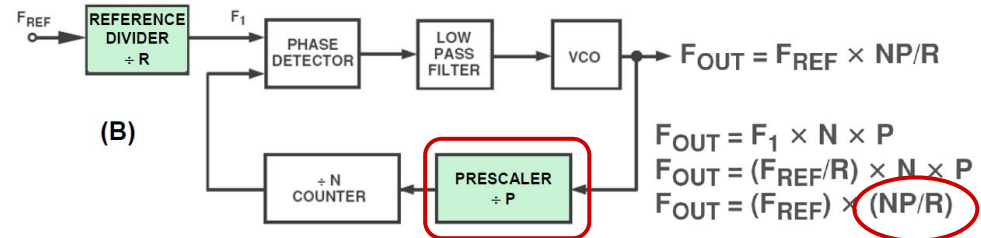
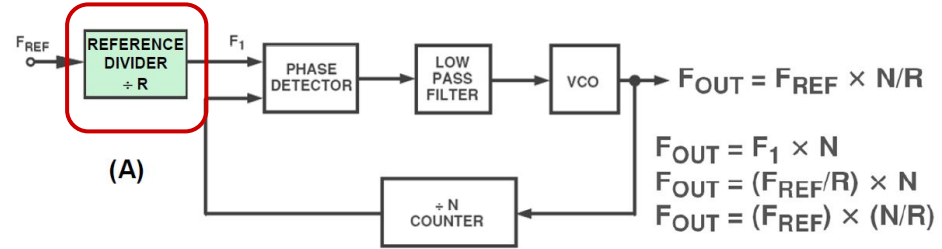


1) Lazo sumador

2) Prescalers

- **En entrada:** para disminuir el paso sin exigir  $f_{REF}$  muy baja (inestabilidad)
- **En realimentación:** para disminuir las exigencias de frecuencia al contador  $N$ .

Mejora resolución sin reducir estabilidad

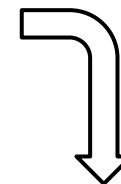
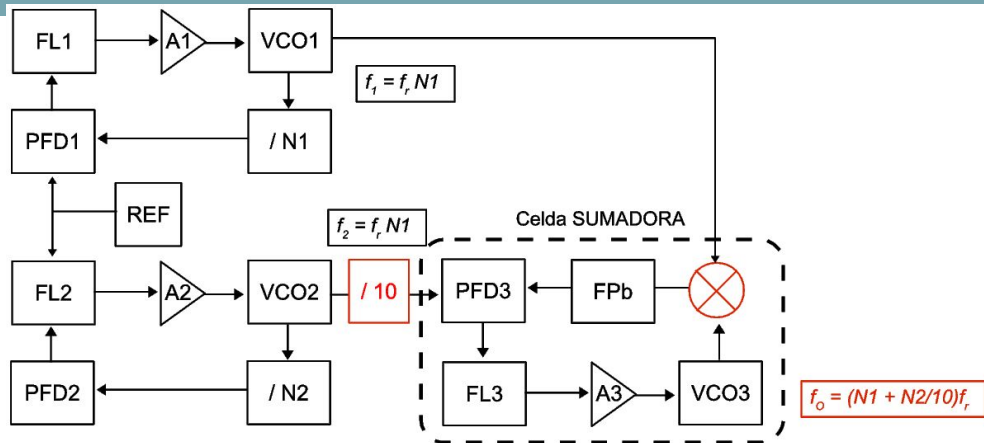


Disminuye exigencia, pero empeora resolución!

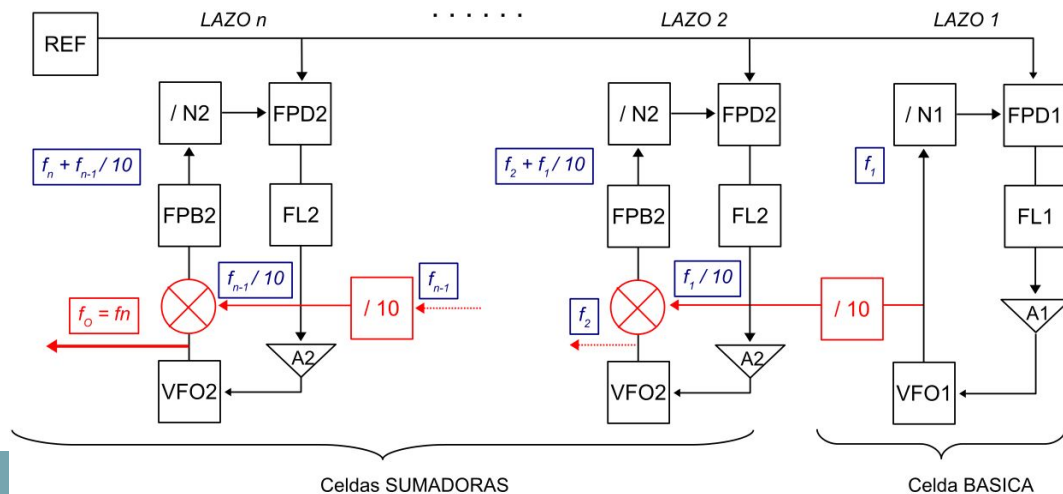


# PLLs multi-lazo

Una celda básica  
+  
una celda sumadora



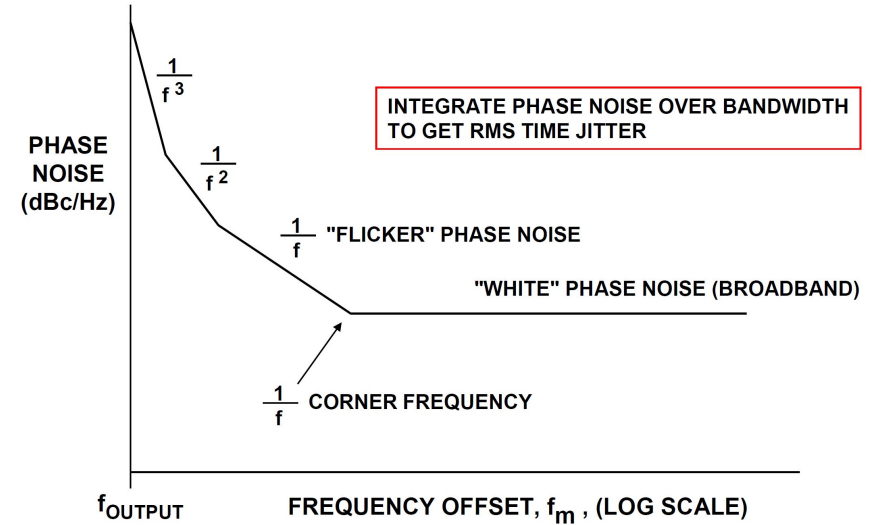
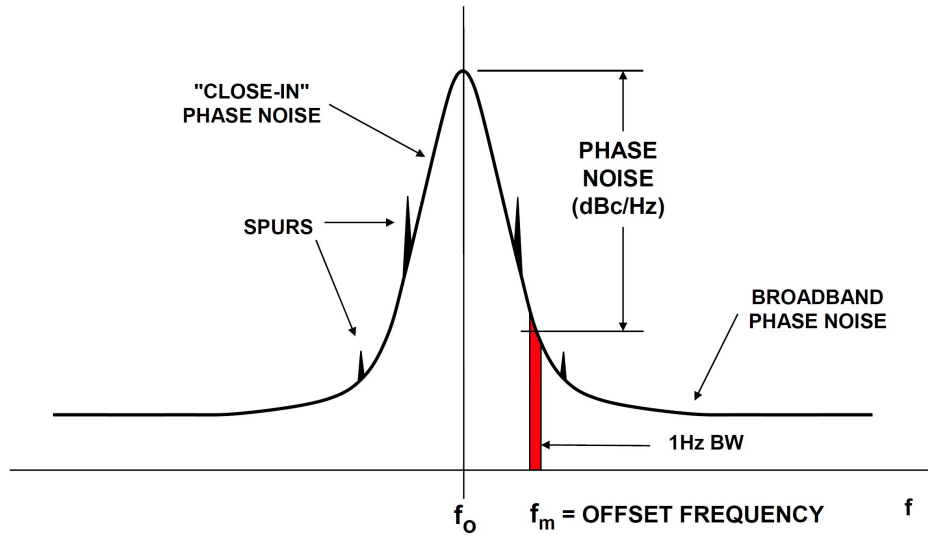
Extensión a  
múltiples celdas  
sumadoras



## Especificaciones del PLL de división entera

- $f_o = f_r \times N$ . La resolución es  $fr \Rightarrow$  se pueden hacer cambios **en pasos de  $fr$** .
- El **ancho de banda del filtro del lazo** (típico =  $fr/10$ ) determina características importantes :
  - Velocidad de conmutación (t de conmutación chico  $\Rightarrow$  BW grande)
  - Resolución ( $fr$  pequeña  $\Rightarrow$  BW pequeño)
  - Margen de fase, estabilidad del sistema de control
- **Estabilidad de frecuencia:** nos interesan las estabilidades de *largo plazo* y de *corto plazo*
  - **Largo plazo:**  $\Delta f/f$  en un periodo de tiempo (horas, días, meses), como % o en dB
  - **Corto plazo:** variaciones en un seg. o menos, pueden ser **aleatorias (ruido) o periódicas (armónicas, intermod., espurias)**.
    - **Espurias discretas:** clocks, interferencia de línea, productos de mezcla.
    - **Aleatorias:** ensanchamiento por **ruido de fase** causado por modulación del ruido térmico, ruido de disparo, o ruido de “flicker” (rosa,  $\sim 1/f$ ) en dispositivos activos y pasivos. **Se suele especificar en dBc/Hz a distintas distancias de la portadora, definiendo tres regiones principales según su pendiente  $1/f^x$ .  $x=0$ , horizontal, ruido blanco;  $x=1$ , -20 dB/dec, flicker noise;  $x=2, 3, 4$ , pendiente mayor, ruido de fase.**

## Especificaciones del PLL de división entera



# Agenda

## 1. Síntesis directa

### 1.1 Síntesis directa analógica (ADS)

- ❑ De cristal múltiple (conceptual)
- ❑ De cristal único (práctico, operaciones aritméticas)

### 1.2 Síntesis directa digital (DDS o AWG)

## 2. Síntesis indirecta

### 2.1 PLL de división entera

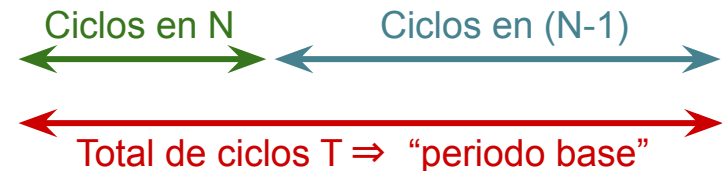
### 2.2 PLL de división fraccional

## PLL de división fraccional

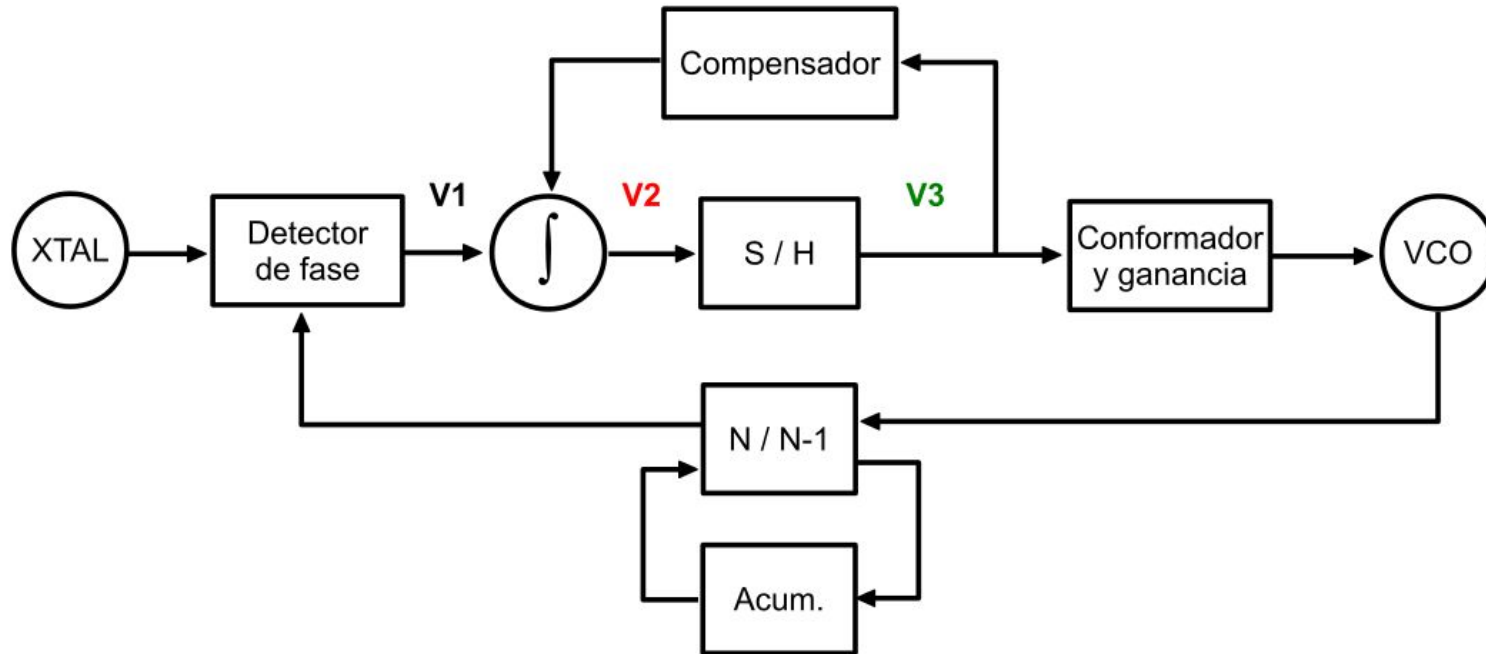
- Debido a que  $f_o = f_{ref} \times N$ , El PLL de división entera **no puede tener buen BW y buena resolución a la vez**
  - mayor BW  $\rightarrow$  mayor  $f_{ref} \rightarrow$  menor resolución  
 $\rightarrow$  mayor  $N \rightarrow$  empeora el ruido de fase, ya que es proporcional a  $(20 \log N) \times$  (ruido en la bomba de carga del detector de fase)
  - Mejor resolución  $\rightarrow$  menor  $f_{ref} \rightarrow$  filtro de lazo más angosto, se vuelve lento para conmutar
- Definiremos un nuevo divisor “**M**” fraccional tal que  $f_o = M f_{ref}$ . El divisor **M** será el resultado de aplicar dos divisores enteros **N** y **N-1** durante los periodos de tiempo correspondientes  $t_N$  y  $t_{N-1}$ . La suma de estos tiempos se denomina un “periodo base” de ciclos de  $f_o$   $T = t_N + t_{N-1}$ .
- Necesito obtener una tensión de control del VCO que resulte de ponderar las tensiones de error  $e_N$  y  $e_{N-1}$  durante sus tiempos correspondientes  $t_N$  y  $t_{N-1}$ , definiendo así el valor de M. Es decir, obtener un promedio. Para ello, uso un integrador sigma-delta.**

$$D = \text{ciclo de trabajo} = \frac{\text{Ciclos en } (N-1)}{\text{Total ciclos periodo base}}$$

$$M = \frac{N \cdot \text{ciclos}_N + (N-1) \cdot \text{ciclos}_{N-1}}{\text{Total periodo base}}$$

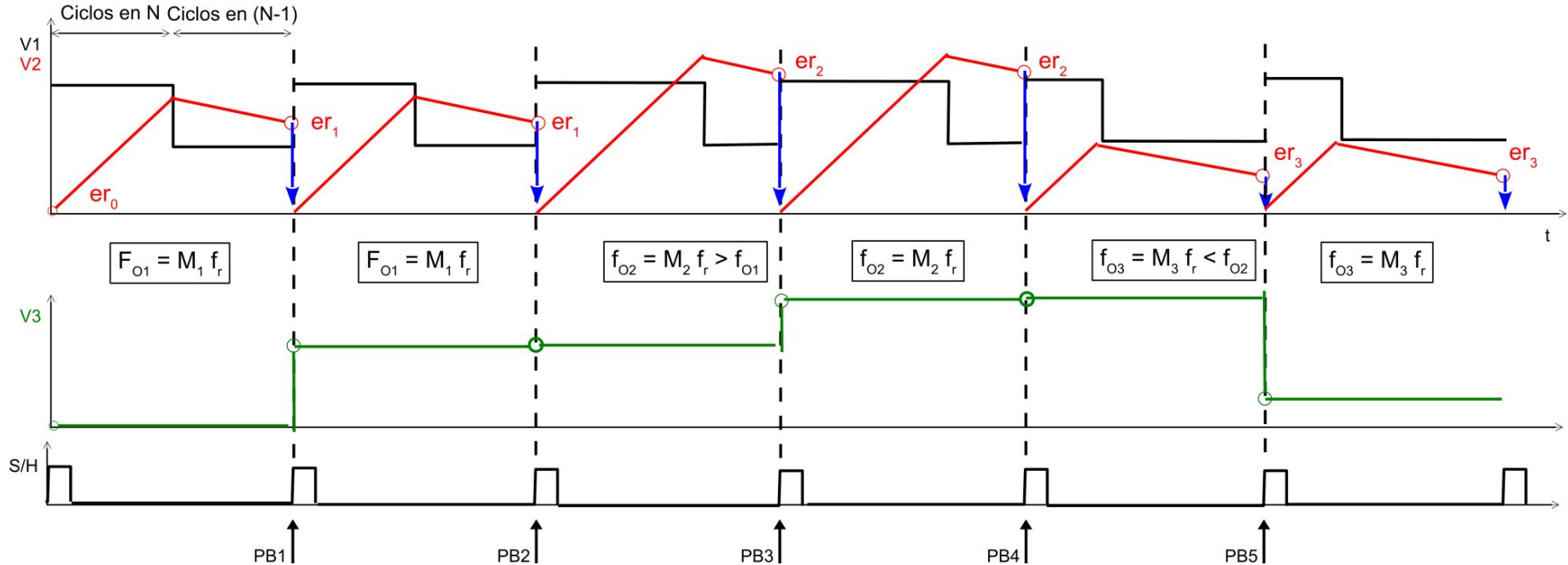


## PLL de división fraccional



Esquema básico de un PLL de división fraccional

## PLL de división fraccional



Ejemplos de ciclos de trabajo en distintos puntos del circuito

## PLL de división fraccional

**Ejemplo numérico 1:** se desea obtener una frecuencia  $f_0 = 7,4751 \text{ MHz}$ . Calcule los valores de  $f_{REF}$ ,  $N$ ,  $N-1$ , y cantidades de ciclos necesarias. Hay varias opciones según la  $f_{REF}$  elegida:

**Opción 1:** elijo  $f_{REF} = 1 \text{ MHz}$ . Ya que el  $M$  necesario será  $7 < M < 8$ , entonces  $N = 8$  y  $N-1 = 7$ . Ya que  $f_0$  necesita **4 lugares por debajo** de la década de  $f_{REF}$  (décadas de 100, 10, 1, y 0,1 KHz), se necesita un periodo base de  $10^4 = 10000$  ciclos. Durante 4751 de ellos el divisor estará en  $N$ , mientras que durante los 5249 ciclos restantes estará en  $N-1$ . Podemos comprobar los valores obtenidos:

$$M = \frac{8 \cdot 4751 + 7 \cdot 5249}{10000} = 7,4751$$

$$f_0 = M \cdot f_{REF} = 7,4751 \text{ MHz}$$

**Opción 2:** elijo  $f_{REF} = 100 \text{ KHz}$ . En este caso, tenemos que  $74 < M < 75$ , entonces  $N = 75$  y  $N-1 = 74$ . En este caso, se necesitan **3 lugares por debajo de 100 KHz** (décadas de 10, 1, y 0,1 KHz), por lo que el periodo base es  $10^3 = 1000$  ciclos. Durante 751 de ellos el divisor estará en  $N$ , mientras que durante los 249 ciclos restantes estará en  $N-1$ . Podemos comprobar los valores obtenidos:

$$M = \frac{75 \cdot 751 + 74 \cdot 249}{1000} = 74,751$$

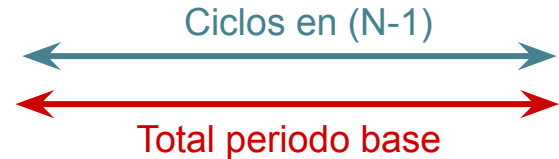
$$f_0 = M \cdot f_{REF} = 7,4751 \text{ MHz}$$



## PLL de división fraccional

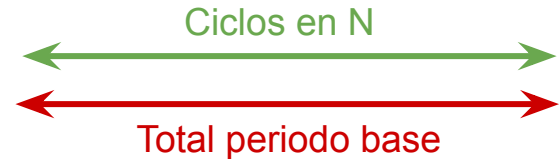
Al ir variando los valores de M, se producen dos **casos extremos**:

- Cuando **todos los ciclos estoy en N-1**, M es igual a N-1:



$$M = \frac{N \cdot \text{ciclos}_N + (N-1) \cdot \text{ciclos}_{N-1}}{\text{Total periodo base}} = \frac{0 + (N-1) \cdot \text{Total periodo base}}{\text{Total periodo base}} = N - 1$$

- Cuando **todos los ciclos estoy en N**, M es igual a N:



$$M = \frac{N \cdot \text{ciclos}_N + (N-1) \cdot \text{ciclos}_{N-1}}{\text{Total periodo base}} = \frac{N \cdot \text{Total periodo base} + 0}{\text{Total periodo base}} = N$$

Por ejemplo, para el Caso 1, podemos comprobar que:

- Si estoy todos los ciclos en N-1  $\rightarrow M = \frac{7 \cdot 10000}{10000} = 7 = N - 1$
- Si estoy todos los ciclos en N  $\rightarrow M = \frac{8 \cdot 10000}{10000} = 8 = N$

## PLL de división fraccional

**Ejemplo numérico 2:** en un PLL fraccional se tiene  $N = 15$ , y  $f_{REF} = 5 \text{ MHz}$ . Si el periodo base son 10000 ciclos de salida, calcule el rango de frecuencias de salida  $f_o$  posibles.

$$N = 15 \Rightarrow N-1 = 14$$

$$\Rightarrow f_o \text{ podrá variar entre los extremos } (N-1) \times f_{REF} = 70 \text{ MHz, y } N \times f_{REF} = 75 \text{ MHz}$$

Si el PLL fuera entero, sólo podríamos saltar de 70 a 75 MHz, o sea un paso de 5 MHz, que es lo que permite  $f_{REF}$ . Ahora, al tener un PLL fraccional con 10000 ciclos de periodo base, quiere decir que agregaré 10000 pasos de frecuencia entre estos extremos. Es decir, el paso será ahora 10000 veces menor a 5 MHz. **Así, el paso, salto, o resolución de frecuencia será ahora:  $\text{resolución} = 5 \text{ MHz} / 10000 = 0,5 \text{ KHz}$**

En resumen, con estas especificaciones **se podrá implementar un PLL fraccional que vaya de 70 MHz a 75 MHz en pasos de 0,5 KHz**. Lógicamente, el costo que se paga es que el tiempo a esperar para realizar un cambio será  $10000 \times (1/f_o)$ , como ilustra la filmina 28.

## Bibliografía

W. Tomasi, *Sistemas de Comunicaciones Electrónicas 4 Ed.*, Pearson, 2003

*5100 Frequency synthesizer operating and service manual*, Hewlett-Packard Co., 1965

*Fundamentals of direct digital synthesis (DDS)*, Tutorial MT-085, Analog Devices, 2009

*Fundamentals of phase-locked loops (PLLs)*, Tutorial MT-086, Analog Devices, 2009

*Fractional/Integer-N PLL basics*, Technical Brief SWRA029, Texas Instruments, 2010

