ELECTRÓNICA APLICADA III TRABAJO PRÁCTICO Nº4 - PHASE LOCKED LOOP

Cano, Francisco Legajo: 67236

Durante, Matías Legajo: 68276

Pittaro, Pablo Legajo: 67277 frankno@hotmail.com matiiid147@gmail.com pablopittaro96@gmail.com julito.ie@live.com

Sánchez Julio Legajo: 66813

Universidad Tecnológica Nacional - FRC - Ingeniería Electrónica - Curso 5R1 - Grupo 4 - Año 2018

I. Introducción

Un Phase Locked Loop (PLL) es un sistema de control realimentado donde la señal de realimentación es una frecuencia en lugar de una tensión. El circuito PLL sincroniza la fase y frecuencia de un oscilador con una señal de referencia.

Se lo conoce también como sintetizador de frecuencia, ya que permite disponer de una frecuencia muy estable y precisa.

Sus principales aplicaciones son:

- Generación y recuperación de portadoras en emisión.
- Demodulación de señales analógicas o digitales moduladas en frecuencia.
- Divisores y multiplicadores de frecuencia.

El PLL tiene dos modos de operación, uno denominado Modo de Adquisición, donde el PLL intenta sincronizar la frecuencia y la fase de salida del VCO con una señal de entrada. En este modo el PLL se comporta como un sistema no lineal y los errores de fase entre las señales puede ser grande. El segundo estado de operación se denomina Modo de Seguimiento, donde el PLL se puede estudiar como un sistema lineal simple y la diferencia de fase entre las señales de entrada y salida es pequeña.

II. MARCO TEÓRICO

II-A - Estados de Funcionamiento

Estado Dinámico: Cuando la salida no está enganchada o sincronizada con la referencia. Como un caso particular de este caso se encuentra el estado de "corrida libre".

Estado Estático: Corresponde cuando la salida está enganchada o sincronizada con la referencia. También se denomina estado fijo.

II-B - Rangos de Funcionamiento

Corrida Libre: Corresponde a la frecuencia de salida fo del VCO cuando el PLL no se encuentra enganchado.

Rango de Sostén: Rango en el cuál el PLL puede mantener el "tracking" o seguimiento de fase. El PLL está enganchado con la señal de referencia si ésta se reduce o incrementa lentamente. Si, en cambio, varía mucho, el PLL puede perder el enganche en los extremos.

Rango de captura: A partir del PLL desenganchado, es el rango de frecuencias en el que el mismo puede engancharse a la frecuencia de entrada. Éste define el rango de operación del PLL.

En la Figura 1 se pueden observar los rangos mencionados anteriormente.

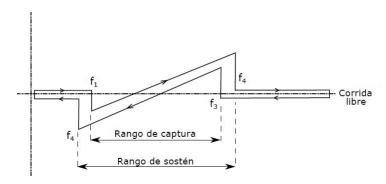


Figura 1 - Rangos de Funcionamiento

II-C - Bloques y Principio de Funcionamiento

En la Figura 2 se puede observar un diagrama en bloques que representa la estructura de un PLL.



Figura 2 - Bloques Principales de un PLL

Detector de Fase

Compara la fase de la señal de entrada fs con la del VCO, fo. En su salida contiene las frecuencias de entrada fs, fn, y su suma y diferencia fs±fn. Además se genera una tensión en función de la diferencia de fase entre ambas. El detector de fase es un multiplicador en PLL analógicos, y está formado por compuertas lógicas en un PLL digital.

Si la frecuencia de entrada fs es igual a la frecuencia de corrida libre ff del VCO, la tensión de control dentro del VCO deberá ser cero. La tensión de salida del comparador Ve generalmente es función sinusoidal, triangular o diente de sierra de θ_e .

El factor de ganancia del detector en estado permanente se detalla en la Ec.1.

$$K_d = \frac{\Delta V_e}{\Delta \theta_e} \tag{1}$$

Es conveniente trabajar con pequeños valores de θ_e para reducir al mínimo la posibilidad de que un pulso de ruido saque del estado de enganche al PLL.

Filtro Pasa Bajo

El filtro pasa bajos tiene dos funciones importantes, en primer lugar eliminar ruido y componentes de alta frecuencia, dejando pasar solo la diferencia fs-fn o una tensión continua cuando el lazo esta fijo y estable.

En segundo lugar, es el bloque que más influye en la determinación de las características dinámicas del lazo, como el rango de captura y enganche, el ancho de banda y la respuesta transitoria.

El filtro pasa bajos puede ser activo o pasivo. En el presente se emplea un filtro RC cuya función de transferencia es la indicada en la Ec.2.

$$F(s) = \frac{1}{1 + \tau s} \tag{2}$$

VCO

Es un oscilador controlado por tensión, que oscila libremente a una frecuencia denominada frecuencia de corrida libre ff cuando a su entrada la tensión es cero. La ff es comparada con la frecuencia fS de una señal de referencia en el detector de fase.

Presenta un desplazamiento de frecuencia Δfo proporcional a la tensión de entrada Vd. La frecuencia de salida se expresa en la Ec.3.

$$f_o = f_f + \Delta f_o = f_f + K_o V_d \tag{3}$$

Si la frecuencia de la señal *Ve* es lo suficientemente baja para que el filtro pasabajos no la atenúe, *Vd* controlará el VCO, tendiendo a reducir la diferencia de frecuencias hasta que se igualen.

Al sincronizarse *Vo* y *Vs*, (*fo=fs*), el detector de fase entrega una tensión Ve, con una componente continua estable necesaria para que el VCO iguale la frecuencia de la señal de referencia.

El VCO actúa como un integrador de los errores de fase. Mantiene el estado fijo del bucle durante perturbaciones momentáneas.

III. DISEÑO DE RED PLL

En esta sección se realizan los cálculos para la implementación de una red PLL multiplicadora por 10, con las siguientes especificaciones:

- f_s = 15kHz 25 kHz
- $= \xi = 0.4$
- *VDD*= 12V
- Filtro de Lazo RC

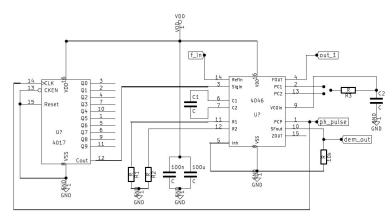


Figura 3 - Circuito de Implementación

III-I - Cálculos de componentes

En la hoja de datos del integrado CD4046 encontramos la relación de R2/C1 en la Figura 6 y de R2/R1 en la Figura 8 de dicho datasheet, las cuales se pueden visualizar a continuación:

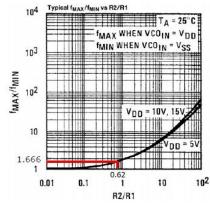


Figura 4 - Cálculo de coeficiente R2/R1

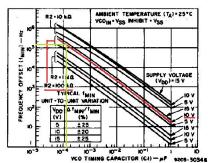


Fig. 6 — Typical frequency offset as a function of C1 and R2 for V_{DD} = 5 V, 10 V, and 15 V.

Figura 5 - Cálculo de C1 y R2

C1 - R2

Para obtener el valor de C1, debemos ubicarnos en la Figura 5, donde se deberá tener en cuenta la frecuencia mínima de trabajo y la tensión de alimentación de nuestro circuito.

Eligiendo un valor de R2 de 100 k Ω se obtiene un valor de C1 de aproximadamente 140 pF.

Como se visualiza en la Figura 4, la relación de R2 con R1 está determinada por la frecuencia máxima y mínima de trabajo de dicho PLL. De esta manera obtenemos la relación de frecuencias

$$\frac{f_M}{f_m} = \frac{[250kHz]}{[150kHz]} = 1,666\tag{4}$$

Por medio de ésto proseguimos a obtener la relación de R2 con R1 por medio de la tabla, donde

$$\frac{R2}{R1} = 0.62 \tag{5}$$

Siendo R2=100k Ω , entonces R1 tendrá un valor de 161.29k Ω .

R3 - C2

Estos valores dependen de la respuesta transitoria que se desee obtener. Por las condiciones especificadas el valor de coeficiente de amortiguamiento es ξ =0,4.

Para encontrar el valor numérico de estos componentes es necesario obtener en primer lugar las ganancias K_d y K_o .

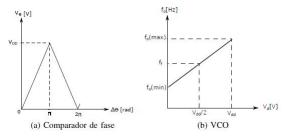


Figura 6

La forma de onda de la tensión de salida del comparador de fase empleado se encuentra en la Fig.6a. A partir de esta se obtiene Kd según la Ec.6.

$$K_d = \frac{\Delta V_E}{\Delta \theta_E} = \frac{VDD}{\pi} = 3,819[V/rad] \tag{6}$$

En la Fig.6b se observa una gráfica que relaciona la tensión Vd, de entrada al VCO, con la frecuencia fo de salida. La ganancia Ko del VCO se obtiene de la Ec.7.

$$K_o = \frac{2\pi\Delta f_o}{\Delta V_d} = \frac{2\pi(fmax - fmin)}{VDD} \tag{7}$$

$$K_o = 52359,877[rad/s]$$
 (8)

La ganancia del lazo está determinada por

$$\frac{K_d K_d}{N} = 19999,99 \cong 20000 \tag{9}$$

Donde N es el coeficiente de división divisor.

Por Teoría de Control, se obtiene la relación entre el coeficiente de amortiguamiento, las ganancias calculadas, el coeficiente de división N y los valores R3 y C2, la cual se visualiza en la Ec.10.

$$R3C2 = \frac{N}{(2\xi)^2 K_d K_o} \tag{10}$$

Tomando un valor de C2 de 10nF obtenemos el valor correspondiente de R3, el cual es $15.625 k\Omega$.

III-II - Mediciones

III-II-A Rangos de Funcionamiento

La medición de los rangos se realiza utilizando un generador de funciones de onda cuadrada con offset (0-VDD).

Variando la frecuencia del generador se determina a qué frecuencias dicho PLL se engancha cuando éste se encuentra desenganchado, ya sea para el límite superior e inferior, y a qué frecuencias se desengancha cuando se encuentra enganchado.

Rango de Captura:

- fmin=12.720kHz
- fsup=25.930kHz

Rango de Sostén:

- fmin=12.700kHz
- fsup=25.986kHz

III-II-B - Ganancia de Lazo

A partir del circuito de la Figura 3 se introduce una señal cuadrada al pin 14 del CD4046 con tensión entre 0[V] y +VDD. Con un osciloscopio se mide el defasaje entre la señal introducida y la que se obtiene en el pin 3 del mismo integrado.

Esta medición se realiza para dos frecuencias de entrada según la condición de que $f_s>\frac{f_s}{N}$

$$\begin{array}{ll} & f_s 1 = 21[kHz] \\ & T_1 = \frac{1}{f_s 1} = 47,\!619[\mu S] \\ & \tau_1 = 9,\!6[\mu S] \\ & \theta_1 = 2\pi \frac{\tau_1}{T_1} = 1,\!266[rad] \end{array}$$

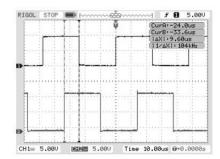


Figura 8 - Ganancia de $f_s 1$

$$\begin{array}{ll} \bullet & f_s 2 = 24[kHz] \\ & T_2 = \frac{1}{f_s 1} = 41,666[\mu S] \\ & \tau_2 = 5,2[\mu S] \\ & \theta_2 = 2\pi \frac{\tau_2}{T_2} = 0,784[rad] \end{array}$$

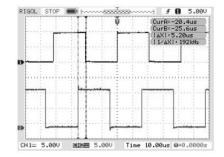


Figura 9 - Ganancia de $f_s 2$

La ganancia de lazo se obtiene mediante la Ec.10 según los valores obtenidos en las mediciones

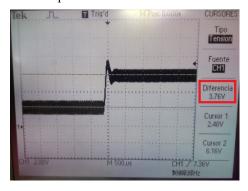
$$\frac{K_d K_o}{N} = \frac{2\pi \Delta f_s}{\Delta \theta} = 39106,96 \left[\frac{rad/s}{rad} \right] \tag{11}$$

III-II-C - Sobrepasamiento y Constantes de Tiempo

Para la medición del sobrepasamiento se utiliza una señal modulada en frecuencia, cuya frecuencia central es 20 [KHz] y tiene una desviación de 2 [KHz].

Como no es posible observar el comportamiento transitorio de la frecuencia de salida, lo que se realiza es observar el comportamiento de la tensión Vd que controla al VCO.

En la Fig.10 se observan dos formas de onda que corresponden a la tensión Vd a partir de las cuales se obtiene que el sobrepasamiento porcentual Mp



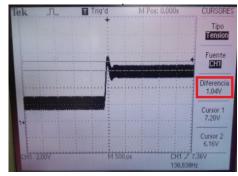


Figura 10 - Medición de Mp

De dicha medición se obtuvo el valor de tp= $120\mu S$. Con las mediciones obtenidas se procede a calcular Mp

$$Mp = \frac{Y(pico) - Y(\infty)}{Y(\infty)} * 100 = \frac{1{,}04}{3{,}76} * 100 = 27{,}65 \div (12)$$

Obtenido Mp, se procede a calcular el ξ de nuestro PLL. Donde en la Ec.13 observamos su cálculo.

$$\xi = \frac{\sigma}{\omega n} \tag{13}$$

Para la obtención de σ despejamos esta variable de la Ec.14 de Mp.

$$Mp = e^{-\frac{\pi\sigma}{\omega p}} \tag{14}$$

Donde $\omega p = \frac{\pi}{tp} = 26179,938 [rad/s]$

De esta manera $\sigma = 10709,985$.

Con σ calculado, se obtiene ωn con la Ec.15.

$$\omega n = \sqrt{\omega p^2 + \sigma^2} \tag{15}$$

Por consiguiente, $\omega n = 28285,91[rad/s]$

Finalmente obtenemos ξ

$$\xi = \frac{\sigma}{\omega n} = \frac{10709,938}{28285,91} = 0,37 \tag{16}$$

Como podemos comprobar el valor obtenido es similar al dado como dato al comienzo de la sección D, el cual es 0.4.

IV. Conclusión

El cálculo de los componentes de la red se realiza según las especificaciones indicadas en el práctico, empleando la hoja de datos proporcionada por el fabricante del integrado CD4046, donde se hace uso de gráficas para la obtención de las magnitudes a implementar, por lo que la exactitud de estas no es muy buena.

Este es uno de los motivos por el cual en el momento de implementar nuestro PLL, los valores calculados durante el desarrollo de este informe debieron ser modificados, y éstos quedaron determinados a prueba y error de los integrantes del grupo para que dicho PLL trabaje en la zona deseada.

Por último, si el comportamiento transitorio del VCO no es el adecuado, se puede modificar mediante la variación de los parámetros del bloque de filtrado.

A continuación se mostrará una tabla informativa con los valores obtenidos mediante cálculos y aquellos valores que fueron usados para la implementación y buen funcionamiento del PLL.

•	Cálculos	Implementación
R1	161 kOhm	56 kOhm
R2	100 kOhm	37 kOhm
R3	15 kOhm	150 Ohm
C1	140 pF	330 pF
C2	10 nF	200 nF

Finalmente, el valor obtenido mediante las mediciones correspondientes de ξ es el esperado y aproximado al otorgado como dato al comenzar dicho trabajo práctico.