

ELECTRÓNICA APLICADA III

TRABAJO PRÁCTICO N°4 - PHASE LOCKED LOOP

Elías, Tomás	Hernando, Diego	Malerba, Iñaki	Miranda, Joaquín
Legajo: 62510	Legajo: 62509	Legajo: 63495	Legajo: 62513
tomi.elias93@gmail.com	djhernando96@gmail.com	inakimmalerba@gmail.com	joakocerocho@gmail.com

Universidad Tecnológica Nacional - Facultad Regional Córdoba - Ingeniería Electrónica - Curso: 5R1 - Grupo: 3

I. INTRODUCCIÓN

El PLL (Phase Locked Loop) es un circuito que mediante una señal de referencia externa, controla la frecuencia y fase de un oscilador. Es un sistema de control realimentado, donde la señal de realimentación es una frecuencia en lugar de una tensión.

Se lo conoce también como sintetizador de frecuencia, ya que permite disponer de una frecuencia muy estable y precisa. Sus principales aplicaciones son

- Generación y recuperación de portadoras en emisión.
- Demodulación de señales analógicas o digitales moduladas en frecuencia.
- Divisores y multiplicadores de frecuencia.

II. MARCO TEÓRICO

II-A. Estados de funcionamiento

Estado Dinámico: Cuando la salida no está enganchada o sincronizada con la referencia. Como un caso particular de este caso se encuentra el estado de “corrida libre”, que corresponde a la frecuencia f_o de salida del VCO cuando el PLL no está enganchado.

Estado Estático: Corresponde cuando la salida está enganchada o sincronizada con la referencia. También se denomina estado fijo.

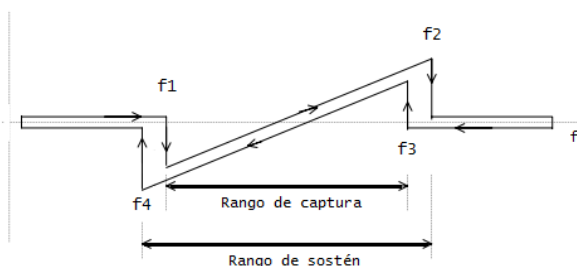


Figura 1. Rangos de funcionamiento.

II-B. Rangos de funcionamiento

Rango de sostén: Rango en el cuál el PLL puede mantener el “tracking” o seguimiento de fase. El PLL está enganchado con la señal de referencia si ésta se reduce o incrementa lentamente. Si, en cambio, varía mucho, el PLL puede perder el enganche en los extremos.

Ambos extremos son fijados por diseño.

Rango de captura: Margen de frecuencias en las cuáles, el PLL, en un tiempo mayor al período de la salida, se engancha en cualquier condición.

En la Fig.1, se detallan gráficamente los dos rangos mencionados.

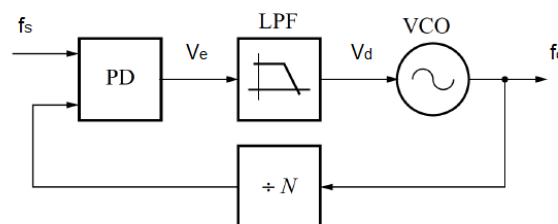


Figura 2. Bloques fundamentales de un PLL.

II-C. Bloques fundamentales

El PLL, representado por la Fig.2, se compone principalmente por 4 bloques.

II-C1. Detector de fase (PD): Compara la fase de la señal de entrada f_s con la del VCO f_o . En su salida contiene las frecuencias de entrada f_s , f_n , y su suma y diferencia $f_s \pm f_n$. Además se genera una tensión en función de la diferencia de fase entre ambas. El detector de fase es un multiplicador en PLL analógicos, y está formado por compuertas lógicas en un PLL digital.

Si la frecuencia de entrada f_s es igual a la frecuencia de corrida libre f_f del VCO, la tensión de control dentro del VCO deberá ser cero. La tensión de salida del comparador

El factor de ganancia del detector en estado permanente se detalla en la Ec.1

$$K_d = \frac{\Delta v_e}{\Delta \theta_e} \quad (1)$$

Es conveniente trabajar con pequeños valores de θ_e para reducir al mínimo la posibilidad de que un pulso de ruido saque del estado de enganche al PLL.

II-C2. Filtro pasabajos (LPF): El filtro suprime las frecuencias de entrada al VCO no deseadas generadas por el detector de fase.

Tiene dos funciones importantes:

- Eliminar el ruido y cualquier componente de alta frecuencia de la salida del detector de fase, dejando pasar solo la componente de baja frecuencia cuando se está adquiriendo el estado fijo, una continua, o pequeñas variaciones cuando el PLL ya está en estado fijo.
- Determinar las características dinámicas del lazo, rango de captura, respuesta en frecuencia y respuesta transitoria.

II-C3. VCO: Es un oscilador controlado por tensión, que oscila libremente a una frecuencia denominada frecuencia de corrida libre f_f cuando a su entrada la tensión es cero. La f_f es comparada con la frecuencia f_S de una señal de referencia en el detector de fase.

Presenta un desplazamiento de frecuencia Δf_o proporcional a la tensión de entrada V_d . La frecuencia de salida se expresa en la Ec.2

$$f_o = f_f + \Delta f_o = f_f + K_o V_d \quad (2)$$

Si la frecuencia de la señal V_e es lo suficientemente baja para que el filtro pasabajos no la atenúe, V_d controlará el VCO, tendiendo a reducir la diferencia de frecuencias hasta que se igualen.

Al sincronizarse V_o y V_s , ($f_o = f_s$), el detector de fase entrega una tensión V_e , con una componente continua estable necesaria para que el VCO iguale la frecuencia de la señal de referencia.

El VCO actúa como un integrador de los errores de fase. Mantiene el estado fijo del bucle durante perturbaciones momentáneas.

III. CÁLCULO E IMPLEMENTACIÓN DEL PLL

Para la implementación del PLL, se utiliza el circuito presente en la Fig.3

Las especificaciones que debe cumplir la red PLL multiplicadora por 10, son:

- $f_{in} = 15$ [KHz] a 25 [KHz]
- $\xi = 0,4$

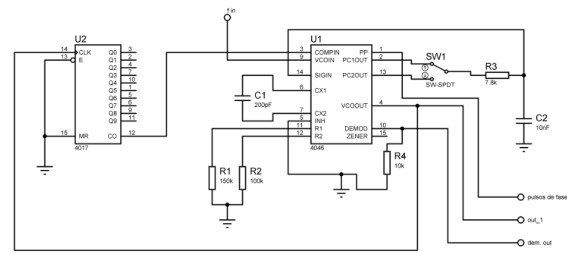


Figura 3. Esquemático.

- $V_{DD} = 12$ [V]
- Filtro de lazo RC

III-1. Cálculo de R_1, R_2, C_1 : Se parte de los datos:

$$f_{VCO}(min) = 150[KHz]; VDD = 12[V]$$

Se fija $R_2 = 100 \text{ [K}\Omega\text{]}$ y utilizando el gráfico de la Fig.4, se determina $C_1 = 180 \text{ [pF]}$.

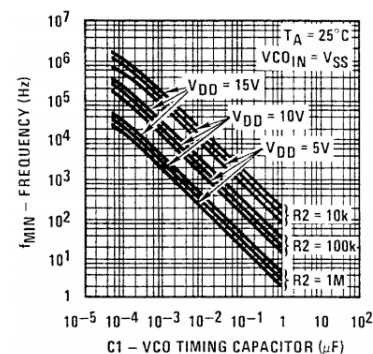


Figura 4. Cálculo C_1

En el cálculo de R_1 , se utiliza el gráfico de la Fig.5 para determinar la relación $\frac{R_2}{R_1}$, ingresando por el eje de ordenadas con la relación $\frac{f_{max}}{f_{min}}$ y teniendo en cuenta V_{DD} .

Obteniendo, $R_1 = 142,8 \text{ [K}\Omega\text{]}$.

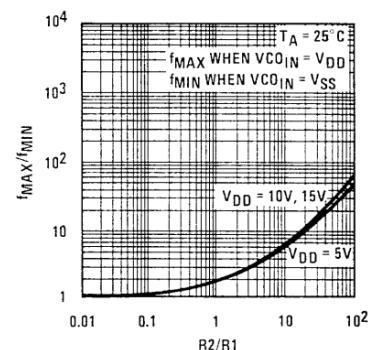


Figura 5. Cálculo R_1

Las Fig.4 y Fig.5 se obtienen de la hoja de datos del CD4046.

III-2. Cálculo de R_3, C_2 : De estos valores depende la característica de la respuesta transitoria del sistema. Se tiene en cuenta el coeficiente de amortiguamiento especificado de $\xi = 0,4$.

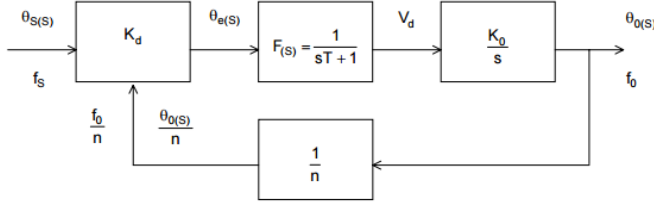


Figura 6. Diagrama de bloques estado estacionario

En la Fig.6 se muestra el diagrama de bloques en estado estacionario, del cuál aplicando teoría de control se determina la función de transferencia Ec.3

$$\frac{\theta_o(s)}{\theta_s(s)} = n \frac{\frac{K_o K_d}{nT}}{s^2 + s\frac{1}{T} + \frac{K_o K_d}{nT}} = n \frac{\omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n^2} \quad (3)$$

Operando se llega a la Ec.4

$$R_3 C_2 = T = \frac{n}{(2\xi)^2 K_o K_d} \quad (4)$$

Se calculan los valores de las ganancias K_d del comparador de fase y K_o del VCO para obtener los valores de R_3 y C_2 .

Teniendo en cuenta la forma de onda de salida del comparador de fase Fig.7, la ganancia del mismo se expresa en la Ec.5

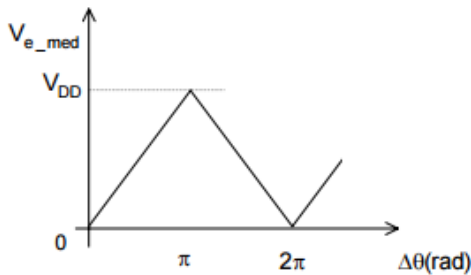


Figura 7.

$$K_d = \frac{\Delta V}{\Delta \theta} = \frac{V_{DD}}{\pi} \quad (5)$$

La ganancia K_o se determina en la Ec.6 se obtiene relacionando la variación de frecuencia respecto de la tensión. Fig.8

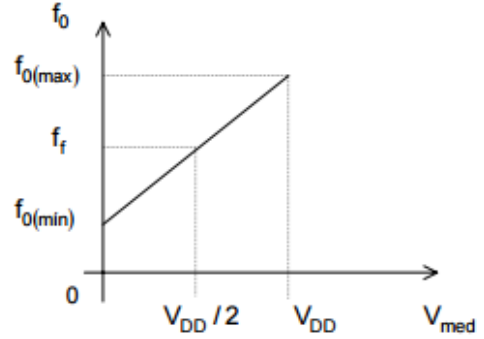


Figura 8.

$$K_o = \frac{\Delta \omega}{\Delta V_d} = \frac{2\pi(f_{max} - f_{min})}{12} \quad (6)$$

Con los datos de las ganancias calculadas y sabiendo $n=10$, se calcula T de la Ec.4.

$$T = 78,13[\mu s]$$

Se fija un valor $C_2 = 10$ [nF] y se obtiene el valor de R_3 . Ec. 7

$$R_3 = \frac{T}{C_2} = 7813[\Omega] \quad (7)$$

IV. MEDICIONES

IV-A. Rangos de funcionamiento

La medición de los rangos se realiza utilizando un generador de funciones de onda cuadrada con off-set ($0-V_{DD}$). Variando la frecuencia del generador se determina cuando se "engancha" y "desengancha" el PLL.

Rango de captura:

- $f_1 = 13,5$ [KHz]
- $f_3 = 23,6$ [KHz]

Rango de sostén:

- $f_4 = 12,7$ [KHz]
- $f_2 = 26,3$ [KHz]

La frecuencia de corrida libre se mide cuando el PLL no tiene una señal de referencia a su entrada, estando el mismo desenganchado.

$$\frac{f_f}{n} = 18[\text{KHz}]$$

IV-B. Ganancia de lazo

Se utiliza un generador de onda cuadrada con tensiones entre $0-V_{DD}$ y un osciloscopio para observar el defasaje entre la señal que ingresa al comparador respecto a la señal de referencia.

La medición se realiza con dos valores de frecuencia que cumplan $f_s > \frac{f_f}{n}$.

$$f_{s1} = 20 [\text{KHz}]$$

$$\tau_1 = 13,6 [\mu\text{s}]$$

$$T_1 = \frac{1}{f_{s1}} = 50[\mu\text{s}]$$

$$\theta_1 = 2\pi \frac{\tau_1}{T_1} = 1,70$$

$$f_{s2} = 21 [\text{KHz}]$$

$$\tau_2 = 14,4 [\mu\text{s}]$$

$$T_2 = \frac{1}{f_{s2}} = 47,6[\mu\text{s}]$$

$$\theta_2 = 2\pi \frac{\tau_2}{T_2} = 1,9$$

El defasaje para 20 [KHz] se observa en la Fig.9

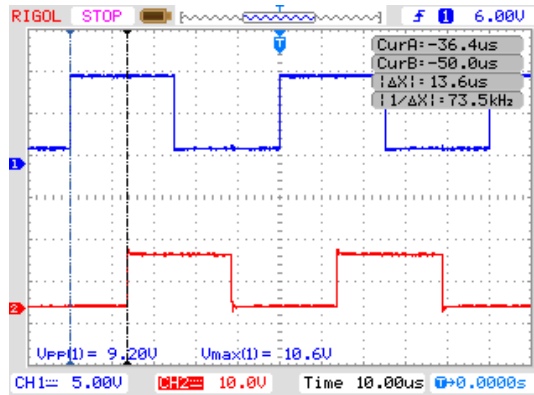


Figura 9.

Quedando el cálculo de la ganancia de lazo en la Ec.8

$$\frac{K_o K_d}{n} = \frac{\Delta\omega_s}{\Delta\theta}$$

$$\frac{\Delta\omega_s}{\Delta\theta} = \frac{2\pi(f_{21\text{KHz}} - f_{20\text{KHz}})}{\theta_2 - \theta_1} = 31315,92 \left[\frac{\text{rad/s}}{\text{rad}} \right] \quad (8)$$

IV-C. Sobreapamiento y constantes de tiempo

Para la medición del sobreapamiento se utiliza una señal modulada en frecuencia, cuya frecuencia central es 20 [KHz] y tiene una desviación de 2 [KHz].

La medición de la respuesta del sistema, Fig.10, se realiza a la entrada del VCO, dónde se mide V_d , la tensión que lo controla.

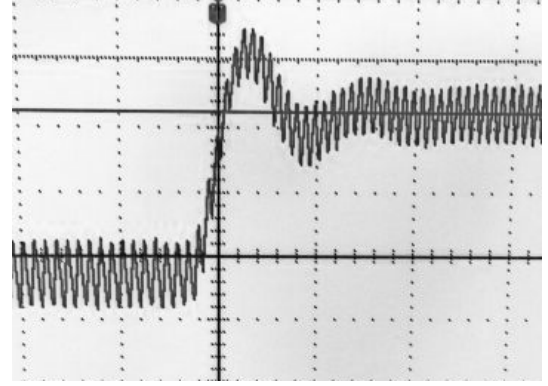


Figura 10.

El sobreapamiento medido indica que la respuesta transitoria del sistema tiene un $\xi = 0,41$. El tiempo pico t_p es el tiempo en que la respuesta alcanza su valor pico, y el T' es el tiempo en el cuál el transitorio se considera extinguido.

Valores obtenidos:

- $M_p = 0,263$
- $t_p = 128 [\mu\text{s}]$
- $T' = 304 [\mu\text{s}]$

V. CONCLUSIONES

Se observa que los rangos de sostén y captura, se encuentran en un valor un poco menor al esperado, esto se debe a que en la implementación, los valores de R_1 como de R_2 son sacados de los gráficos y esto puede llevar a cometer un error. De todas maneras se recomienda utilizar potenciómetros multivuelta para realizar un mejor ajuste.

La ganancia medida dista del valor calculado debido a que los rangos de sostén y captura difieren de los tenidos en cuenta en el cálculo.

El valor del ξ es el esperado, en la implementación del filtro se recomienda también la utilización de un potenciómetro multivuelta para realizar un mejor ajuste del sobreapamiento.

REFERENCIAS

- [1] Ing. Rabinovich, Daniel. Apunte de Electrónica Aplicada III.
- [2] Ing. Oros, Ramón C. Apunte de Electrónica Aplicada III.