

UNIVERSIDAD TECNOLÓGICA NACIONAL
FACULTAD REGIONAL DE CÓRDOBA

Trabajo Práctico De Laboratorio N°4
Phase Locked Loop (PLL)

Nobile , Jonathan
Orellana , Cristian
Aybar , Johana
Gilardi , Nicolas

Curso: 5r1
Grupo N°4

Electrónica Aplicada III

Docentes:
Ing. Rabinovich, Daniel
Ing. Yoaquino, Leandro

30 de julio de 2019

Índice

1. Introducción	2
2. Marco Teórico	2
2.1. Estados de funcionamiento	2
2.2. Bloques y principio de funcionamiento	2
2.3. Rangos de funcionamiento	3
3. Diseño de red <i>PLL</i>	3
3.1. Cálculos de componentes	3
3.1.1. C1 y R2	3
3.1.2. R1	3
3.1.3. R3 y C2	4
4. Experiencia práctica	4
4.1. Rangos de funcionamiento	4
4.2. Ganancia de lazo	4
4.3. Sobrepasamiento y constante de tiempo	5
5. Conclusión	6

1. Introducción

Un “Phase Locked Loop” (*PLL*) o bucle de fase enganchado consta de una serie de bloques interconectados que le permiten al sistema ajustarse y modificar su frecuencia hasta que no exista diferencia de fase entre las señales de entrada y salida. Es un sistema de control realimentado, donde la señal de realimentación es una frecuencia en lugar de una tensión.

Se lo conoce también como sintetizador de frecuencia, ya que permite disponer de una frecuencia muy estable y precisa.

Sus principales aplicaciones son:

- Generación y recuperación de portadoras en emisión.
- Demodulación de señales analógicas o digitales moduladas en frecuencia.
- Divisores y multiplicadores de frecuencia.

El *PLL* tiene dos modos de operación,

- **Modo de Adquisición** donde el *PLL* intenta sincronizar la frecuencia y la fase de salida del *VCO* con una señal de entrada. En este modo el *PLL* se comporta como un sistema no lineal y los errores de fase entre las señales puede ser grande.
- **Modo de Seguimiento** donde el *PLL* se puede estudiar como un sistema lineal simple y la diferencia de fase entre las señales de entrada y salida es pequeña.

2. Marco Teórico

2.1. Estados de funcionamiento

- **Estado dinámico:** Cuando la salida no está enganchada o sincronizada con la referencia. Como un caso particular de este caso se encuentra el estado de “corrida libre”.
- **Estado estático:** Corresponde cuando la salida está enganchada o sincronizada con la referencia. También se denomina estado fijo.

2.2. Bloques y principio de funcionamiento

En la figura 1 se muestra un diagrama en bloques que representa la estructura básica de un circuito *PLL*.

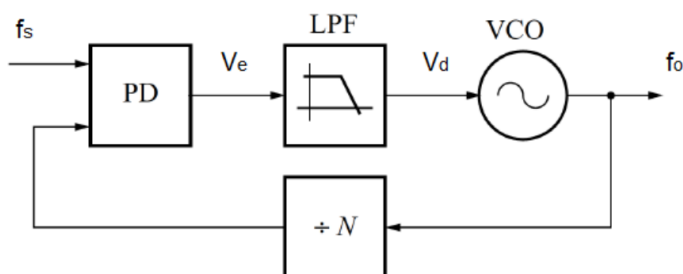


Figura 1: Bloques principales de un *PLL*.

- **Comparador de fase** El comparador de fase es un dispositivo no lineal con dos señales de entrada cuya frecuencia son f_s y f_o/N , generalmente es un mezclador. La salida de este bloque contiene la suma y diferencia de las frecuencias de entrada, es el filtro pasa bajos el que se

encarga de que solo se transmita la señal diferencia, que es una tensión continua cuando el *PLL* se encuentra enganchado.

La salida genera una tensión que es función de la diferencia de fase $\theta_e = \theta_s - \theta_n$ entre las señales de entrada. Si la frecuencia de entrada es igual a la frecuencia de corrida libre del *VCO*, la tensión de control deberá ser cero. En los comparadores de fase más comunes, la tensión de salida es función sinusoidal, triangular o diente de sierra de la diferencia de fase.

El factor de ganancia del comparador de fase en estado enganchado se expresa como,

$$K_d = \frac{\Delta V_e}{\Delta \theta_e}$$

■ Filtro pasa bajos

El filtro pasa bajos tiene dos funciones principales,

- En primer lugar, eliminar ruido y componentes de alta frecuencia, dejando pasar solo la diferencia $f_s - f_n$ o una tensión continua cuando el lazo está fijo y estable.
- En segundo lugar, este es el bloque que más influye en la determinación de las características dinámicas del lazo, como el rango de captura y enganche, el ancho de banda y la respuesta transitoria.

El filtro puede ser activo o pasivo, en el presente se emplea un filtro *RC* cuya función de transferencia es la siguiente,

$$F(s) = \frac{1}{1 + \tau s}$$

■ Oscilador controlador por tensión

EL *VCO* (oscilador controlado por tensión) tiene una frecuencia de corrida libre f_f y un desplazamiento de frecuencia de Δf_o que es proporcional a la tensión de entrada V_d . La frecuencia de salida se puede expresar como:

$$f_o = f_f + \Delta f_o = f_f + K_O V_d$$

La relación entre el corrimiento de la frecuencia de salida con el corrimiento de la fase de salida está dada por la siguiente relación:

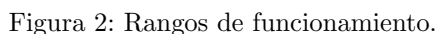
$$\theta_o(s) = K_O \frac{V_d}{s}$$

Analizando el funcionamiento, el *VCO* oscila libremente a una frecuencia f_f , llamada *frecuencia de corrida libre*. La cual es comparada con la frecuencia f_s , llamada *frecuencia de referencia*, en el comparador de fase. El filtro, que es del tipo pasa bajos, se encarga de eliminar las componentes de alta frecuencia. Si la frecuencia de la señal de salida del bloque de filtrado V_e es suficientemente baja, el filtro no la atenúa, entonces V_d controla el *VCO* tendiendo a reducir la diferencia entre las frecuencias hasta que se igualen.

Una vez que las señales de entrada y salida se igualan, es decir $f_o = f_s$, el detector de fase entrega una tensión con una componente continua estable para que el *VCO* iguale la frecuencia de la señal de referencia.

El *VCO* actúa como un integrador de los errores de fase. Mantiene el estado fijo del bucle durante perturbaciones momentáneas.

- *Corrida libre:* Corresponde a la frecuencia de salida f_o del VCO cuando el PLL no se encuentra enganchado.
- *Rango de sostén:* Rango en el cual el PLL puede mantener el “tracking,” seguimiento de fase. El PLL está enganchado con la señal de referencia si ésta se reduce o incrementa lentamente. Si, en cambio, varía mucho, el PLL puede perder el enganche en los extremos.
- *Rango de captura:* A partir del PLL desenganchado, es el rango de frecuencias en el que el mismo puede engancharse a la frecuencia de entrada. Este define el rango de operación del PLL .



- $f_o = 15kHz$ a $25kHz$
- $\xi = 0,4$
- $V_{DD} = 12V$
- Filtro de lazo RC

Typical f_{MAX}/f_{MIN} vs $R2/R1$

$T_A = 25^\circ C$

f_{MAX} WHEN $V_{COIN} = V_{DD}$

f_{MIN} WHEN $V_{COIN} = V_{SS}$

$V_{DD} = 10V, 15V$

$V_{DD} = 5V$

f_{MAX}/f_{MIN}

$R2/R1$

1.666

1

0.01

0.1

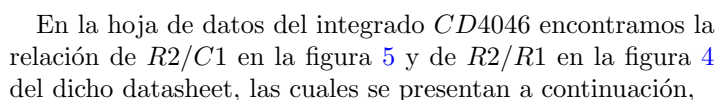
0.62

1

10

10²

A log-log plot showing the minimum frequency (f_{MIN}) in Hz on the y-axis (ranging from 1 to 10^7) versus the VCO timing capacitor (C_1) in μF on the x-axis (ranging from 10^{-5} to 10^2). The graph is for $T_A = 25^\circ C$ and $V_{COIN} = V_{SS}$. Three sets of curves are shown for different supply voltages: $V_{DD} = 15V$, $V_{DD} = 10V$, and $V_{DD} = 5V$. Within each set, three curves are plotted for different load resistances: $R_2 = 10k$, $R_2 = 100k$, and $R_2 = 1M$. The frequency decreases as the timing capacitor increases and as the supply voltage decreases.

$$\frac{f_M}{f_m} = \frac{250kHz}{150kHz} = 1,666$$


Por medio de ésto proseguimos a obtener la relación de $R2$ con $R1$ por medio de la tabla, donde

$$\frac{R2}{R1} = 0,62$$

Siendo $R2 = 100 \text{ k}\Omega$, entonces $R1$ tendrá un valor de $161,29 \text{ k}\Omega$.

3.1.3. R3 y C2

Estos valores dependen de la respuesta transitorio que se desee obtener. Por las condiciones especificadas el valor de coeficiente de amortiguamiento es de $\xi = 0,4$.

Para encontrar el valor numérico de estos componentes es necesario obtener en primer lugar las ganancias K_d y K_O ,

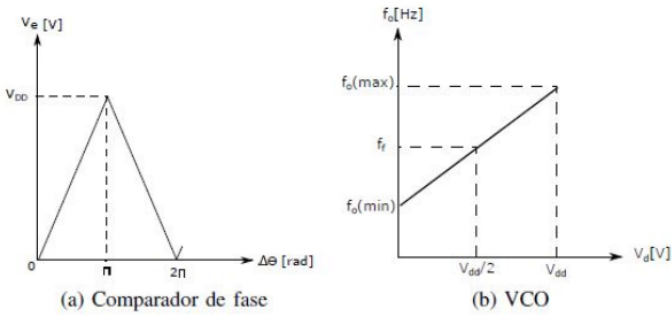


Figura 6: Respuesta del VCO y PD.

La forma de onda de la tensión de salida del comparador de fase empleado se encuentra a la izquierda de la figura 6. A partir de esta se obtiene K_d según la siguiente relación,

$$K_d = \frac{\Delta V_E}{\Delta \theta_E} = \frac{V_{DD}}{\pi} = 3,819 \frac{V}{rad}$$

En la figura de la derecha de 6 se muestra una gráfica que relaciona la tensión V_d , de entrada al VCO, con la frecuencia f_o de salida. La ganancia K_O del VCO se obtiene de la siguiente manera,

$$\begin{aligned} K_O &= \frac{2\pi \Delta f_o}{\Delta V_d} \\ &= \frac{2\pi(f_{max} - f_{min})}{V_{DD}} \\ K_O &= 52359,877 \frac{rad}{s} \end{aligned}$$

La ganancia de lazo está determinada por

$$\frac{K_d \cdot K_O}{N} \approx 20000$$

donde N es el coeficiente de división del bloque divisor.

Por teoría de control se obtiene la relación entre las ganancias calculadas (K_d, K_O), el coeficiente de amortiguamiento (ξ), coeficiente de división (N) y los valores de $R3$ y $C2$, expresada como

$$R3 \cdot C2 = \frac{N}{(2\xi)^2 K_d K_O}$$

Tomando un valor de $C2$ de $10nF$ obtenemos el valor correspondiente de $R3$, el cual es de $15,625k\Omega$

4. Experiencia práctica

Finalmente se procedió a realizar el circuito, el cual se muestra en la imagen 7, para la medición de los rangos se utiliza un generador de funciones de onda cuadrada, con un duty cycle del 50% y una amplitud de $0-V_{DD}$.

Para facilitar el ajuste general del circuito, se utilizaron resistencias variables.

4.1. Rangos de funcionamiento

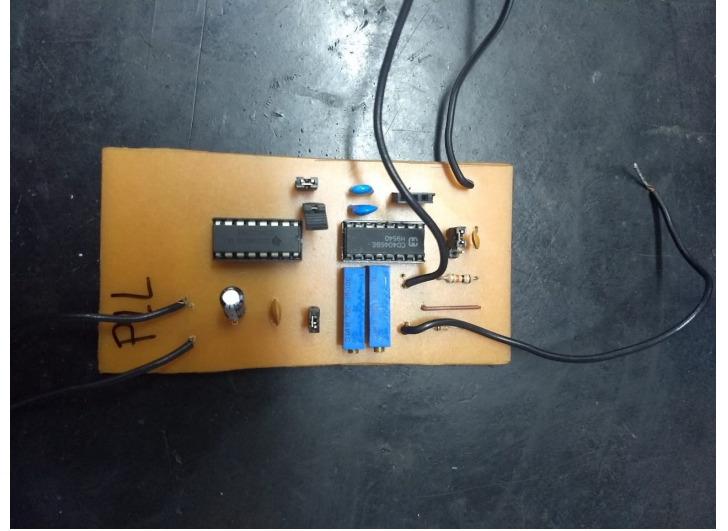


Figura 7: Circuito implementado.

Para la medición del rango de captura, se ajustó la señal de entrada fuera del rango de trabajo, para luego acercarla lentamente por ambos extremos hasta encontrar la frecuencia de “enganche”, si ésta estaba fuera de las especificaciones a través de las resistencias variables $RV1$ y $RV2$ se ajustaban para que estuvieran dentro de los parámetros de diseño.

Luego para el rango de sostén, una vez enganchado el PLL en las frecuencias especificadas, se variaba levemente la frecuencia en los extremos hasta que el sistema perdiera el sincronismo.

A continuación se exponen los resultados.

■ Rango de captura

- $f_1 = 14,720 \text{ kHz}$
- $f_3 = 25,690 \text{ kHz}$

■ Rango de sostén

- $f_4 = 14,700 \text{ kHz}$
- $f_2 = 25,986 \text{ kHz}$

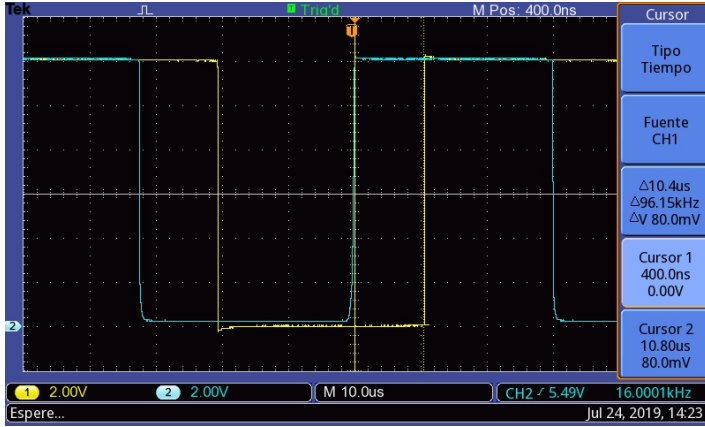
4.2. Ganancia de lazo

Para el cálculo de la ganancia de lazo, se mide con un osciloscopio el desfase entre la señal introducida (pin 14) y la que se obtiene del mismo integrado (pin 3) a dos frecuencias distintas según la condición de que $15 \text{ kHz} < f_s < 25 \text{ kHz}$.

■ $f_{s1} : 16 \text{ kHz}$

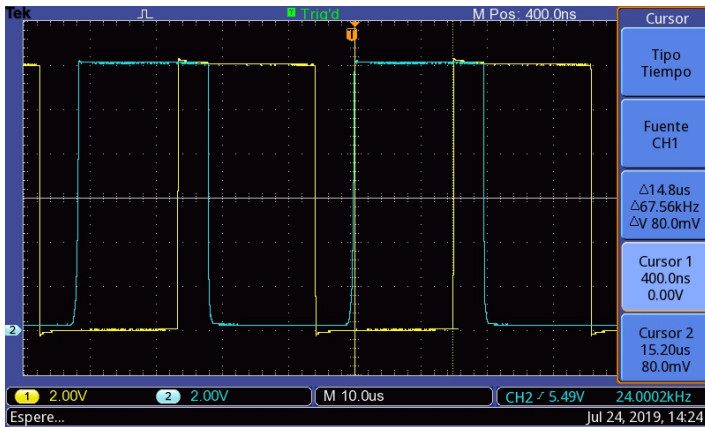
- $T_1 = 62,5 \text{ [}\mu\text{s]}$
- $\tau_1 = 10,4 \text{ [}\mu\text{s]}$

- $\theta_1 = 1,04 \text{ [rad]}$

Figura 8: Ganancia de f_{s1} .

- $f_{s2} : 22kHz$

- $T_2 = 45,45 \text{ [us]}$
- $\tau_2 = 14,80 \text{ [us]}$
- $\theta_2 = 2,04 \text{ [rad]}$

Figura 9: Ganancia de f_{s2} .

La ganancia de lazo se puede calcular como hemos visto anteriormente,

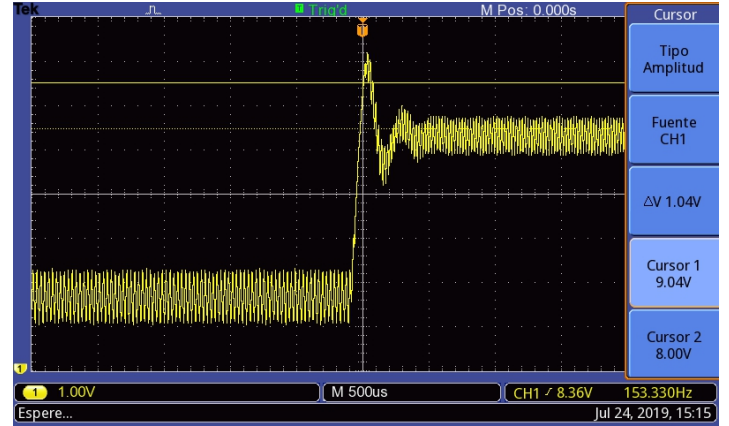
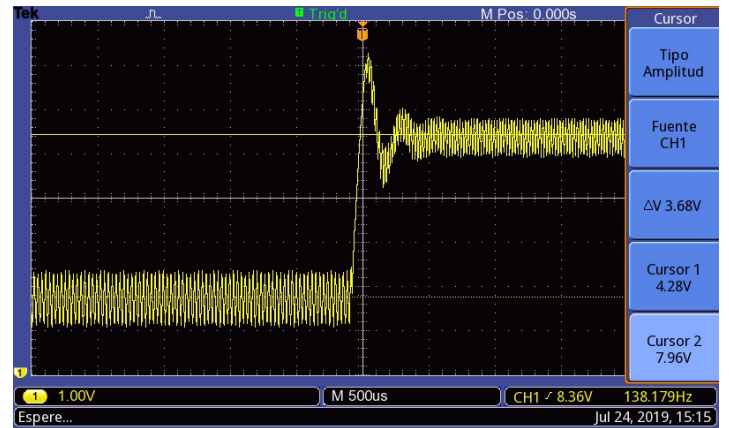
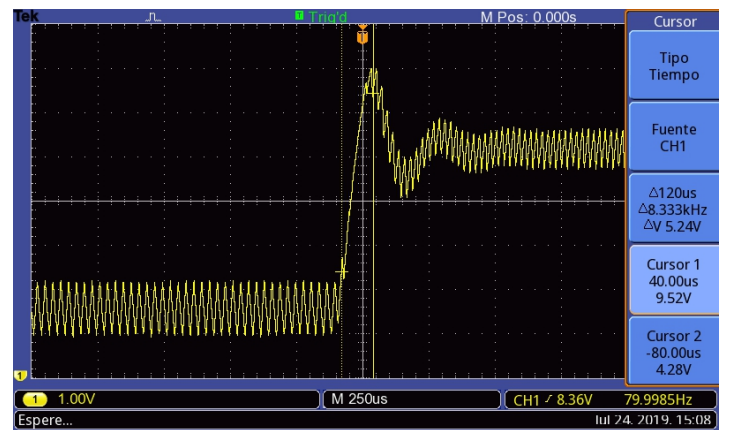
$$\begin{aligned} \frac{K_o K_d}{N} &= \frac{\Delta \omega_s}{\Delta \theta} \\ &= \frac{2\pi(f_{s2} - f_{s1})}{\theta_2 - \theta_1} \\ \frac{K_o K_d}{N} &= 37699,11 \end{aligned}$$

4.3. Sobreapasmiento y constante de tiempo

Finalmente, el sobreapasmiento se observa al medir la entrada del VCO (voltaje, no frecuencia) para una señal de entrada modulada en frecuencia. La entrada, de 20kHz se modula a 100Hz entre 18kHz y 22kHz, comprobándose previamente que el PLL mantenga el enganche en ese rango.

Como no es posible observar el comportamiento transitorio de la frecuencia de salida lo que se realiza es observar el comportamiento de la tensión V_d a partir de las cuales se obtiene el sobreapasmiento porcentual M_p .

Por otra parte para la misma forma de onda se determina el tiempo de pico t_p .

Figura 10: $Y(max) - Y(\infty)$.Figura 11: $Y(\infty)$ Figura 12: Tiempo de pico(t_p)

De dicha medición se obtuvo el valor de $t_p = 120 \text{ [us]}$. Con las mediciones obtenidas se procede a calcular el M_p .

$$M_p = \frac{Y(max) - Y(\infty)}{Y(\infty)} * 100 = \frac{1,04}{3,68} * 100 = 28,26 \%$$

Obtenido el M_p se procede a calcular el ξ de nuestro PLL. Donde recordamos que,

$$\xi = \frac{\sigma}{\omega_n}$$

Para la obtención de σ despejamos de esta variable de la ecuación 1

$$M_p = e^{-\frac{\pi\sigma}{\omega_n}} \quad (1)$$

Para esto necesitamos de la relación ω_p

$$\omega_p = \frac{\pi}{t_p} = 26179,94$$

De la cual podemos explicitar,

$$\begin{aligned} \sigma &= -\frac{\omega_p \cdot \ln(M_p)}{\pi} \\ &= -\frac{\ln(M_p)}{t_p} \\ \sigma &= 10530,77 \end{aligned}$$

Con σ calculado, se obtiene ω_n según lo siguiente,

$$\begin{aligned} \omega_n &= \sqrt{\omega_p^2 + \sigma^2} \\ \omega_n &= 28218,54 \end{aligned}$$

Finalmente obtenemos ξ ,

$$\begin{aligned} \xi &= \frac{\sigma}{\omega_n} \\ &= \frac{10530,77}{28218,54} \\ \xi &= 0,37 \end{aligned}$$

Como podemos comprobar el valor obtenido es similar al dado por la condición de diseño ($\xi = 0,4$).

5. Conclusión

Se pudo evidenciar el comportamiento del seguimiento de frecuencia con una notable precisión en el momento que el *PLL* se encontraba “enganchado”. El cálculo de los componentes de la red se realiza según las especificaciones indicadas en el práctico, empleando la hoja de datos proporcionada por el fabricante del integrado *CD4046*, donde se hace uso de gráficas para la obtención de las magnitudes a implementar, por lo que la exactitud de éstas no es muy buena.

Este es uno de los motivos por el cual en el momento de implementar nuestro *PLL*, los valores calculados durante el desarrollo de este informe debieron ser modificados, y éstos quedaron determinados a prueba y error de los integrantes del grupo para que dicho *PLL* trabaje en la zona deseada.

Por último, si el comportamiento transitorio del *VCO* no es el adecuado, se puede modificar mediante la variación de los parámetros del bloque de filtrado.

A continuación se mostrará una tabla informativa con los valores obtenidos mediante cálculos y aquellos valores que fueron usados para la implementación y buen funcionamiento del *PLL*.

	Cálculos	Implementación
R1	161 $k\Omega$	56 $k\Omega$
R2	100 k Ω	37 $k\Omega$
R3	15 k Ω	150 Ω
C1	140 pF	330 pF
C2	10 nF	220 nF