

Trabajo práctico N°4: PLL (Phase locked loop)

Paez Alemañy Ernesto, Gariboglio Andrés, Biava José, Argüello Emanuel

*Ingeniería Electrónica
Universidad Tecnológica Nacional
Córdoba, Argentina*

I. INTRODUCCIÓN

Un PLL es un circuito realimentado cuyo objetivo principal es generar una señal de salida con una determinada frecuencia a partir de una señal de referencia. Básicamente, posee un circuito de control que compara y ajusta la señal de salida para obtener la frecuencia deseada. En otras palabras, podemos decir que un PLL es un circuito que es capaz de sincronizar la señal de salida con una señal de referencia en la entrada, tanto en frecuencia como en fase. De esta manera, cuando se consigue dicha sincronización (se dice que el PLL está “locked” o “enganchado” en fase) y el error entre ambas señales es nulo o permanece constante. Si por alguna razón el error aumenta, el control actuará sobre el oscilador local de forma tal que éste se reduzca. Así, en todo momento el control estará provocando la sintonización en fase de la señal de salida y la de referencia. Algunas de las principales aplicaciones del PLL son:

- Generación de osciladores locales en recepción.
- Sintetizadores de frecuencia.
- Demoduladores de señales moduladas en ángulo.
- Recuperación de impulsos de reloj en transmisiones digitales.
- Circuitos de sincronismo para barrido horizontal y vertical en receptores de televisión.
- Recepción de señales satelitales de satélites no geoestacionarios.
- Etc.

II. PRINCIPIO DE FUNCIONAMIENTO DEL PLL

Cada uno de los bloques de la figura 1 corresponde a las etapas fundamentales de un PLL. La función de cada bloque como así también los estados de funcionamiento del PLL se describen a continuación:

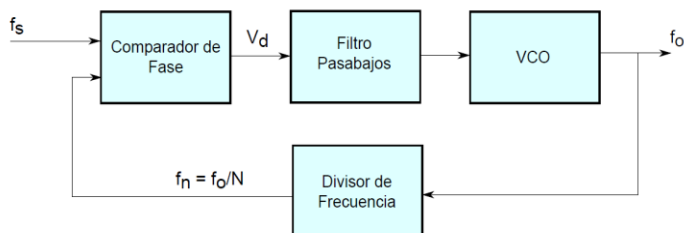


Fig.1 Esquema general del PLL.

A. Comparador de fase

El comparador de fase es un circuito no lineal que recibe dos señales de entrada y genera una señal de salida proporcional a la diferencia de fase entre ambas. Su salida, en general, contiene las frecuencias de entrada f_s , f_n , y su suma y diferencia $f_s \pm f_n$. Luego el filtro pasa bajos deberá transmitir sólo la señal diferencia.

B. Filtro pasa bajos

La señal generada por el comparador de fase ingresa luego en un filtro pasa bajos. Este el bloque que más influye en las características dinámicas del lazo, tales como:

- Rango de captura y de enganche (junto con el comparador de fase).
- Ancho de banda.
- Respuesta transitoria.

El filtro permite eliminar las componentes de alta frecuencia dejando pasar solo una continua cuando el lazo está fijo y estable.

C. Oscilador controlado por tensión (VCO)

El nivel de continua obtenido del filtro permite sintonizar un oscilador controlado por tensión (VCO). Un VCO es un circuito electrónico que usa amplificación, realimentación y circuitos resonantes para obtener en su salida una señal cuya frecuencia es proporcional a la tensión de entrada. Típicamente esa salida es una señal senoidal, aunque existen VCO digitales con salida en forma de una señal cuadrada. Cuando la entrada es $V_{DD}/2$, el VCO tiene una señal con una frecuencia llamada frecuencia de corrida libre f_f . Al aplicar variaciones en la tensión de entrada, sube o baja la frecuencia de su salida de forma proporcional. Lo mencionado anteriormente se observa en la figura 2.

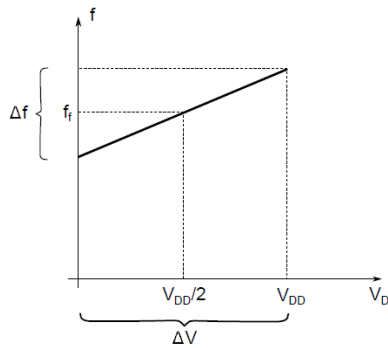


Fig.2 Respuesta del VCO.

D. Divisor de frecuencias

El divisor de frecuencia es un circuito que permite generar una señal cuya frecuencia es igual a la frecuencia de una señal de entrada dividida por un valor N , donde N es cualquier número entero. La forma más simple se logra utilizando un contador digital. Mediante la lógica correspondiente puede configurarse el módulo del contador de forma tal de obtener un pulso a la salida luego de haber contado N ciclos en la entrada. Si la frecuencia de entrada cambia, o lo más común, si el número de división N cambia, resultará $f_s \neq f_n$, la diferencia de fase θ_d deberá cambiar lo suficiente para producir una tensión V_d de control que desplazará la frecuencia del VCO a $f_o = f_n = N \cdot f_s$. Manteniendo el valor de f_s fijo, mediante el divisor de frecuencias es posible generar un múltiplo de la frecuencia de entrada, con la relación precisa de fase entre las dos tensiones.

E. Estados de funcionamiento

Los distintos estados en los cuales se puede encontrar u operar un PLL se describen a continuación:

1) *Estado de corrida libre:* Ocurre cuando no hay señal presente en la entrada o cuando hay una señal de entrada a la cual el PLL no tiene posibilidades de enganchar. Suponiendo que el VCO se alimenta con una tensión V_{DD} , en esta condición generalmente $V_d = 0$ ó $V_d \approx V_{DD}/2$.

2) *Estado fijo:* En esta condición el PLL está enganchado en fase. En este caso, por cada ciclo de la señal de entrada, hay uno y solo un ciclo de la señal de salida.

3) *Estado de captura:* Proceso mediante el cual la frecuencia del Vco va desde el desenganche o condición de corrida libre, al enganche de la señal de entrada. Aquí el PLL está variando su frecuencia para lograr el enganche en fase. El proceso de captura es de naturaleza no lineal como lo manifiesta la figura 3.

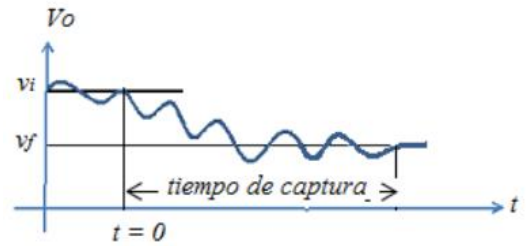


Fig.3 Tiempo de captura.

F. Rango de funcionamiento

De acuerdo al valor que toma V_d , pueden definirse distintos rangos de funcionamiento, tal como se observa en la Figura 4 y se describen a continuación:

1) *Rango de captura:* Es el margen de frecuencias en el que el PLL puede engancharse rápidamente.

2) *Rango de tracción:* Es el margen de frecuencias para las cuales ante un salto brusco de la frecuencia de entrada, el PLL no se desengancha.

3) *Rango de sostén:* Es el margen de frecuencias para las cuales el PLL puede seguir la entrada siempre y cuando las variaciones de ésta sean lentas.

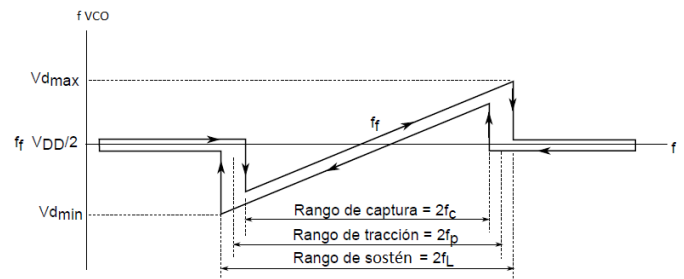


Fig.4 Rangos de funcionamiento.

El rango de captura y el rango de tracción, entre otras cosas dependen del filtro pasa bajos. Las características del filtro, son las que limitan la rapidez con que el PLL puede alcanzar el estado fijo de funcionamiento, ya que la tensión del capacitor del filtro pasa bajos no puede cambiar instantáneamente. En el caso del rango de seguimiento, éste no depende de las características del filtro. Los límites superior e inferior quedan definidos por el dispositivo que primero se sature, puede ser el comparador de fase, el VCO o algún otro dispositivo activo del lazo.

III. DESARROLLO

En el presente trabajo se diseña e implementa una red PLL que multiplica por 10, la cual deberá cumplir con las siguientes especificaciones:

- $f_{in} = 15\text{KHz}$ a 25KHz
- $\zeta = 0,4$
- $V_{DD} = 12\text{V}$
- Filtro de lazo RC

Para lograr tal tarea el circuito propuesto es el que se observa en la figura 5.

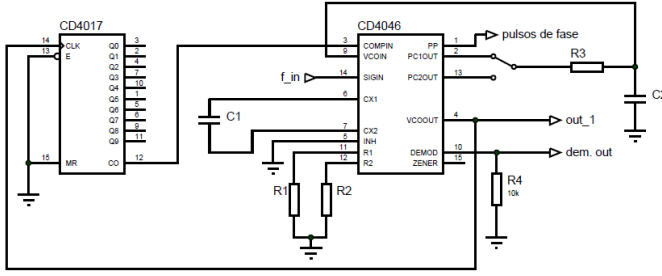


Fig.5 Circuito implementado.

Se comenzará por calcular los valores de R1, R2, C1. El diseño establece que la $f_{in}(min)$ y $f_{in}(max)$ serán de 15 KHz y 25 KHz respectivamente por lo que la frecuencia de salida del Vco excursionará entre $f_{VCO}(min) = 150kHz$ y $f_{VCO}(max) = 250kHz$, además se opta por $R2 = 100k\Omega$ y a partir de las hojas de datos del CD4046 se tiene que $C1 = 150 pF$. Luego, con la curva de la figura 6 calculamos R1.

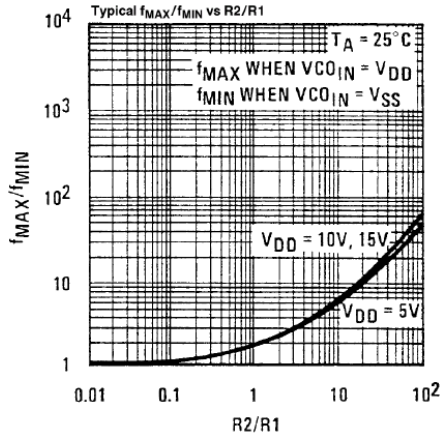


Fig.6 Relación entre frecuencias y resistencias.

$$\frac{f_{max}}{f_{min}} = \frac{250 KHz}{150 KHz} = 1,67$$

$$\frac{R_2}{R_1} = 1,8 \rightarrow R_1 = 55,6 K\Omega$$

La elección de R3 y C2 depende de las características transitorias que deseamos que tenga el sistema. Se pide que el coeficiente de amortiguamiento sea $\zeta = 0,4$. Se deberá obtener la función de transferencia del sistema compuesto por R3 y C2 (filtro pasa bajos) la cual se expresa a continuación:

$$G(S) = N \cdot \frac{w_n^2}{S^2 + 2w_n\zeta S + w_n^2}$$

Dónde:

- w_n : frecuencia propia no amortiguada.
- ζ : coeficiente de amortiguamiento.

Por lo tanto podemos decir que:

$$w_n = \sqrt{\frac{K_D K_0}{NT}} \quad (1)$$

$$\frac{1}{T} = w_n \zeta \quad (2)$$

Reemplazando (1) en (2) y despejando T, resulta:

$$T = R3 \cdot C2 = \frac{N}{\zeta^2 K_D K_0} \quad (3)$$

Se necesita entonces, conocer el K_D del comparador I y el K_0 del VCO del CD4046. El K_D es la relación entre el rango de desfase admisible en las entradas y la desviación del nivel medio de tensión en la salida del detector de fase. Es decir:

$$K_D = \frac{\Delta V}{\Delta \theta} = \frac{VDD}{\pi} = 3,82 \left[\frac{V}{rad} \right]$$

La definición del K_0 es similar. Es la relación entre el rango de frecuencias presente en la salida y la desviación de tensión necesaria en la entrada del VCO.

$$K_0 = \frac{\Delta w}{\Delta V_D} = \frac{2\pi(f_{max} - f_{min})}{10} = 62831 \left[rad \cdot \frac{s}{V} \right]$$

Luego, reemplazando estos resultados en la expresión (3), se obtienen los valores de los componentes.

$$T = 260,4 \mu s$$

Eligiendo $C2 = 10nF$:

$$R_3 = \frac{T}{C_2} = 26 K\Omega \rightarrow R_3 = 27 K\Omega$$

A la hora de implementar el circuito se tuvo que cambiar el valor de algunos componentes dado que no se cumplía con el ζ de 0,4 solicitado.

IV. MEDICIONES

A. Rango de sostén y de captura

Se utilizará el circuito de la Fig. 4 junto con un generador de funciones que nos entregue una señal cuadrada con niveles de tensión entre VDD y 0V. Los rangos de sostén y de captura quedan determinados por las frecuencias $f1$, $f2$, $f3$ y $f4$, tal como se observa en la Fig. 7. Variando la frecuencia de entrada con el generador de funciones, se obtuvo:

$$f1 = 14210 \text{ Hz}$$

$$f2 = 28810 \text{ Hz}$$

$$f_3 = 25610 \text{ Hz}$$

$$f_4 = 12950 \text{ Hz}$$

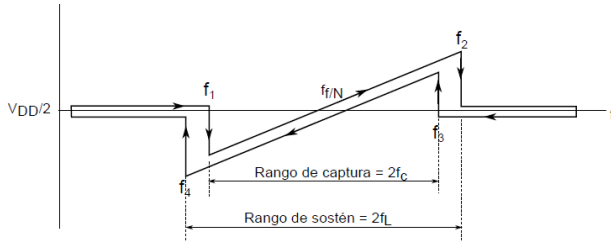


Fig.7 Rango de sostén y de captura.

B. Ganancia de lazo

A continuación se calcula la ganancia de lazo haciendo uso del mismo circuito del apartado anterior. Se aplican dos frecuencias distintas en la entrada, y se ve el desfase de cada una de ellas con la f_n , a la salida del comparador 1. Así:

Para $f_s(1) = 17 \text{ kHz}$, se obtuvo:

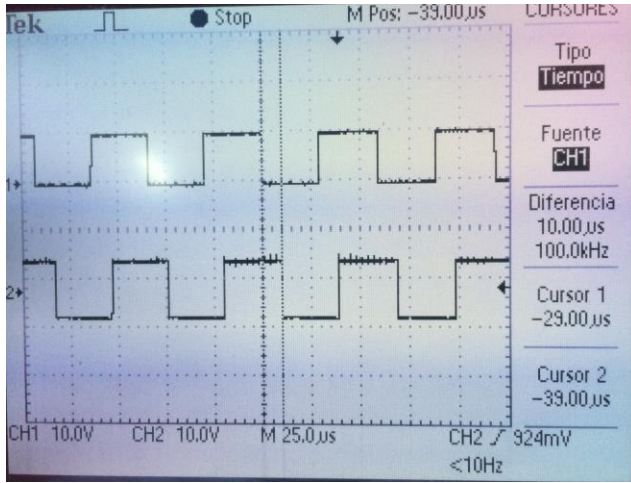


Figura 11: Medición de la ganancia para $f_s = 17 \text{ kHz}$.

$$\tau_1 = 10 \mu s$$

$$T_1 = 58,8 \mu s$$

$$\theta_1 = \frac{\tau_1}{T_1} 2\pi = 1,07 \text{ rad}$$

Para $f_s(2) = 23 \text{ kHz}$, se obtuvo:

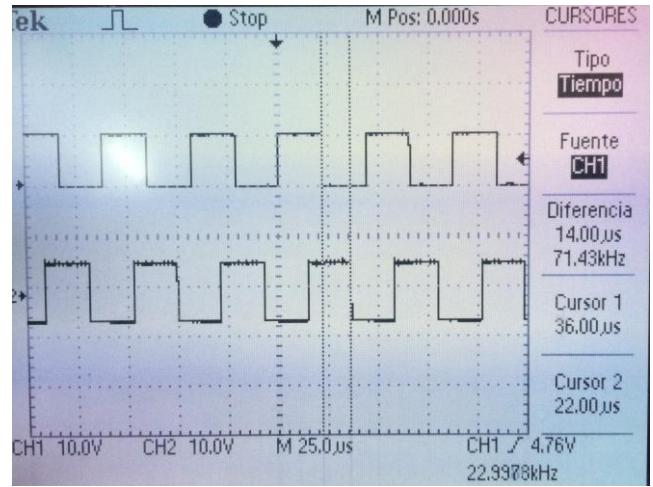


Figura 12: Medición de la ganancia $f_s = 23 \text{ kHz}$.

$$\tau_2 = 14 \mu s$$

$$T_2 = 43,47 \mu s$$

$$\theta_2 = \frac{\tau_2}{T_2} 2\pi = 2,023 \text{ rad}$$

Finalmente, la ganancia del lazo es:

$$\frac{K_d K_0}{N} = \frac{\Delta W s}{\Delta \theta} = \frac{2\pi \text{ rad}(23 \text{ KHz} - 17 \text{ KHz})}{2,023 \text{ rad} - 1,07 \text{ rad}} = 39558,35 \text{ Hz}$$

C. Sobre pasamiento y constantes de tiempo

Para realizar la siguiente medición se utilizara como entrada una señal originada en un generador de funciones con capacidad de modulación en FM. La señal de entrada que se desea obtener deberá conmutar a 100Hz entre dos frecuencias que se encuentren dentro del rango del PLL, las cuales fueron 17 KHz y 23 KHz. Luego, usando esta señal como señal de referencia se determinan los parámetros dinámicos del PLL. En las figuras siguientes se observan las mediciones realizadas.

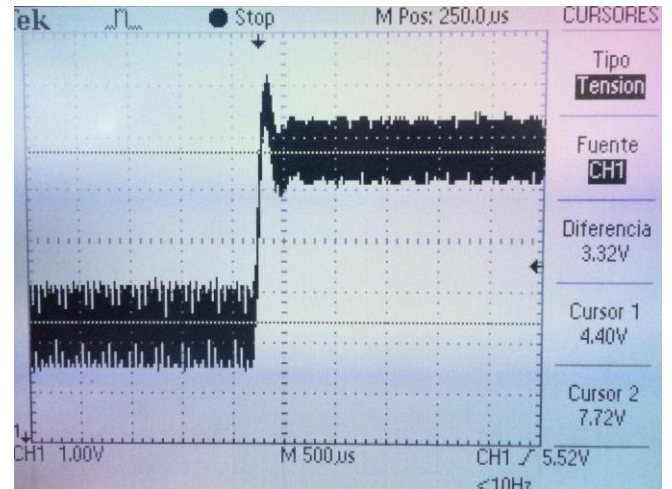


Figura 13: Nivel de régimen estacionario.

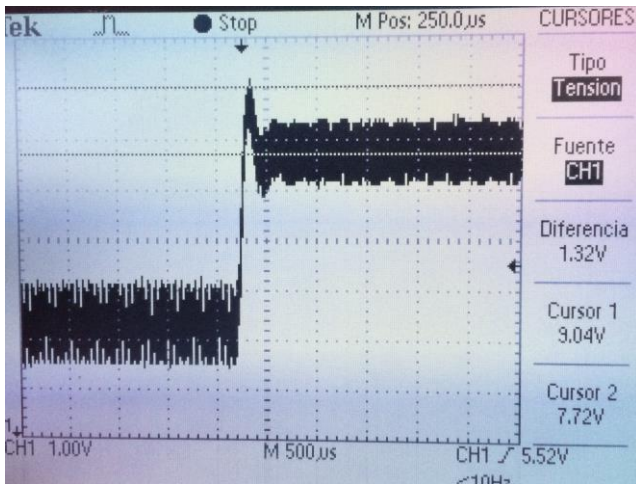


Figura 14: Sobre pico.

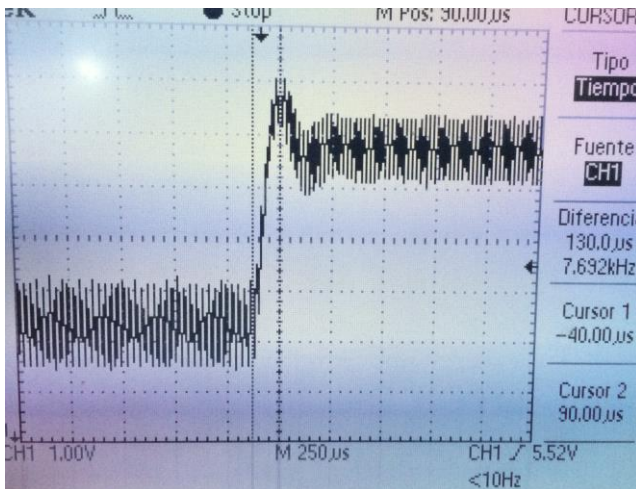


Figura 15: Tiempo de pico.

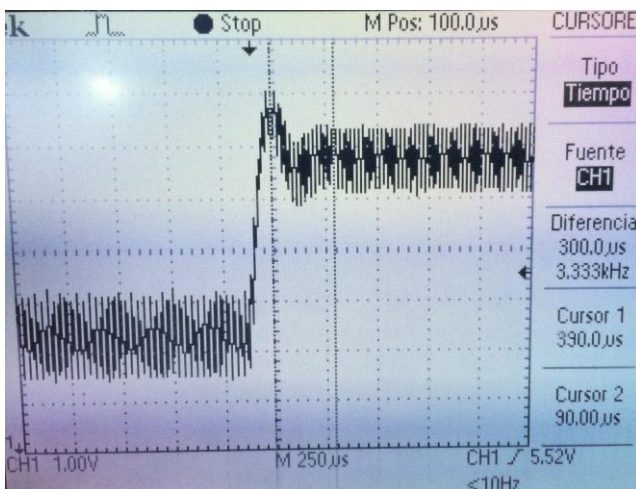


Figura 16: Tiempo de establecimiento.

Los resultados son:

$$M_p = \frac{1,32 \text{ V}}{3,32 \text{ V}} = 0,29$$

$$\zeta = \sqrt{\frac{\ln(M_p)^2}{\pi^2 + \ln(M_p)^2}} = 0,37$$

$$t_p = 130 \mu s$$

$$t_s = 300 \mu s$$

$$w_d = \frac{2\pi}{T} = 20944 \frac{\text{rad}}{\text{s}}$$

$$w_n = \frac{w_d}{\sqrt{1 - \zeta^2}} = 22544 \frac{\text{rad}}{\text{s}}$$

VII. CONCLUSIONES

En el presente trabajo se inició dando una breve explicación de algunos de los principales conceptos teóricos de un PLL. Seguidamente se continuó con el cálculo, diseño e implementación del circuito. Cuando se efectuaron las primeras pruebas de funcionamiento se comprobó que éste no era el deseado. Si bien el circuito funcionaba, no lo hacía como el trabajo práctico lo requería. Ésto se le puede atribuir a que los valores obtenidos en el cálculo resultaron de una estimación, o a las tolerancias de los componentes. Los inconvenientes anteriores se vieron reflejados en las frecuencias a las que se producía el enganche y desenganche del PLL como así también en el coeficiente de amortiguamiento. Para solucionar estos errores se sustituyó el resistor R1 por otro resistor ajustable (multi-vueltas) y se modificaron los valores de los capacitores C1 y C2.

BIBLIOGRAFIA

- [1] H. L. Krauss & C. W. Bostian, "Estado Solido en Ingeniería de Radiocomunicación"
- [2] D. Stephens Phase-Locked Loops for Wireless Communications. Kluwer Academic Publishers. 2002.