

# Electrónica Aplicada III TP°4 PLL

Grupo N°6: Chanquía, Lorca, Lozada, Pereyra

**Resumen**—En el presente trabajo práctico se diseñó, implementó y midió un circuito de bucle de fase enganchado, que debe recibir como entrada una señal de 15 a 25 kHz para mantener a su salida una señal de frecuencia diez veces mayor, entre 150 y 250 kHz. Se utiliza un integrado CD4046 para lograr el objetivo, y se muestran las formas de ondas obtenidas, así como los rangos de sostén y captura, ganancia de lazo, el sobrepasamiento y las constantes de tiempo del sistema. Las conclusiones describen las características finales de funcionamientos, y ciertas diferencias con los parámetros calculados, así como las causas más probables.

## I. INTRODUCCIÓN

Un bucle de fase enganchado (PLL) consta de una serie de bloques interconectados que le permiten al sistema ajustarse y modificar su frecuencia hasta que no exista diferencia de fase entre las señales de entrada y salida. La figura 1 muestra el sistema realimentado, en donde un VCO (Oscilador Controlado por Voltaje) modifica su frecuencia de salida según la diferencia de voltaje del comparador de fase. El divisor de frecuencia divide la señal de salida  $n$  veces (diez en el presente trabajo) para poder realizar la comparación.

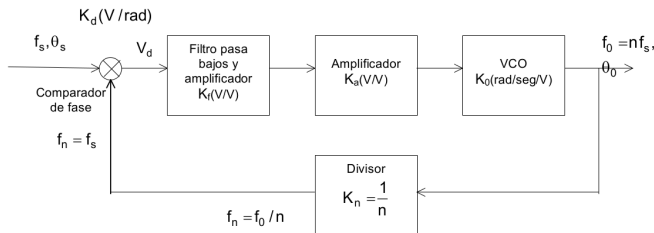


Figura 1. Diagrama en bloques básico de un PLL

Además del sistema a implementar, se detallan algunas definiciones relacionadas con las mediciones sobre el circuito implementado. En la figura 2 se pueden visualizar gráficamente algunas de ellas.

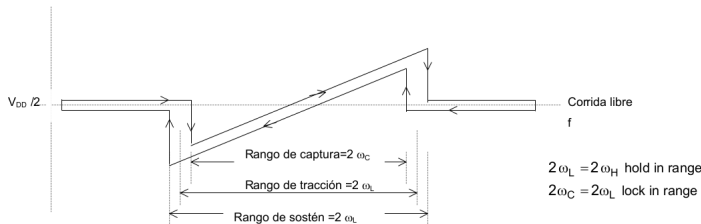


Figura 2. Definición de las medidas sobre el PLL

Se denomina corrida libre a la frecuencia que obtenemos del VCO cuando no existe ninguna señal a la entrada, y la misma debe encontrarse dentro del rango esperado de salida.

A partir de esa frecuencia, el sistema se correrá en frecuencia hacia arriba o hacia abajo hasta “engancharse” correctamente.

El rango de captura es la ventana de frecuencia en donde el sistema es capaz de “capturar” la señal adecuadamente para poder mantenerse sincronizado con ella. Este rango es relativamente menor.

El rango de sostén define las frecuencias máximas y mínimas a las que puede llegar el sistema antes de salirse completamente de fase, luego de lo cual se mantendrá en su frecuencia de corrida libre hasta que vuelva al rango de captura.

La figura 3 muestra el diagrama de bloques interno del integrado CD4046 escogido, los cuales serán convenientemente conectados junto al contador CD4017 para montar el PLL.

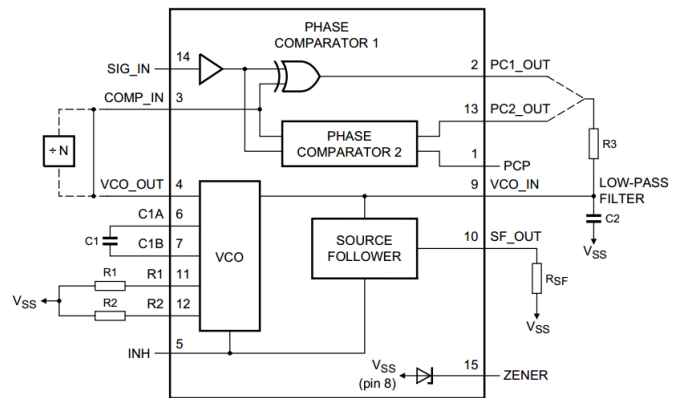


Figura 3. Diagrama en bloques del integrado CD4046

El circuito final a utilizar se encuentra en la figura 4, en donde se detallan todas las conexiones de los integrados. La salida del VCO actúa como clock del contador para que luego de diez flancos el carry out genere la entrada al comparador.

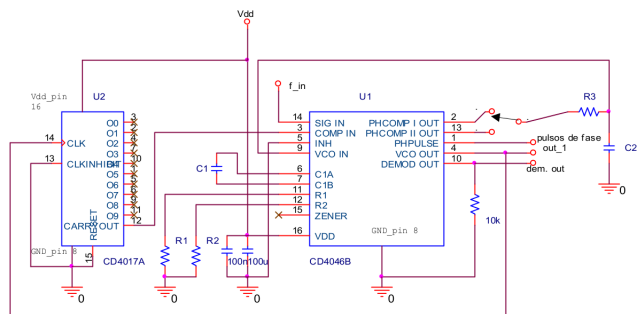


Figura 4. Circuito PLL utilizando CD4046

## II. DISEÑO

Para el diseño, se toman en cuenta ciertas especificaciones:  $f_s = 15/25 \text{ kHz}$ ,  $\xi = 0,4$  (sobrepasamiento),  $V_{CC} = 12V$  y un filtro  $R - C$  de primer orden.

El primer paso consiste en seleccionar los componentes para fijar el rango de frecuencia en el que va a trabajar el dispositivo. Según las curvas que entrega el fabricante (figura 5), dada una frecuencia mínima deseada y un voltaje de operación seleccionado, la resistencia  $R_2$  puede elegirse arbitrariamente entre  $1M\Omega$ ,  $10k\Omega$ , y  $100k\Omega$ , habiéndose elegido esta última. Luego, el gráfico define cuál ha de ser el valor del capacitor  $C_1$  adecuado para esa frecuencia. En este caso, es  $330pF$ .

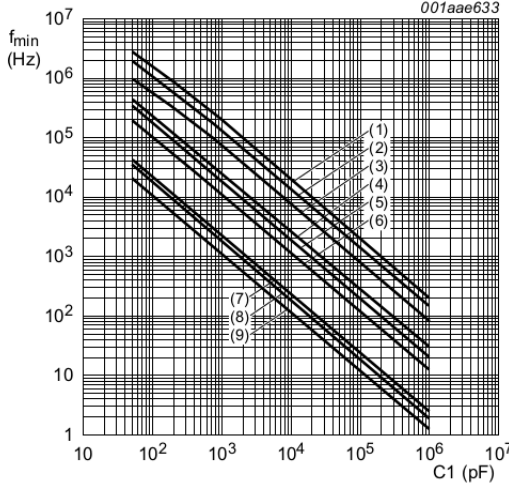


Figura 5. Diagramas para la selección de  $C_1$ . (4), (5) y (6) corresponden a  $100k\Omega$ , para  $V_{CC}$  de  $15V$ ,  $10V$  y  $5V$  respectivamente.

Una vez definida la frecuencia mínima, la frecuencia máxima está dada por la relación entre las resistencias  $R_1$  y  $R_2$  según la figura 6. Se obtiene  $f_{max}/f_{min} = 1,66$ ,  $R_2/R_1 = 0,5$  y  $R_2 = 200k\Omega$ .

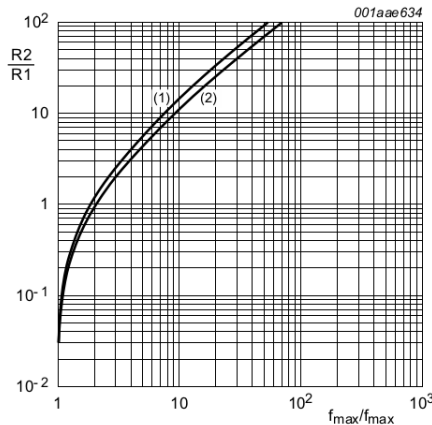


Figura 6. Curvas para la selección de  $R_2$

Cuando el rango de trabajo es el adecuado, se calcula el filtro según las características de respuesta transitoria del sistema. El proceso en detalle se encuentra en [1], siendo lo más relevante el cálculo de las constantes  $K_d$  (del comparador I),  $K_0$  (del VCO) y el período  $T$  de trabajo del filtro.

$$K_d = \frac{V_{CC}}{\pi} = 3,82 \quad K_0 = \frac{2\pi(f_{max} - f_{min})}{V_{CC}} = 6283,18 \quad (1)$$

$$T = \frac{n}{(2\xi^2)K_dK_0} = 1,3ms \quad (2)$$

Teniendo en cuenta en la ecuación 2 el sobrepasamiento de diseño, se elige el capacitor  $C_2 = 1\mu F$  de forma arbitraria para despejar la resistencia que cumpla con el período  $T$  calculado; siendo finalmente  $R_3 = 1,3k\Omega$ .

## III. IMPLEMENTACIÓN

El sistema se monta en una placa de doble faz para facilitar el diseño de las pistas. Para obtener el rango adecuado de frecuencia de salida fue necesario colocar tanto un capacitor  $C_1$  como una resistencia  $R_2$  más pequeños de lo calculado. Para el ajuste general del circuito, se utilizaron resistencias variables para que el ajuste sea más sencillo. La señal del generador se tuvo que ajustar con un nivel adecuado de offset (entre masa y  $V_{CC}$ ) para poder funcionar correctamente.

La figura 7 muestra el montaje realizado. Para la medición del rango de captura, se ajustó la señal de entrada fuera del rango de trabajo, para luego acercarla lentamente por ambos extremos hasta encontrar la frecuencia de “enganche” ( $f_1$  y  $f_3$ , figura 2). El rango de sostén,  $f_2$  y  $f_4$ , son los extremos en frecuencia que alcanza el sistema antes de perder sincronismo. Los resultados se resumen en la tabla I

Figura 7. PLL implementado

$f_2 = 12kHz$	$f_1 = 15kHz$
$f_4 = 43kHz$	$f_3 = 25kHz$
$2f_L = 31kHz$	$2f_C = 10kHz$

Cuadro I

MEDICIONES DE LOS RANGOS DE ENGANCHE Y SOSTÉN

La ganancia de bucle  $K_dK_0/n$  se obtiene al medir el desfase  $\tau$  entre la señal de entrada al CD4046 del generador y la salida del contador.

Para la primera señal,  $f_{S1} = 20kHz$ ,  $\tau_1 = 9\mu s$ ,  $T_1 = 1/f_{S1} = 50\mu s$  y  $\theta_1 = 2\pi\tau_1/T_1 = 1,13rad$ .

Para la segunda señal,  $f_{S2} = 25kHz$ ,  $\tau_2 = 9,2\mu s$ ,  $T_2 = 1/f_{S2} = 40\mu s$  y  $\theta_2 = 2\pi\tau_2/T_2 = 1,44rad$ .

$$\frac{\Delta\omega_s}{\Delta\theta} = \frac{2\pi(f_{S2} - f_{S1})}{\theta_2 - \theta_1} = 101341 \quad \frac{K_dK_0}{n} = 2400 \quad (3)$$

Finalmente, el sobrepasamiento se observa al medir la entrada del VCO (voltaje, no frecuencia) para una señal de entrada modulada en frecuencia. La entrada, de  $20kHz$  se modula a  $100Hz$  entre  $18kHz$  y  $22kHz$ , comprobándose previamente que el PLL mantenga el enganche en ese rango. El resultado se observa en la figura 8,

Figura 8. Captura del osciloscopio para la medición del sobrepasamiento

La suposición inicial de un capacitor de  $1\mu F$  no permitía que el filtro funcionara lo suficientemente rápido, ocasionando un sobrepico demasiado elevado, por lo que un valor más pequeño que mantuviera el mismo  $T$  resolvió el inconveniente. De la figura 8 se toma  $M_p = 560mV/1500mV = 0,37$ .

#### IV. CONCLUSIONES

El PLL logró funcionar dentro de los parámetros de frecuencia esperados para la señal de entrada, produciéndose el enganche automático cuando el generador saltaba a las frecuencias de  $15kHz$  y  $25kHz$ . El rango de sostén es considerablemente mayor en las frecuencias altas, producto del ajuste de las frecuencias de corrida libre. Esto podría ser o no una ventaja, según la aplicación del sistema.

El nivel de sobrepasamiento es superior al calculado, ya que todos los valores debieron ser corregidos en la implementación. Este método de diseño es en gran manera empírico, luego del cual se debería relevar los componentes finales antes del diseño final.

#### V. BIBLIOGRAFÍA

- [1] PLL - Lazo Enganchado en Fase - Phase Locked Loop . Ramón Oros. Cátedra Electrónica Aplicada III. Universidad Tecnológica Nacional Facultad Regional Córdoba.
- [2] Datasheet HEF4046B NXP semiconductors.