

Medidas Electrónicas 2

Trabajo Práctico Número 4 Analizador de estados lógicos

Martínez Denis

Universidad Tecnológica Nacional
Facultad Regional Córdoba

30 de julio de 2019

- 1 Introducción
- 2 Diagrama de estados vs temporal
- 3 Muestreo transicional
- 4 Glitch
- 5 Disparo
- 6 Práctica de Laboratorio

- 1 Introducción
- 2 Diagrama de estados vs temporal
- 3 Muestreo transicional
- 4 Glitch
- 5 Disparo
- 6 Práctica de Laboratorio

Analizador de estados lógicos RIGOL



Cuando utilizar un Analizador de Estados Lógicos

- Cuando se necesitan ver muchas señales a la vez.
- Cuando se necesita analizar las señales en un sistema de la misma manera que su hardware lo observa.
- Cuando se necesite disparar un patrón en varias líneas y ver la consecuencia de esto.

Introducción

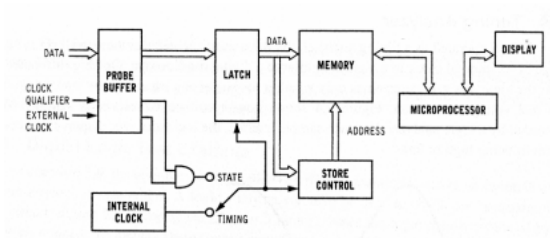


Figura: Diagrama en Bloque

LA1034 LogicPort



Figura: Analizador de estados lógicos LA1034 LogicPort

- 1 Introducción
- 2 Diagrama de estados vs temporal**
- 3 Muestreo transicional
- 4 Glitch
- 5 Disparo
- 6 Práctica de Laboratorio

Diagrama de estados vs temporal

4-BIT CNTR		STATE LISTING
MARKERS		<input type="button" value="OFF"/>
LABEL >	<input type="button" value="Q"/>	
BASE >	<input type="button" value="BIN"/>	
+0000	0000	
+0001	0001	
+0002	0010	
+0003	0011	
+0004	0100	
+0005	0101	
+0006	0110	
+0007	0111	
+0008	1000	
+0009	1001	
+0010	1010	
+0011	1011	
+0012	1100	
+0013	1101	
+0014	1110	
+0015	1111	

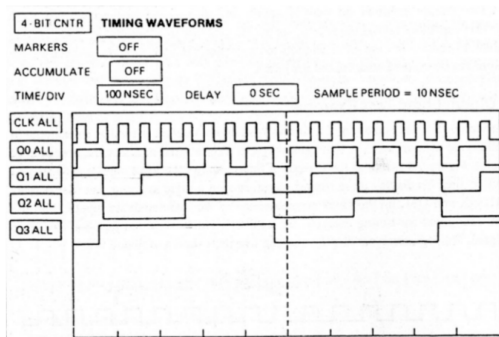


Figura: Diagrama de estados vs temporal

Analisis de estados

Sample Number	ADDR	DATA	STAT
	= ▼ FFF0 34D8	= ▼ XXXX XXXX	= ▼ XX XXXX
-8	0000 41B0	0241 23D7	03 23D7
-7	0000 41B1	1F41 23D7	0B 23D7
-6	0000 41B2	FB41 23D7	13 23D7
-5	0000 41B3	5241 23D7	0B 23D7
-1	FFFO 3187	5541 03E7	0B 03E7
3	FFFO 34DB	A641 03E7	0B 03E7
7	FFFO 34DF	7841 03E7	0B 03E7
11	FFFO 34E3	E841 03E7	0B 03E7
15	FFFO 34E7	2941 03E7	0B 03E7
19	FFFO 6A0F	F441 03E7	0B 03E7

Figura: Analisis de estados

Analisis temporal

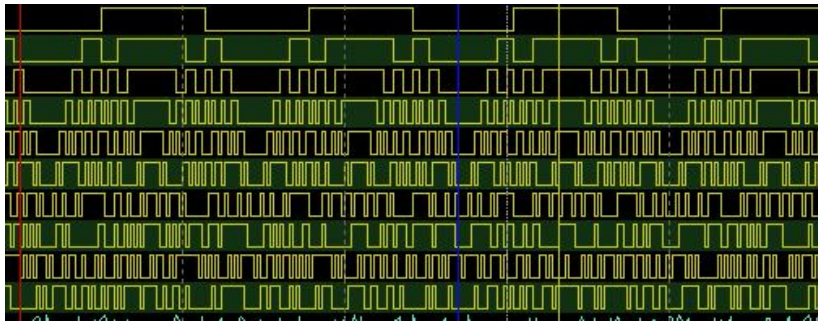


Figura: Analisis temporal

Índice

- 1 Introducción
- 2 Diagrama de estados vs temporal
- 3 Muestreo transicional**
- 4 Glitch
- 5 Disparo
- 6 Práctica de Laboratorio

Muestreo transicional

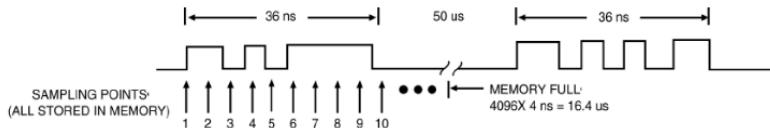


Figura: Muestreo Normal

Muestreo transicional

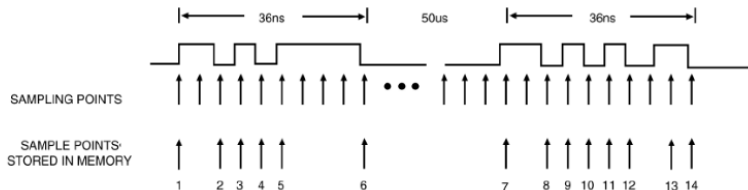


Figura: Muestreo transicional

Índice

- 1 Introducción
- 2 Diagrama de estados vs temporal
- 3 Muestreo transicional
- 4 Glitch**
- 5 Disparo
- 6 Práctica de Laboratorio

Glitch

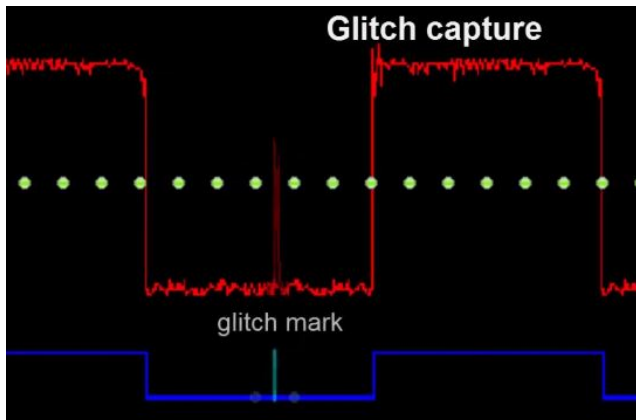


Figura: Ejemplo de glitch

Glitch

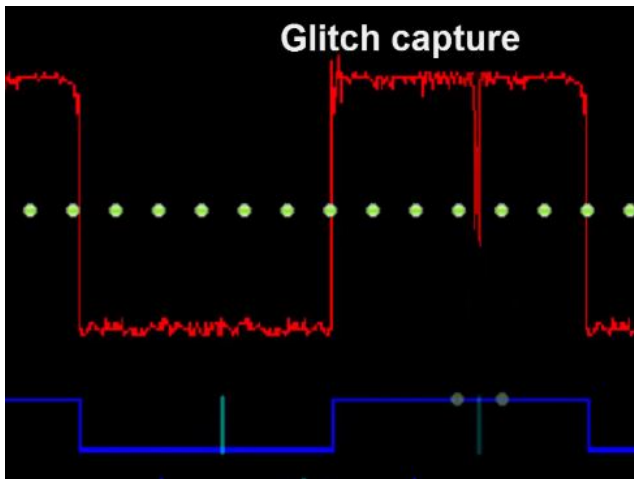


Figura: Ejemplo de glitch

Índice

- 1 Introducción
- 2 Diagrama de estados vs temporal
- 3 Muestreo transicional
- 4 Glitch
- 5 Disparo**
- 6 Práctica de Laboratorio

Condiciones de Disparo

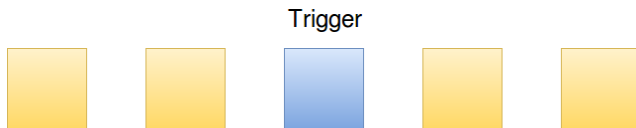


Figura: Disparo en un analizador de estados lógicos

Disparo = Trigger

Condiciones de Disparo

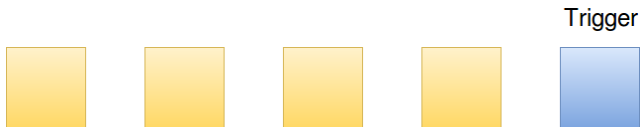


Figura: Disparo en un analizador de estados lógicos

Disparo = Trigger

Condiciones de Disparo

Trigger



Figura: Disparo en un analizador de estados lógicos

Disparo = Trigger

Índice

- 1 Introducción
- 2 Diagrama de estados vs temporal
- 3 Muestreo transicional
- 4 Glitch
- 5 Disparo
- 6 Práctica de Laboratorio**

Ejercicios

- Ejemplo de configuración
- Medición sobre la placa *KDSP v3.1*

Conexionado



Figura: Conexionado con KDSP v3.1

Ejercicios

- Modo temporal vs Modo de estados
- Clock interno vs Clock Externo
- Modo compresión
- Distintos triggers
- Modo de adquisición
- Implementar caso de test
- Implementar una comunicación SPI

Ejemplos