# 湘 潭 大 学 实 验 报 告

**课程名称：数字逻辑与数字电路 实验名称： 7段数码显示译码器 实验日期： 2022.5.14 班级： 21级计算机科学与技术3班 学号： 202105566416 姓名：熊心雨**

## 一、实验目的

1. 验证16进制7段数码显示译码器的功能。
2. 熟悉利用Vivado设计组合电路的流程，具备组合电路设计仿真和硬件测试能力
3. 具备采用vivado HDL 设计译码器仿真测试代码的能力

## 二、实验内容和要求

1、修改代码中的2个语句错误，并说明各语句含义，以及该例的整体功能。在Verilog上对该例进行编辑、编译、综合、适配、仿真，给出其所有信号的时序仿真波形

2、引脚锁定及硬件测试

3、根据以上的要求写出实验报告，包括程序设计、软件编译、仿真分析、硬件测试和详细实验过程；给出程序分析报告、仿真波形图及其分析报告。

## 三、实验设备与软件环境

1、装有Xilinx Vivado 的计算机一台。

2、LS-CPU-EXB-002 教学系统实验箱一套。

## 四、实验方案或原理

7段数码是纯组合电路，通常的小规模专用IC，如74或4000系列的器件只能作十进制BCD码译码，然而数字系统中的数据处理和运作都是二进制的，所以输出表达都是十六进制的，为了满足十六进制的译码显示，最方便的方法就是利用译码程序在FDGA/CPLD中实现。

7段译码器的输出信号LED7S的七位分别接数码管的a-g这7段，高位在左，低位在右。例如当LED7S输出为“1101101”时，数码管的七段“g,f,e,d,c,b,a”分别接1、1、0、1、1、0、1；接有高电平的段发亮，于是数码管显示“5”。

7段数码显示译码器设计采用case语句对数码管的7段分别进行赋值0或1，实现数字显示。

## 五、代码设计及实验步骤

**1.decl7s.v**

module decl7s(num,numl\_scan\_select,numl\_seg7);

input [3:0]num;

output [1:0]numl\_scan\_select;

output [7:0]numl\_seg7;

reg [7:0]numl\_seg7;

wire [1:0]numl\_scan\_select;

assign numl\_scan\_select=2'b10;

always@(num)

case(num)

4'b0000:numl\_seg7<=8'b01111110;

4'b0001:numl\_seg7<=8'b00110000;

4'b0010:numl\_seg7<=8'b01101101;

4'b0011:numl\_seg7<=8'b01111001;

4'b0100:numl\_seg7<=8'b00110011;

4'b0101:numl\_seg7<=8'b01011011;

4'b0110:numl\_seg7<=8'b01011111;

4'b0111:numl\_seg7<=8'b01110000;

4'b1000:numl\_seg7<=8'b01111111;

4'b1001:numl\_seg7<=8'b01111011;

4'b1010:numl\_seg7<=8'b01110111;

4'b1011:numl\_seg7<=8'b00011111;

4'b1100:numl\_seg7<=8'b01001110;

4'b1101:numl\_seg7<=8'b00111101;

4'b1110:numl\_seg7<=8'b01001111;

4'b1111:numl\_seg7<=8'b01000111;

default:numl\_seg7<=8'b01111110;

endcase

endmodule

**2、decl7s\_tb.v(模拟电路)**

`include"decl7s.v"

module decl7s\_tb;

wire [1:0]numl\_scan\_select;

reg [3:0]num;

wire [7:0]numl\_seg7;

integer i;

initial begin

i=16;num=4'b0000;

#0 $display("time\tnum\tnuml\_seg7\tnuml\_scan\_select");

while(i>0)

begin

#1 num=num+4'b0001;

i=i-1;

end

end

decl7s m(.num(num),.numl\_seg7(numl\_seg7),.numl\_scan\_select(numl\_scan\_select));

initial

begin

$dumpfile("test.vcd");

$dumpvars;

$monitor("%g\t%b\t%b\t%b",

$time,num,numl\_seg7,numl\_scan\_select);

#60 $finish;

end

endmodule

**3、decl7s.xdc(约束文件)**

set\_property PACKAGE\_PIN AC23 [get\_ports {num[3]}]

set\_property PACKAGE\_PIN AC22 [get\_ports {num[2]}]

set\_property PACKAGE\_PIN AD24 [get\_ports {num[1]}]

set\_property PACKAGE\_PIN AC21 [get\_ports {num[0]}]

set\_property PACKAGE\_PIN E26 [get\_ports {numl\_scan\_select[1]}]

set\_property PACKAGE\_PIN G25 [get\_ports {numl\_scan\_select[0]}]

set\_property PACKAGE\_PIN C4 [get\_ports {numl\_seg7[7]}]

set\_property PACKAGE\_PIN A2 [get\_ports {numl\_seg7[6]}]

set\_property PACKAGE\_PIN D4 [get\_ports {numl\_seg7[5]}]

set\_property PACKAGE\_PIN E5 [get\_ports {numl\_seg7[4]}]

set\_property PACKAGE\_PIN B4 [get\_ports {numl\_seg7[3]}]

set\_property PACKAGE\_PIN B2 [get\_ports {numl\_seg7[2]}]

set\_property PACKAGE\_PIN E6 [get\_ports {numl\_seg7[1]}]

set\_property PACKAGE\_PIN C3 [get\_ports {numl\_seg7[0]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {num[3]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {num[2]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {num[1]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {num[0]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {numl\_scan\_select[0]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {numl\_scan\_select[1]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {numl\_seg7[7]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {numl\_seg7[6]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {numl\_seg7[5]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {numl\_seg7[4]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {numl\_seg7[3]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {numl\_seg7[2]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {numl\_seg7[1]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {numl\_seg7[0]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {bcd\_num[3]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {bcd\_num[2]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {bcd\_num[1]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {bcd\_num[0]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {numl\_scan\_select[0]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {numl\_scan\_select[1]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {numl\_seg7[7]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {numl\_seg7[6]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {numl\_seg7[5]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {numl\_seg7[4]}]

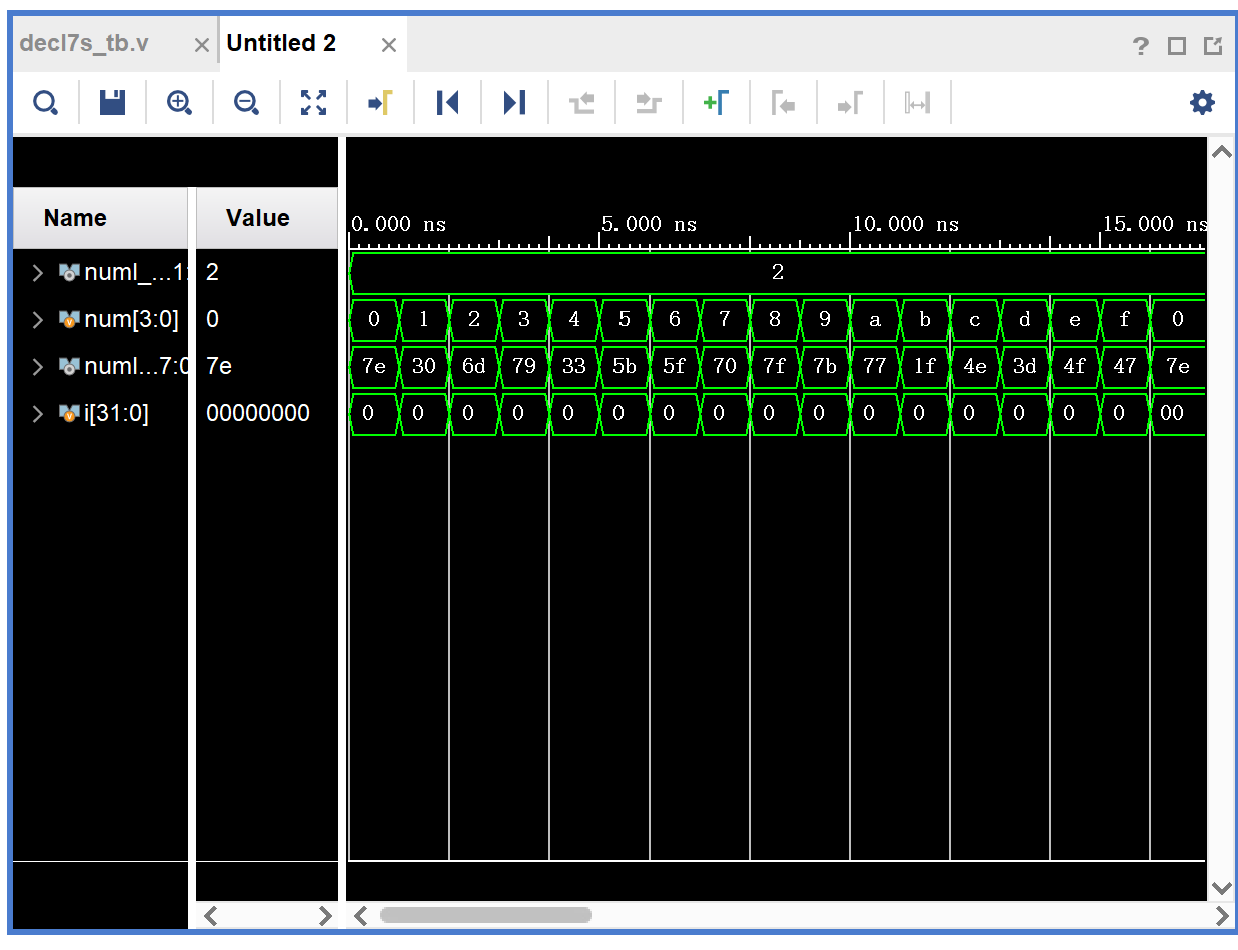
set\_property IOSTANDARD LVCMOS33 [get\_ports {numl\_seg7[3]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {numl\_seg7[2]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {numl\_seg7[1]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {numl\_seg7[0]}]

## 六、实验结果验证及分析（包括实验现象及原因分析）



## 七、实验过程中出现的问题及处理情况（如排故障的方法等）或可研究与探索的问题与方法。

无

## 八、实验操作评分照片

