# 湘 潭 大 学 实 验 报 告

**课程名称: 数字逻辑与数字电路 实验名称: 半加器全加器实验 实验日期: 2022.5.14 班级: 21级计算机科学与技术3班 学号： 202105566416 姓名： 熊心雨**

## 一、实验目的

1. 验证半加器和全加器的功能。
2. 熟悉利用Vivado设计简单组合电路的流程
3. 具备采用vivado HDL 设计功能描述风格的8位加法器代码的能力

## 二、实验内容和要求

1. 完成半加器和全加器的设计输入、编译、综合、适配、仿真、实验板上的硬件测试。
2. 设计一个8位加法器，并完成编译、综合、适配、仿真和硬件测试
3. 利用Vivado完成2选1多路选择器的工程创建和仿真测试等步骤，给出仿真波形及分析报告。

## 三、实验设备与软件环境

1、装有Xilinx Vivado 的计算机一台。

2、LS-CPU-EXB-002 教学系统实验箱一套。

## 四、实验方案或原理

a、b为两个1位二进制数，不考虑来自低位的进位，a、b相加的结果为sum,产生的进位为cout,称为半加，即sum=a+b

能够完全除了被加数a、加数b相加之外，还要加上相邻低位的进位cin的电路，称为全加器，即sum=a+b+cin，并产生进位cout

8位加法器可以实现2个8位二进制相加。

## 五、代码设计及实验步骤

（一）半加器实验

1.hadder.v

module hadder(a,b,cout,sum);//

input a,b;

output sum;

output cout;

/\* Begin \*/

assign sum = a^b;

assign cout = a&b;

/\* End \*/

endmodule

2、hadder\_tb.v(模拟电路)

`include "hadder.v"

module hadder\_tb;

wire cout;

wire sum;

reg a,b;

integer i;

initial begin

i=7;a=1'b0;b=1'b0;

#0 $display("time\ta\tb\tsum\tcout");

while(i>0) begin

#1 a=~a;

#2 b=~b;

i=i-1;

end

end

hadder m(.a(a),.b(b),.cout(cout),.sum(sum));

endmodule

3、hadder.xdc(约束文件)

set\_property PACKAGE\_PIN AC22 [get\_ports {a}]

set\_property PACKAGE\_PIN AD24 [get\_ports {b}]

set\_property PACKAGE\_PIN AC21 [get\_ports {sum}]

set\_property PACKAGE\_PIN D5 [get\_ports {cout}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {a}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {b}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {sum}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {cout}]

(二) 全加器实验

1.fadder.v

module fadder(a,b,cin,cout,sum);//

input a,b;

input cin;

output sum;

output cout;

/\* Begin \*/

assign sum = ((~a&b)|(a&~b))&~(cin)|~((~a&b)|(a&~b))&(cin);

assign cout = a&b|a&cin|b&cin;

/\* End \*/

Endmodule

2.模拟文件 fadder\_tb.v

`include "fadder.v"

module fadder\_tb;

wire cout;

wire sum;

reg a,b;

reg cin;

integer i;

initial begin

i=7;a=1'b0;b=1'b0;cin=1'b0;

#0 $display("time\ta\tb\tcin\tsum\tcout");

while(i>0) begin

#1 a=~a;

#2 b=~b;

#4 cin=~cin;

i=i-1;

end

end

fadder m(.a(a),.b(b),.cin(cin),.cout(cout),.sum(sum));

endmodule

3.约束文件 fadder.xdc

set\_property PACKAGE\_PIN AC21 [get\_ports {a}]

set\_property PACKAGE\_PIN AD24 [get\_ports {b}]

set\_property PACKAGE\_PIN AC22 [get\_ports {cin}]

set\_property PACKAGE\_PIN H7 [get\_ports {sum}]

set\_property PACKAGE\_PIN D5 [get\_ports {cout}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {a}]

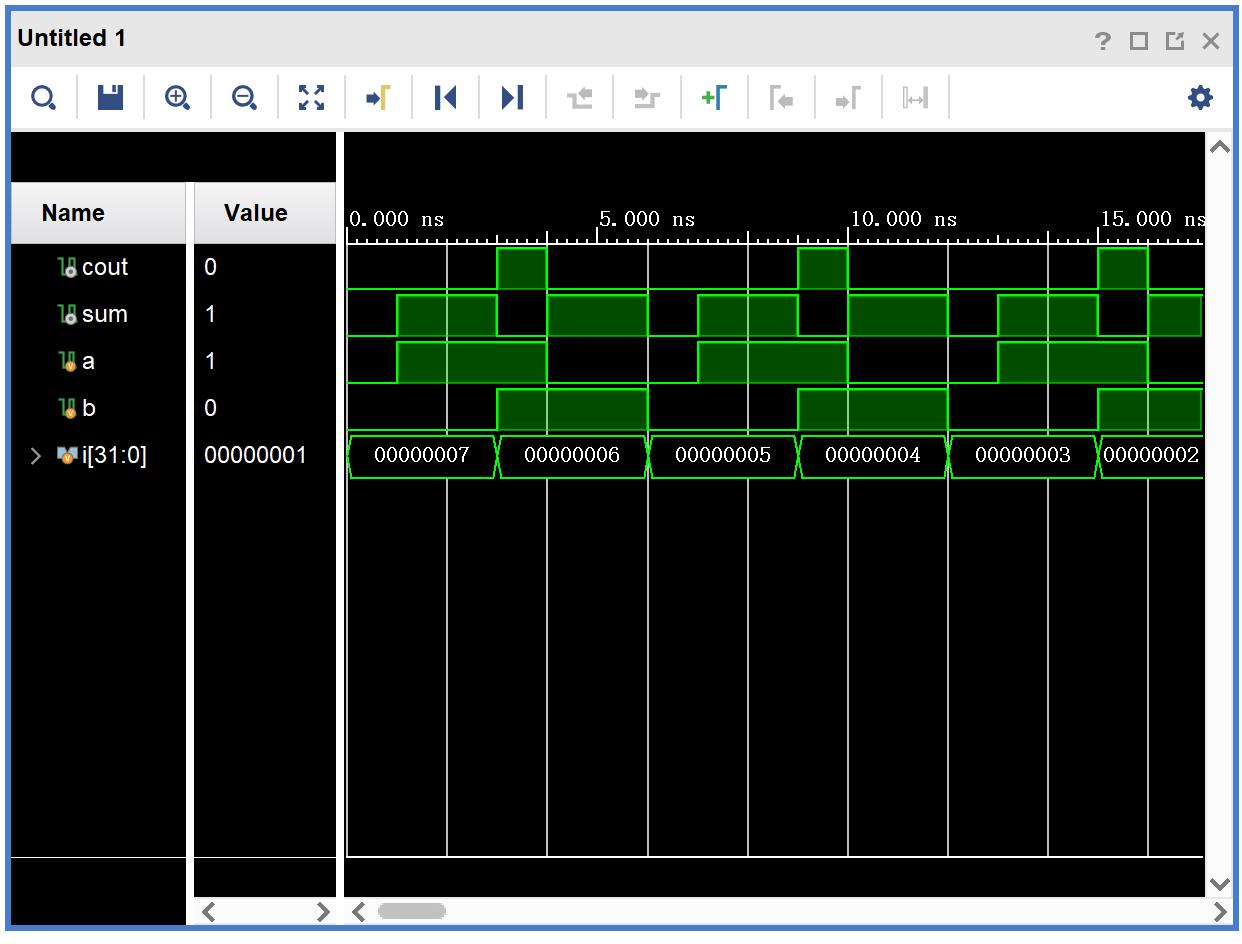
set\_property IOSTANDARD LVCMOS33 [get\_ports {b}]

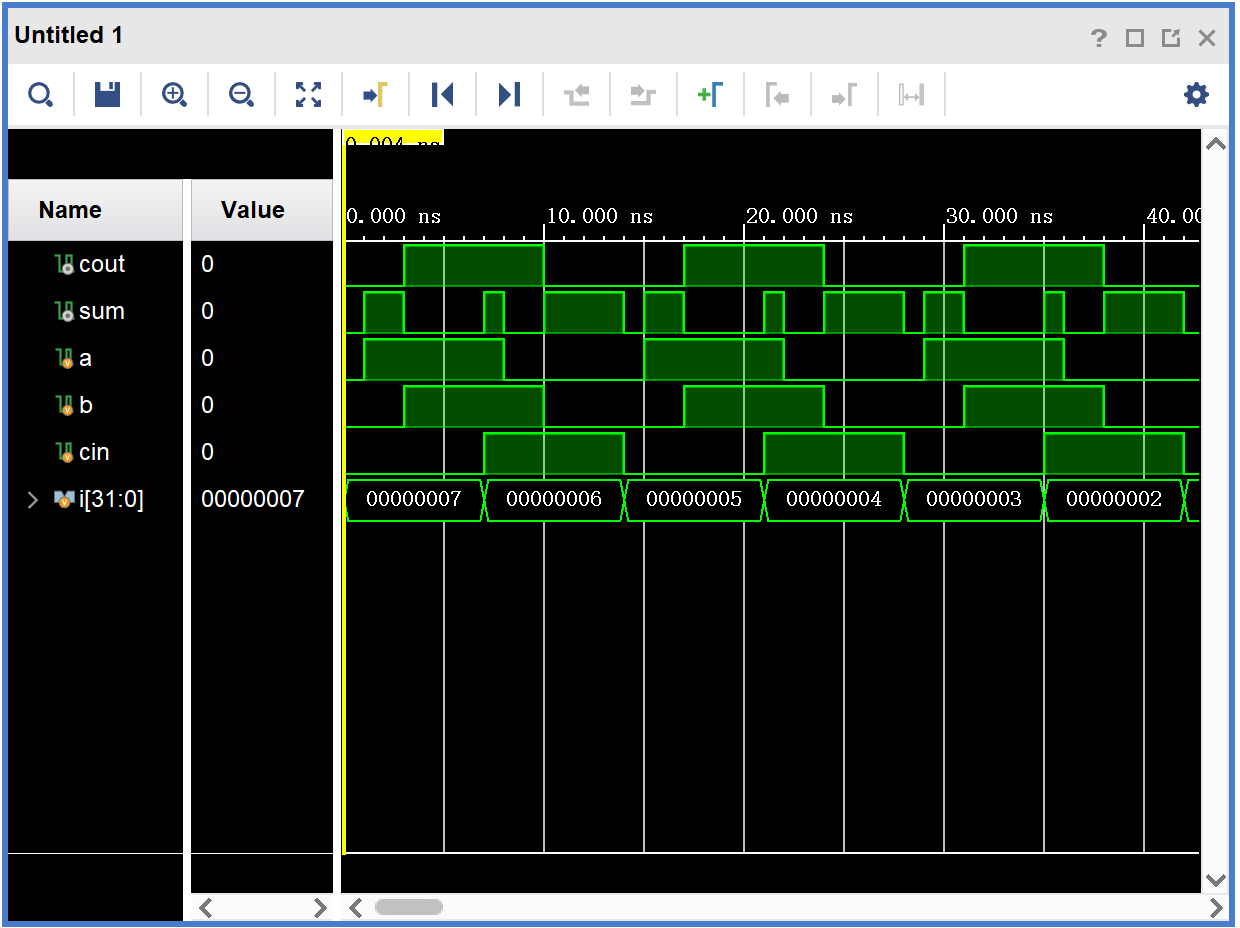
set\_property IOSTANDARD LVCMOS33 [get\_ports {cin}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {sum}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {cout}]

## 六、实验结果验证及分析（包括实验现象及原因分析）





## 七、实验过程中出现的问题及处理情况（如排故障的方法等）或可研究与探索的问题与方法。

无

八、实验操作评分照片

