**湘 潭 大 学 实 验 报 告**

课程名称：数字逻辑与数字电路实验名称：**半加器全加器实验**

班 级：22级计算机科学与技术4班 实验日期：2023.4.18

姓 名：张志雄 学 号：202205566912

### 实验目的

1、 验证半加器和全加器的功能。

2、 熟悉利用Vivado设计简单组合电路的流程

3、 具备采用vivado HDL 设计功能描述风格的8位加法器代码的能力

### 实验内容和要求

1. 完成半加器和全加器的设计输入、编译、综合、适配、仿真、实验板上的硬件测试。
2. 设计一个8位加法器，并完成编译、综合、适配、仿真和硬件测试
3. 利用Vivado完成2选1多路选择器的工程创建和仿真测试等步骤，给出仿真波形及分析报告。

### 实验设备和软件环境

实验电脑设备规格：

设备名称：OMEN-15

处理器：AMD Ryzen 7 4800H with Radeon Graphics 2.90 GHz

系统类型：64 位操作系统, 基于 x64 的处理器

实验电脑Windows规格

版本：Windows 11

操作系统版本：22621.1413

实验箱设备：

设备名称：Cpu FPGA 教学实验系统V2.0

设备型号：LS-CPU-EXB-001

软件环境：

Vivado v2022.2

### 实验方案或原理

a、b为两个1位二进制数，不考虑来自低位的进位，a、b相加的结果为sum,产生的进位为cout,称为半加，即sum=a+b

能够完全除了被加数a、加数b相加之外，还要加上相邻低位的进位cin的电路，称为全加器，即sum=a+b+cin，并产生进位cout

8位加法器可以实现2个8位二进制相加。

### 代码设计及测试数据设计

1. HADDER.v（设计逻辑关系电路）

module hadder(a,b,cout,sum);

input a,b;

output sum;

output cout;

assign sum = a^b;

assign cout = a&b;

endmodule

1. HADDER\_tb.v(模拟电路)

`include "hadder.v"

module hadder\_tb;

wire cout;

wire sum;

reg a,b;

integer i;

initial begin

i=7;a=1'b0;b=1'b0;

#0 $display("time\ta\tb\tsum\tcout");

while(i>0) begin

#1 a=~a;

#2 b=~b;

i=i-1;

end

end

hadder m(.a(a),.b(b),.cout(cout),.sum(sum));

endmodule

3、HADDER.xdc(约束文件)

set\_property PACKAGE\_PIN AC22 [get\_ports {a}]

set\_property PACKAGE\_PIN AD24 [get\_ports {b}]

set\_property PACKAGE\_PIN H7 [get\_ports {sum}]

set\_property PACKAGE\_PIN D5 [get\_ports {cout}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {a}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {b}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {sum}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {cout}]

4.FADDER.v（设计逻辑关系电路）

module FADDER(a,b,cin,cout,sum);

input a,b;

input cin;

output sum;

output cout;

assign sum = ((~a&b)|(a&~b))&~(cin)|~((~a&b)|(a&~b))&(cin);

assign cout = a&b|a&cin|b&cin;

endmodule

5..FADDER\_tb.v(模拟电路)

`include "FADDER.v"

module fadder\_tb;

wire cout;

wire sum;

reg a,b;

reg cin;

integer i;

initial begin

i=7;a=1'b0;b=1'b0;cin=1'b0;

#0 $display("time\ta\tb\tcin\tsum\tcout");

while(i>0) begin

#1 a=~a;

#2 b=~b;

#4 cin=~cin;

i=i-1;

end

end

fadder m(.a(a),.b(b),.cin(cin),.cout(cout),.sum(sum));

endmodule

6.FADDER.xdc(约束文件)

set\_property PACKAGE\_PIN AC22 [get\_ports {a}]

set\_property PACKAGE\_PIN AD24 [get\_ports {b}]

set\_property PACKAGE\_PIN H7 [get\_ports {sum}]

set\_property PACKAGE\_PIN D5 [get\_ports {cout}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {a}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {b}]

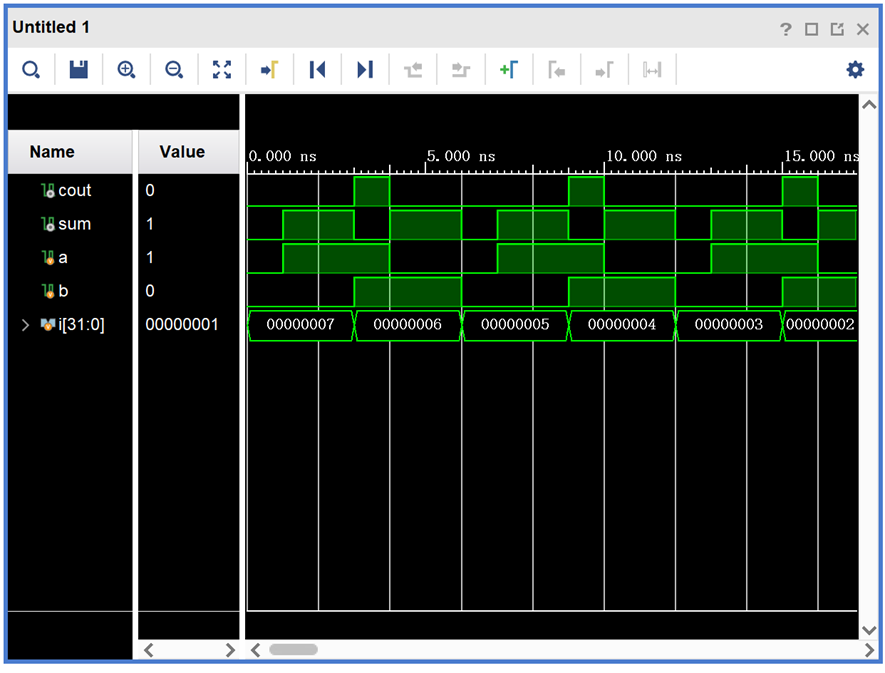
set\_property IOSTANDARD LVCMOS33 [get\_ports {sum}]

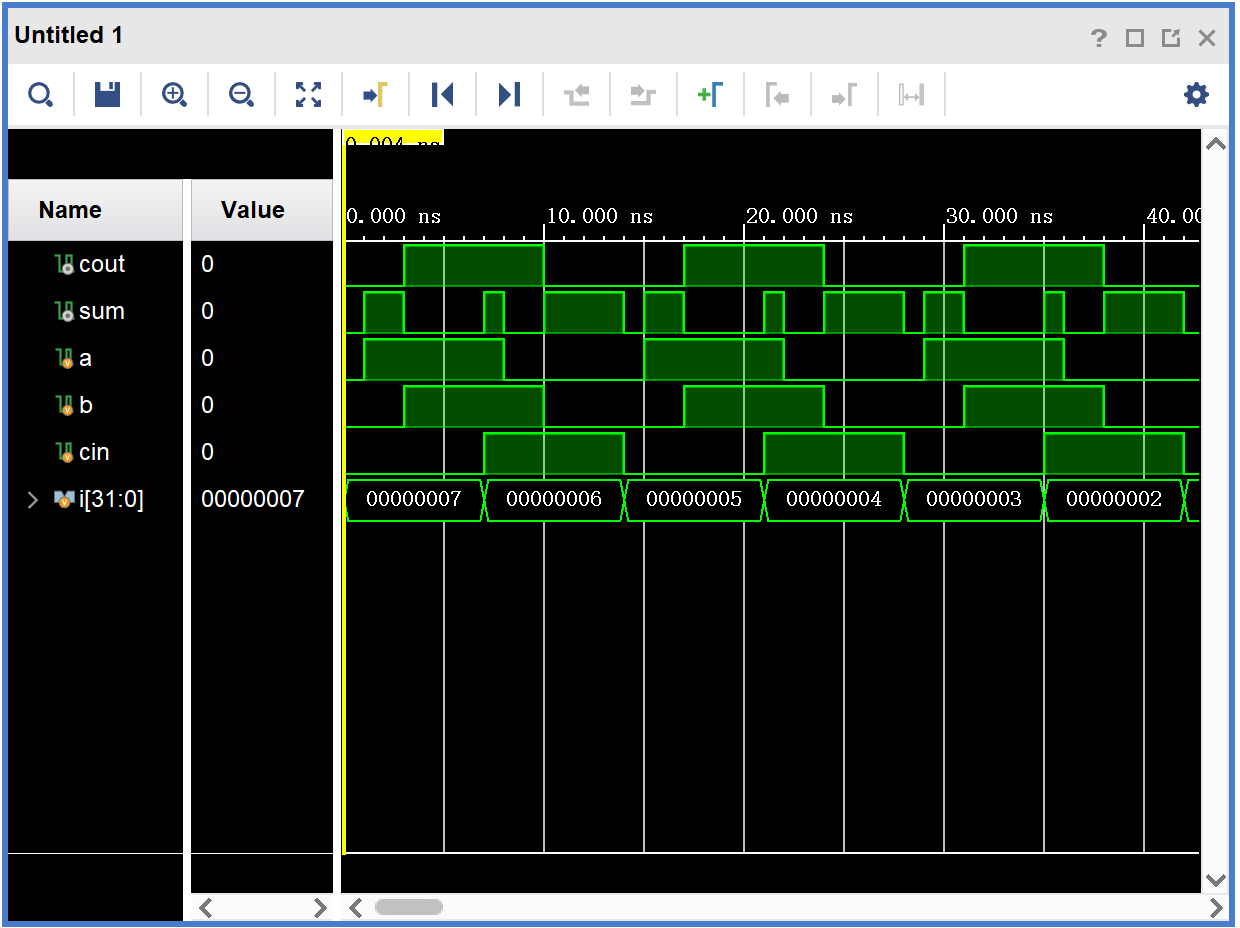
set\_property IOSTANDARD LVCMOS33 [get\_ports {cout}]

### 实验操作步骤

1. 设计逻辑关系电路
2. 设计仿真文件
3. 设计约束文件
4. 下载文件至实验箱测试

### 实验结果验证及分析





### 八、其他

需要注意下拨开关为1，上拨开关为0

灯灭为1，灯亮为0

约束文件中因为设备问题使用了第二个、第三个拨码开关

### 九、实验操作评分照片

