**湘 潭 大 学 实 验 报 告**

课程名称：数字逻辑与数字电路实验名称：三人表决电路实验

班 级：22级计算机科学与技术4班 实验日期：2023.4.11

姓 名：张志雄 学 号：202205566912

### 实验目的

1. 熟悉Vivado使用流程。

2.验证三人表决电路的功能。

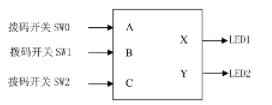
### 实验内容和要求

1. 完成三人表决电路的输入与仿真。

利用Vivado完成三人表决电路的文本编辑输入和仿真测试等步骤，给出仿真波形。

1. 设计实验方案。

ABC[2:0]分别接至sw0,sw1,sw2；输出信号X，Y分别接LED灯1， LED灯2。最后进行编译、下载和硬件测试实验(通过拨动拨码开关sw0,sw1,sw2，控制LED灯1和LED灯2的亮灭)。



1. 将工程下载到实验箱上进行硬件测试，验证次设计的功能。

根据实验方案创建约束文件，绑定引脚，并下载到试验箱的FPGA板子上进行硬件测试。熟悉硬件平台，特别需要掌握利用拨码开关输入表决情况，利用LED灯观察表决结果的方法。做好实验报告，验证三人表决电路的功能。

4.根据实验内容写出实验报告

包括程序设计、软件编译，仿真分析、硬件测试和实验操作步骤；给出源程序代码、仿真波形图、数据记录及实验结果分析。

### 实验设备和软件环境

实验电脑设备规格：

设备名称：OMEN-15

处理器：AMD Ryzen 7 4800H with Radeon Graphics 2.90 GHz

系统类型：64 位操作系统, 基于 x64 的处理器

实验电脑Windows规格

版本：Windows 11

操作系统版本：22621.1413

实验箱设备：

设备名称：Cpu FPGA 教学实验系统V2.0

设备型号：LS-CPU-EXB-001

软件环境：

Vivado v2022.2

### 实验方案或原理

三人表决电路中，当表决某个提案多数人同意，且具有否决权的人也同意时，则提案通过。若全票否决也具有显示。

设输入为A、B、C，且A具有否决权，同意用1表示，不同意用0表示。输出X为1时表示提通过；Y为1时表示提案全票否决，则三人表决电路的真值表如下图所示。

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| A | B | C | X | Y |
| 0  0  0  0  1  1  1  1 | 0  0  1  1  0  0  1  1 | 0  1  0  1  0  1  0  1 | 0  0  0  0  0  1  1  1 | 1  0  0  0  0  0  0  0 |

### 代码设计及测试数据设计

1. JG3.v（设计逻辑关系电路）

module JG3(ABC,X,Y);

input[2:0] ABC;

output X,Y;

reg X,Y;

always@(ABC)

case(ABC)

3'B000:begin X<=1'B0;Y<=1'B1;end

3'B001:begin X<=1'B0;Y<=1'B0;end

3'B010:begin X<=1'B0;Y<=1'B0;end

3'B011:begin X<=1'B0;Y<=1'B0;end

3'B100:begin X<=1'B0;Y<=1'B0;end

3'B101:begin X<=1'B1;Y<=1'B0;end

3'B110:begin X<=1'B1;Y<=1'B0;end

3'B111:begin X<=1'B1;Y<=1'B0;end

default:begin X<=1'B1;Y<=1'B0;end

endcase

endmodule

1. JG3\_tb.v(模拟电路)

`include"JG3.v"

module JG3\_tb;

reg [2:0]ABC;

wire X;

wire Y;

integer i;

initial begin

i=7;ABC=3'b000;

#0 $display("time\tABC\tX\tY");

while(i>0) begin

#1 ABC=ABC+3'b001;

i=i-1;

end

end

JG3 m(.ABC(ABC),.X(X),.Y(Y));

initial begin

$dumpfile("test.vcd");

$dumpvars;

$monitor("%g\t %b %b %b",$time,ABC,X,Y);

#60 $finish;

end

endmodule

3、JG3.xdc(约束文件)

set\_property PACKAGE\_PIN AC21 [get\_ports {ABC[2]}]

set\_property PACKAGE\_PIN AD24 [get\_ports {ABC[1]}]

set\_property PACKAGE\_PIN AC22 [get\_ports {ABC[0]}]

set\_property PACKAGE\_PIN H7 [get\_ports X]

set\_property PACKAGE\_PIN D5 [get\_ports Y]

set\_property IOSTANDARD LVCMOS33 [get\_ports {ABC[2]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {ABC[1]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {ABC[0]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports X]

set\_property IOSTANDARD LVCMOS33 [get\_ports Y]

### 实验操作步骤

1. 设计逻辑关系电路
2. 设计仿真文件
3. 设计约束文件
4. 下载文件至实验箱测试

### 七、实验结果验证及分析

### 八、其他

需要注意下拨开关为1，上拨开关为0

灯灭为1，灯亮为0

### 九、实验操作评分照片

