

Praktikum Schaltungsintegration (PSI)

Versuch Nr.: SI3
Versuchstitel: Entwicklung eines 5-Bit-Aufwärtszählers
Versuchskonzept: C. Schimpfle / F. Aschauer / D. Kohlert

I. Versuchsziel

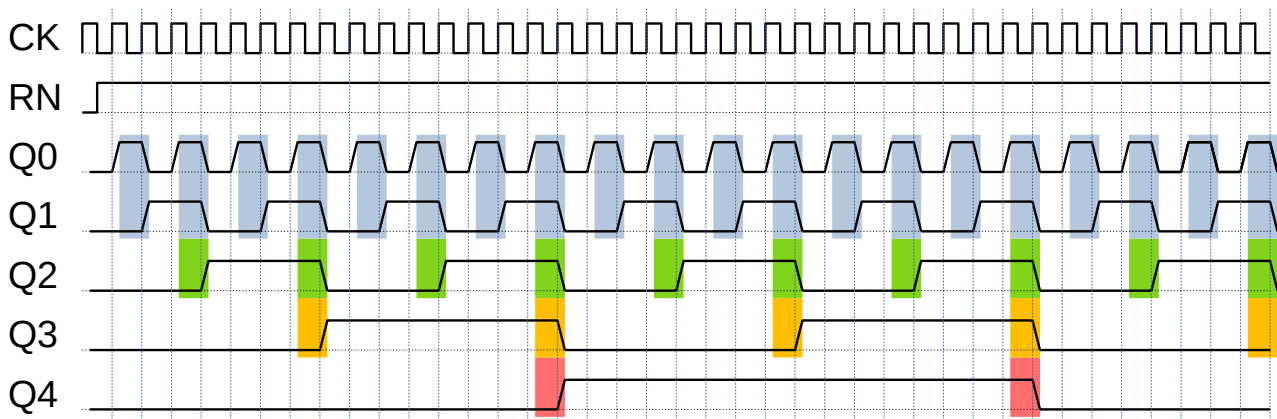
In den Versuchen SI0 bis SI3 sollen Sie den Umgang mit einem sehr leistungsfähigen, in der Industrie eingesetzten EDA (Electronic Design Automation)-Software-Paket kennen lernen. Sie werden den Einsatz der Programme anhand von vollständigen Entwurfsabläufen (Design Flows) für Full-Custom- und Standardzellentwürfe üben.

II. Versuchskurzbeschreibung

III Versuchsdurchführung

III.1 Funktion des 5-Bit-Aufwärtszählers mit T-Flipflops

Gewünschter Zeitverlauf:



Bedingung für den Wechsel des Ausgangswerts („Toggle“)

Q0: Jede akt. Taktflanke

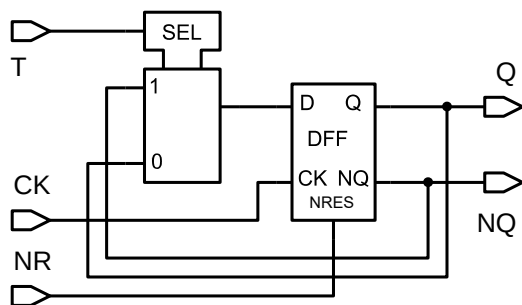
Q1: $Q0 = 1$

Q2: $Q0 * Q1 = 1$

Q3: $Q0 * Q1 * Q2 = 1$

Q4: $Q0 * Q1 * Q2 * Q3 = 1$

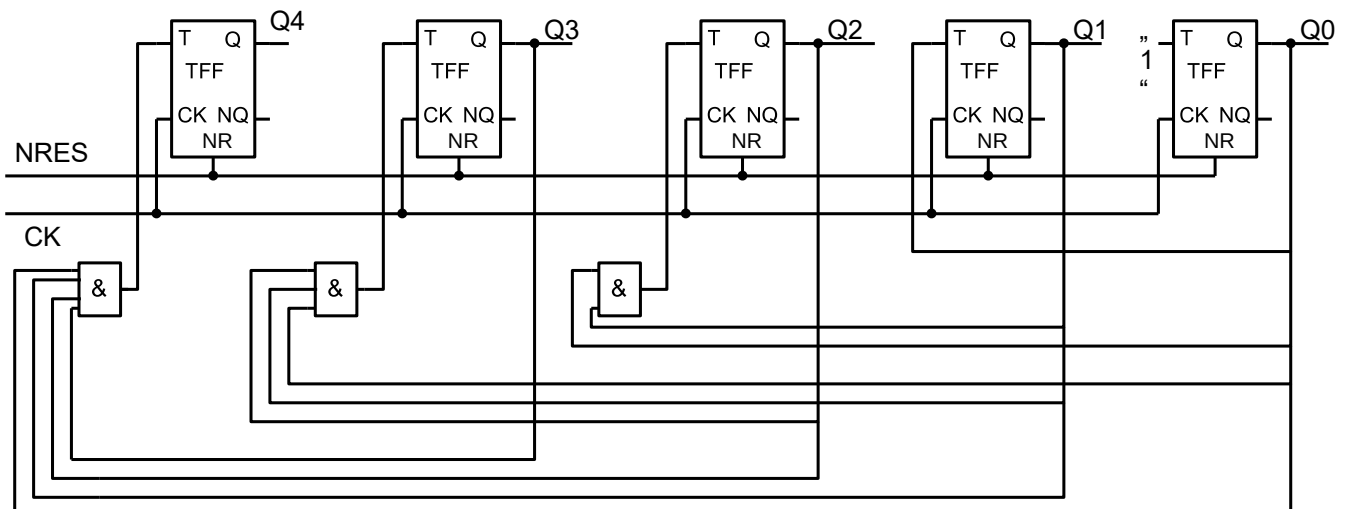
Benötigt wird also ein Flipflop, das bei einem aktiven Steuersignal am Eingang und bei der aktiven Taktflanke seine Wert wechselt. Es kann aus einem D-Flipflop und einem vorgeschalteten 2:1-Multiplexer aufgebaut werden:



Das TFF besitzt einen low-Aktiven, asynchronen Reset-Eingang.

Für $T=1$ gilt: Mit der nächsten ansteigenden Taktflanke wechselt der Ausgangswert, da der NQ-Ausgang des DFF übernommen wird. Für $T=0$ bleibt der Wert am Ausgang erhalten. Der T-Eingang ist demnach high-aktiv, die entsprechenden Eingangssignale

können also mit AND-Gattern erzeugt werden:



Wenn statt der oben verwendeten TFF's mit high-aktiven Eingängen solche mit low-aktiven Eingängen verwendet werden, können statt der UND-Gatter NAND's verwendet werden. Es wurde im Praktikum bereits ein NAND-Gatter mit 4 Eingängen realisiert, damit sollen alle notwendigen NAND's realisiert werden. Nicht benötigte Eingänge werden fest auf '1' gelegt. Dies wäre zwar bei einem kommerziellen Chip Platzverschwendung, spielt hier aber keine Rolle.

[illegible]

The diagram illustrates a 2-to-1 multiplexer implemented using two 2-to-1 multiplexers and a selector signal SEL. The inputs are A and B, and the outputs are Y and SEL. The selector signal SEL is connected to the 'n' inputs of both 2-to-1 multiplexers. The 'p' inputs of the top 2-to-1 multiplexer are connected to A, and the 'p' inputs of the bottom 2-to-1 multiplexer are connected to B. The 'ckbb' inputs of both 2-to-1 multiplexers are connected to the 'ckb' input of the SEL block. The output Y is the output of the top 2-to-1 multiplexer, and the SEL output is the output of the bottom 2-to-1 multiplexer.

SEL = 1: $Y = A$
 SEL = 0: $Y = B$

[illegible]

III.2 T-Flipflop

III.2.1 Aufbau des T-Flipflops

Vorbemerkung:

Alle zur Verfügung gestellten Standardzellen können von der Library "psi" in die eigene Arbeits-Library kopiert werden. Es sollten ebenfalls die verschiedenen Kontaktzellen kopiert werden.

Der 2:1-Multiplexer und das D-Flipflop sind bereits als Schematic und als Layout vorgegeben (mux2_psi und dff_nr_psi).

Bauen Sie zunächst im Schematic aus den beiden Zellen ein TFF mit low-aktivem T-Eingang auf !
Versehen Sie die Schaltung mit den Pins ! Symbole für Versorgungsspannungen sind hier nicht einzubauen, da sie als globale Netze im Inneren der beiden Zellen vorhanden sind.
Kopieren Sie das Schematic in die Protokolldatei !
Erstellen Sie das Symbol !

III.2.2 Funktionale Simulation des T-Flipflops

Zur Simulation sollten Sie eine "Testbench" erstellen, also eine Schaltung, die das Symbol enthält, sowie Pins und Symbole der globalen Versorgungsspannungen (VDD und vss)

Diese Symbole befinden sich in der Library "basic". Da es eine Fehlermeldung gibt, wenn unverbundene Versorgungsspannungen vorhanden sind, sollten beide Symbole z.B. mit einem Widerstand (res, in Library analogLib) mit 1GOhm verbunden werden.

Überlegen Sie sich Testsignale, die die Funktion verifizieren können.

Erstellen Sie eine Simulation, wie unter PSI2, IV.2 beschrieben und verifizieren Sie die Funktion.

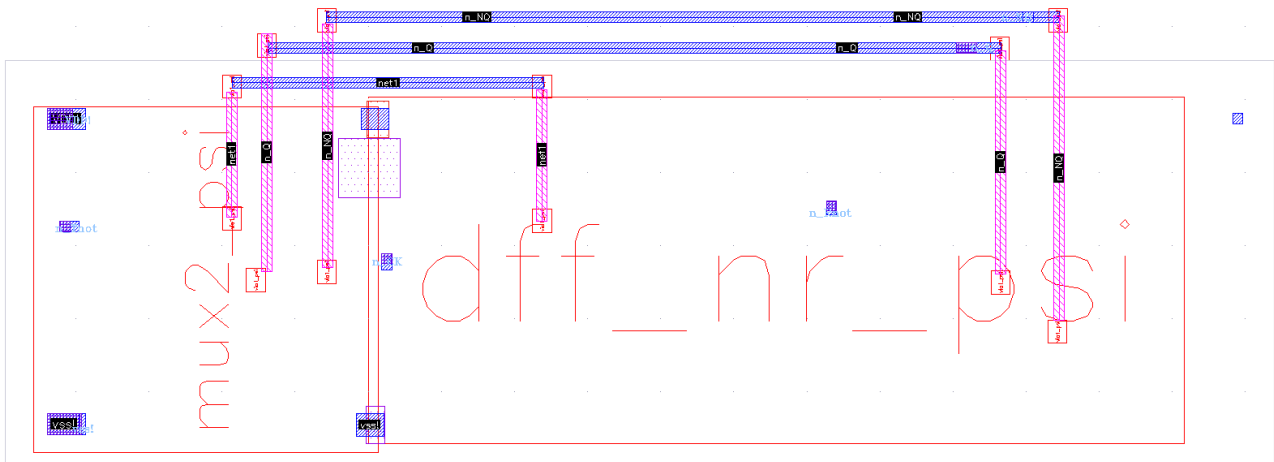
Kopieren Sie das Timing in das Protokollfile!

III.2.3 Layout des T-Flipflops

Erstellen Sie ein Layout der Schaltung !

Die Verdrahtung der Zellen soll bereits nach der Standard-Zell-Methodik erfolgen, d.h.:

Auf die Pins in darunterliegenden Zellen wird ein Via1 (Kontakt Met1 - Met2) platziert. Davon ausgehend wird ein senkrechter M2-Pfad nach oben geführt, der wieder auf ein Via 1 führt. Die waagrechten Verbindungen werden dann wieder im M1 ausgeführt.



Die externen Anschlüsse der Gesamtschaltung werden als M1-Quadrate ausserhalb der Schaltung platziert. Diese müssen auf die zugehörigen Pins verschoben werden. Die Pins benötigen einen Pin-Designator (M1- Pin) Zusätzlich muss auf jedes Pin ein M1-Fleck in der obersten Hierarchiestufe platziert werden, diese sollte über die M1-Pin-Fläche hinausragen. Es hat sich gezeigt, dass sich Pins am besten dort platzieren lassen, wo die M1-Drawing- nicht aber die M1-Fläche liegt.

Bauen Sie alle Pins ein, wie unter PSI2, IV.3 beschrieben !

III.2.4 Check des T-Flipflops (DRC, LVS)

Überprüfen Sie das Layout mit dem DRC !

Führen Sie einen LVS durch, und beseitigen Sie ggf. Fehler !

Dokumentieren sie das Ergebnis !

III.3 Sukzessiver Aufbau des 5-Bit-Zählers

III.3.1 Schematic der Gesamtschaltung

Bauen Sie zunächst im Schematic aus den TFF's und den selbst erstellten 4-fach-NAND's die Zählerschaltung auf !

Versehen Sie die Schaltung mit den Pins !

Kopieren Sie das Schematic in die Protokolldatei !

Erstellen Sie das Symbol !

III.3.2 Funktionale Simulation der Gesamtschaltung

Gehen Sie zur Simulation der Gesamtschaltung wieder wie unter **III.2.2** vor !

Überlegen Sie sich Testsignale, die die Funktion verifizieren können.

Erstellen Sie eine Simulation, wie unter PSI2, IV.2 beschrieben und verifizieren Sie die Funktion.

In der Simulation können auch Signale dargestellt werden, die nicht als Pins nach außen geführt sind:

Im Maestro-Auswahlfenster für "Outputs":

Cursor auf Zelle im Schematic (gelber Rand)

RMB: "Descend Read"

Zelle nochmal anklicken

Darunterliegendes Schematic erscheint

Falls nötig: Zelle in diesem Schematic nochmal anklicken

RMB: "Descend Read"

Signal anklicken

Zurück:

Cursor ins Schematic:

RMB / Return

Fügen Sie auf diese Weise das Signal am D-Eingang des höchstwertigen DFF in die Simulation ein !

Ermitteln Sie die Signallaufzeit vom Takt (CK) zu diesem Signal (low-> high und high->low).

Welche Aussage über die maximale Taktfrequenz lässt sich daraus ableiten ?

III.3.3 Layout der Gesamtschaltung

Erstellen Sie ein Layout der Schaltung !

Die Verdrahtung der Zellen soll bereits nach der Standard-Zell-Methodik erfolgen.

III.3.4 Check der Gesamtschaltung (DRC, LVS)

Überprüfen Sie das Layout mit dem DRC !

Führen Sie einen LVS durch, und beseitigen Sie ggf. Fehler !

Dokumentieren sie das Ergebnis !

III.3.5 Parasitics Extraction und Nachsimulation

Beschreibung Parasitics Extraction

.....

III.3.6 Ermittlung der maximal möglichen Taktfrequenz

Ermitteln Sie wieder die Signallaufzeit vom Takt (CK) zum Signal am D-Eingang des höchstwertigen DFF !

Welche Aussage über die maximale Taktfrequenz lässt sich daraus ableiten ?

Vergleichen Sie ds Ergebnis mit dem vorherigen !