

HPC（高性能计算）、AI（人工智能）和 ML（机器学习）对处理能力的需求正在以前所未有的速度增长，尽管摩尔定律不再适用，但按照其最严格的定义，它仍在稳步提高处理器性能，尽管速度有所放缓。然而，芯片到芯片和芯片到内存的互连技术并没有出现同样的改进，需求和现实之间的差距越来越大，Avicena 业务开发部的 Jess Brown 博士写道。

如图 1 所示，大型语言模型 (LLM) 的增长速度已完全超过封装内高带宽内存 (HBM) 堆栈的内存带宽的增长速度。事实上，在过去 5 年中，LLM 参数数量增长了几个数量级，而 HBM 内存带宽仅增长了一个数量级。电气互连在覆盖范围、尺寸和功率效率方面存在根本限制，尤其是在更高的数据速率下，这导致了这种差异。因此，需要价格合理的低功耗、紧凑、短距离、快速链路技术。本文深入探讨了基于 GaN μ LED 的革命性光学链路领域，为芯片到芯片互连提供了一种变革性方法，可实现无与伦比的超低功耗、出色的带宽密度和最小延迟，这与现有的基于 SerDes 的解决方案形成鲜明对比。

互连：选项

目前有两种类型的互连基础技术：电气和光学。下图（图 2）显示了这两种技术在不同配置下的品质因数 (FoM)。FoM 绘制了带宽密度和能效与链路范围的乘积，范围从 0.1 毫米到 1,000 米。对于短距

离通信 (<10 厘米), 电气 链接目前仍然提供最好的 性能, 而对于长距离 通信 (>10 米), 常规 光学技术提供最佳 性能, 但对于 1cm 到 10m 的中间范围, 两者都无法提供最佳性能。现有的基于多模垂直腔面发射激光器 (VCSEL) 的链路虽然非常适合长达 100m 的距离, 但对于较短的光互连并不理想, 主要是因为高密度处理器在高温下运行, 而 VCSEL 对高温操作的耐受性有限。硅光子学 (SiPh) 代表了另一种正在开发和评估的光链路技术。然而, 这些最初是为中长距离应用而开发的, 这意味着 SiPh 互连对于短距离互连具有较差的效率性能 (>5pJ/bit)。此外, 基于 VCSEL 和 SiPh 的链路通常都使用下一节中讨论的串行器/反串行器 (SerDes) 来实现每通道 > 100Gbps 的高链路带宽, 这会增加相当大的功率开销。因此, 目前电气解决方案与现有的光学解决方案之间存在差距, 因为这些技术无法为机载数据传输提供最佳解决方案, 通常在 1 厘米到 10 米的距离内, 这是 适用于大多数芯片间互连。Avicena 的技术可以填补这一空白, 并通过基于光学 μ LED 的互连芯片提供优势, 提供超快速、低功耗的互连, 弥补内部处理性能和芯片间通信之间的差距, 互连距离可达 10 米。

选择 SERDES 还是不选择 SERDES

分布式数据处理需要 IC 之间的高速数据传输, 无论是处理器之间、处理器与内存之间, 还是两者兼而有之。并行和串行通信是这些芯片之间传输数据的两种选择。并行数据传输需要 IC 之间的多个连接,

而串行数据传输只需要一对连接。片上通信通常以并行格式完成，因此要实现串行互连，需要一个提供并行到串行和串行到并行转换的串行器-反串行器 (SerDes) 功能块，以实现两个块之间的串行通信。发送器部分是并行到串行转换器，接收器部分是串行到并行转换器，大多数设备提供全双工操作，即同时在两个方向上传输数据。使用 SerDes 的原因是为了减少传输数据所需的数据路径数量（以及相关的连接引脚或电线数量），同时实现高链路带宽。它还解决了以电子方式传输并行数据带来的其他问题，例如易受电磁干扰和时钟时序偏差的可能性。 SerDes 芯片可能还包括编码器、时钟倍增器单元、物理编码子块、时钟和数据恢复单元、输入和输出暂存区、前向纠错 (FEC) 块和其他组件。对于长距离光学链路，使用基于 SerDes 的互连具有明显优势，因为它们可以最大限度地减少昂贵的基于激光的发射器的数量。但是，当在长达几米的距离上连接 IC 时，使用并行链路具有明显优势，因为 IC 具有宽且相对较慢的总线，内部时钟速度为几 Gbps。Avicena 使用 μ LED 开发了一种光学解决方案，它克服了 SerDes 的缺点，但仍采用光学技术来获得所有相关优势。Avicena 的 LightBundle™ 消除了对 SerDes 的需求 由 GaN μ LED 和 Si PD 阵列组成，这些 PD 绑定到收发器 ASIC。 μ LED 通过光纤连接 捆绑到相应接收器收发器 ASIC 上的匹配 PD 阵列，反之亦然。典型的 LightBundle 链路有几百个通道，每个通道以几 Gbps 的速度运行，每个链路的总吞吐量 > 1Tbps。适中的每通道速度与典型的 IC 时钟速度非常匹配，消除了对 SerDes 的需求，并以 <1pJ/bit 的功率效率

实现最高效的光学链路。GaN μ LED 已用于自由空间可见光通信 (VLC)，但数据速率有限。Avicena 已成功开发出可以以超过 10Gbps 的数据速率运行的 μ LED。利用这项专利技术，已经证明这些 μ LED 不仅可以以高数据速率进行调制，而且它们还可以实现 $> 2\text{Tbps/mm}$ 的带宽密度，功率效率 $< 1\text{pJ/bit}$ 。LightBundle 收发器芯片组既可以使用硅中介层或有机基板与处理器一起封装，也可以放置在电路板上并通过 PCB 走线连接到处理器 IC 封装。不同应用中唯一会发生变化的是 LightBundle IC 和处理器 IC 之间的电气接口。从根本上讲，LightBundle 互连可以支持任何电气接口。LightBundle 收发器 ASIC 将转换电气数据格式以匹配光学 μ LED 传输格式。并行电气接口最适合与 LightBundle 芯片组的并行光学 μ LED 阵列接口结合使用，因为不需要耗电的 SerDes。IC 可以将电气通道速率与每个数据速率相匹配。单个 μ LED 链路或提供简单的复用/解复用功能，以将延迟和能耗降至最低。电气接口的主要候选者是通用小芯片接口 Express (UCIe)，它正在获得广泛的行业支持，但其他协议（如 BoW 或新兴的 UALink）也是可能的。表 1 比较了并行与 SerDes 的优缺点以及 Avicena 的 μ LED 光学解决方案的选项，从中可以看出，Avicena 的 LightBundle 解决方案为芯片到芯片的通信和互连提供了最佳解决方案。

结论

由于传统 SerDes 光纤互连的局限性，HPC、AI 和 IC 行业不断评估创新解决方案，以实现高带宽密度、高能效和低延迟互连，短距离到

中距离可达几米。 μ LED 技术以其在高分辨率显示器和照明系统中的应用而闻名，它已经展示了在芯片级重新定义数据通信格局的潜力。通过结合光作为数据传输媒介的固有优势与 LED 阵列的 2D 布局，基于 μ LED 的光纤链路为实现互连架构中以前无法实现的性能水平提供了一条突破性途径。