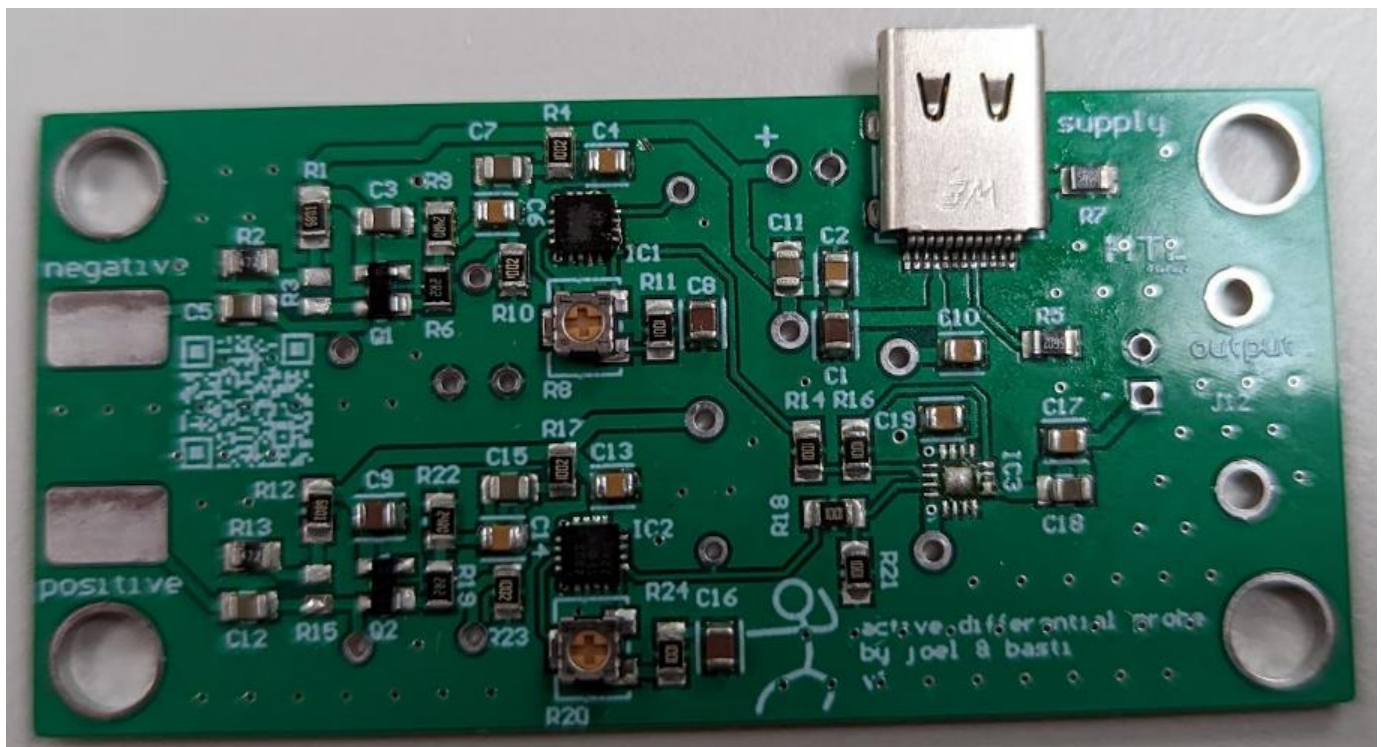


Aktiver Tastkopf



Projektmitglieder:

- Joel Rupp
- Sebastian Mayrhofer

Aufgabenbeschreibung

Im Projekt „Aktiver Tastkopf“ wurde versucht einen aktiven differentiellen FET-Tastkopf zu bauen. Die Anforderungen wurden bewusst hoch gesetzt, da uns der Schaltplan und das Layout für einen „single-ended-Tastkopf“ bereits geliefert wurden. Wir haben dann die Schaltung weiterentwickelt und quasi verdoppelt, um differentielle Messungen zu ermöglichen.

Inhaltsverzeichnis:

Aufgabenbeschreibung	2
Liste Entwicklungstools	2
Teil 1 - Allgemeines	3
Gewünschte Spezifikationen der Schaltung	3
Gewählte Bauteile.....	3
Erwartete Probleme	3
Aufgetretene Probleme	3
Potentielle Verbesserungen der Schaltung	3
Teil 2 – Technische Details	4
Was ist ein aktiver Tastkopf?	4
Blockschaltbild der Schaltung	4
Teil 3 – Erklärung der Schaltung.....	5
Die FET-Eingangsstufe mit Abschwächung	5
Die Verstärkung.....	6
Die Differenzierung.....	7
Der USB-C Power delivery Standard	7
Teil 4 – Simulation	8
Zeitbereich	9
Bandbreite.....	11
Teil 5 - Messung	12
Stromaufnahme.....	12
Zeitbereich	12
Messung der Bandbreite	13
Teil 6 – Technische Unterlagen	14
Schaltplan	14
Board Top.....	15
Board Bottom	15
BOM 16	
Gehäuse	17

Liste Entwicklungstools

Microsoft Word: Version 2210

Altium Designer: Version 22

LTspice: XVII

Fusion360: V.2.014569

Teil 1 - Allgemeines

Gewünschte Spezifikationen der Schaltung

Maximale Eingangsspannung der Schaltung: 1V Peak

Bandbreite: mindestens 1GHz

Messmethode: Differentiell

Eingangskapazität: <1pF

Gewählte Bauteile

Als FET wurde der BF998 vorgegeben. Dieser wird in der DIY-Community oft verwendet um FET-Tastköpfe zu bauen. Er wird zwar nicht mehr produziert, jedoch sind noch riesige Altbestände verfügbar.

Für den OP wurde der THS4302 gewählt. Dieser bietet eine groß genuge Bandbreite um die gewünschten Spezifikationen zu erfüllen. Der Preis ist zwar etwas hoch, aber so ist das nun mal bei HF-Bauteilen.

Als Eingangskapazität zur AC-Kopplung wurden 1pF gewählt. Dies musste gemacht werden da die Schaltung mit größeren Werten in der Simulation schwang, und weil die Eingangskapazität sonst zu hoch wäre.

Erwartete Probleme

Zu erwartende Probleme sind:

- Schwingen der Schaltung
- Probleme mit den Lieferzeiten der Bauteile
- Zu starke Dämpfung der Schaltung

Aufgetretene Probleme

Leiterplatte und Bauteile kamen viel zu spät an → kaum Zeit zum testen

Leiterplatte konnte nicht planmäßig bestückt werden, da der dafür benötigte Raum belegt war

Schaltung schwingt manchmal

Nach dem FET lagen nur noch 5VDC an, wahrscheinlich wurde das Bauteil zerstört

Die Dämpfung nach der AC-Kopplung ist zu hoch

Potentielle Verbesserungen der Schaltung

Anstatt einer Abschwächung von 20dB könnte relativ einfach eine Verstärkung von 20dB erreicht werden, was das SNR verbessern würde.

Teil 2 – Technische Details

Was ist ein aktiver Tastkopf?

Der prinzipielle Unterschied zwischen einem passiven und einem aktiven Tastkopf liegt darin, dass der aktive Tastkopf eine Spannungsversorgung benötigt. Der Passive hingegen kann einfach an den Signaleingang des Messgeräts angeschlossen werden, und funktioniert dann auch schon.

Man kann die aktiven Tastköpfe grob in drei Kategorien einteilen:

- Tastköpfe mit Verstärkung

Diese Tastköpfe verstärken das gemessene Signal. Dies ist besonders bei sehr kleinen Signalen wichtig, da die meisten Messgeräte nur bis ca. 1mV/Div(z.B. Keysight InfiniiVision 3000G) die volle Bandbreite zulassen. Falls dann sehr schnelle, sehr kleine Signale gemessen werden müssen, wird man mit dem konventionellen passiven Tastkopf schnell an die Grenzen des Oszilloskopes stoßen. In diesem Fall kann man das Signal einfach 100-fach verstärken, und hat somit die volle Bandbreite zur Verfügung.

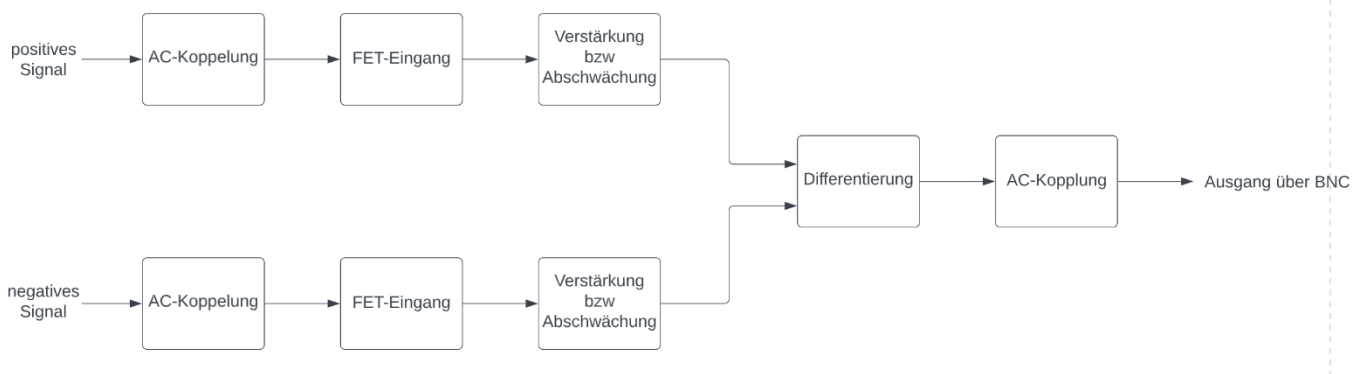
- Active FET Probes

Bei Active FET-Probes wird an den Eingang ein FET geschaltet, um dadurch extrem kleine Eingangskapazitäten zu erhalten. Zum Beispiel erreicht der N2750A-Tastkopf von Keysight 770fF (Femtofarad) am Eingang. Dies ist aus mehreren Gründen praktisch. Einerseits wird somit das DUT kapazitiv nicht so stark belastet. Besonders bei Quarzen ist dies wichtig, denn diese werden mit wenigen Pikofarad geladen, wenn dann durch den Tastkopf die Kapazität steigt, hört er auf zu Schwingen, und die Messung ist sinnlos. Andererseits hat dies den Vorteil, dass dadurch die Eingangsimpedanz im hohen Frequenzband besser ausfällt. Denn Tastköpfe mit hoher Eingangskapazität bieten bei hohen Frequenzen kaum mehr Widerstand. Durch die FET-Eingangsstufe bleibt der Tastkopf auch im hohen Frequenzspektrum relativ hochohmig und belastet das DUT dadurch nicht stark.

- Differentialtastkopf

Normalerweise wird beim Messen mit dem Oszilloskop immer gegen die Masse des Oszilloskops gemessen. Wenn aber nun zwischen zwei Punkten im DUT gemessen werden soll, hat man ein Problem. Denn nun wird immer einer der beiden Punkte auf die Masse kurzgeschlossen, was sowohl beim DUT als auch beim Messgerät zur Zerstörung führen kann, und somit keine Messung ermöglicht. Hier muss mit einem Differentiellen Tastkopf gemessen werden. Dieser misst die Differenz zwischen beidem Messpunkten, und liefert so das richtige Signal

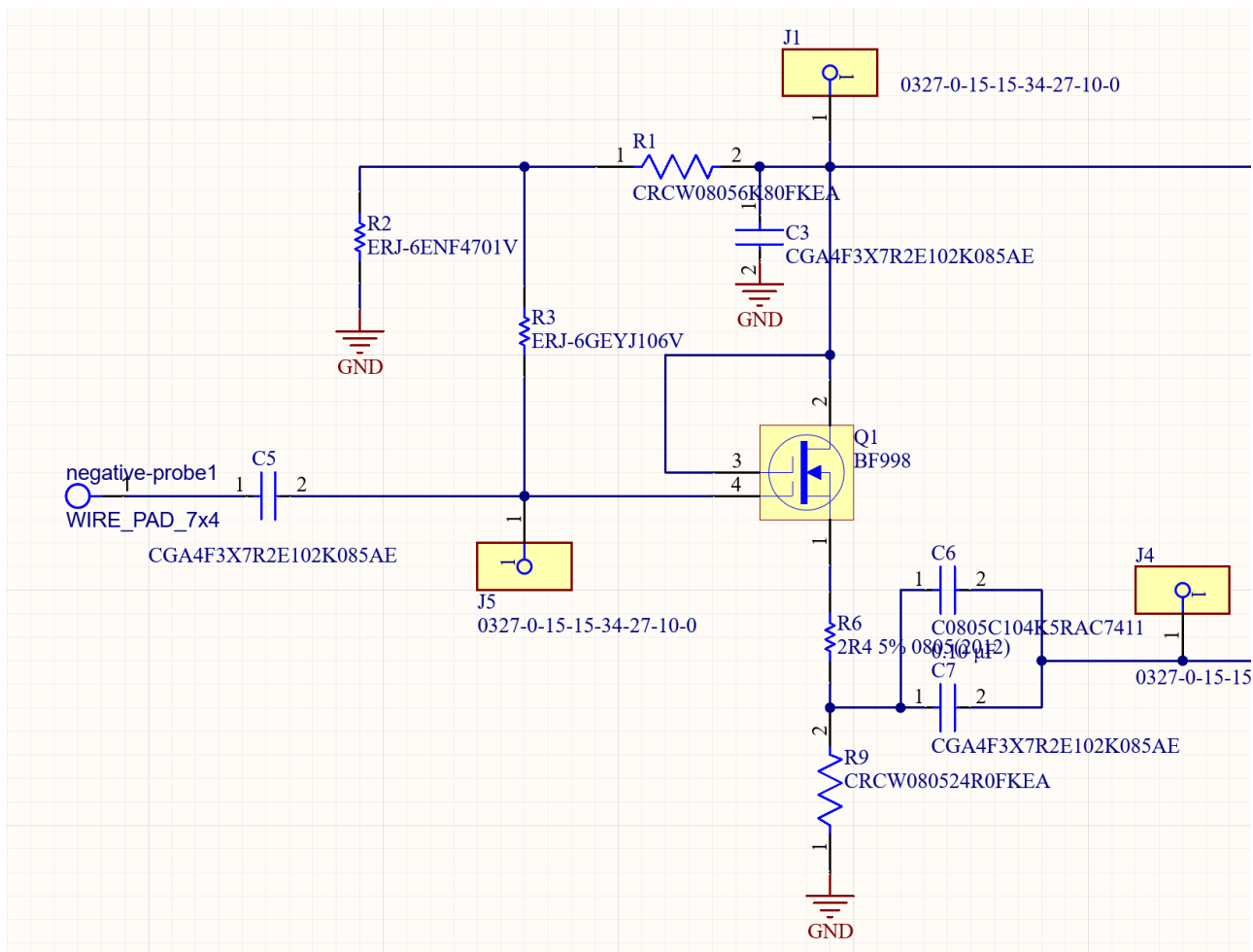
Blockschaltbild der Schaltung



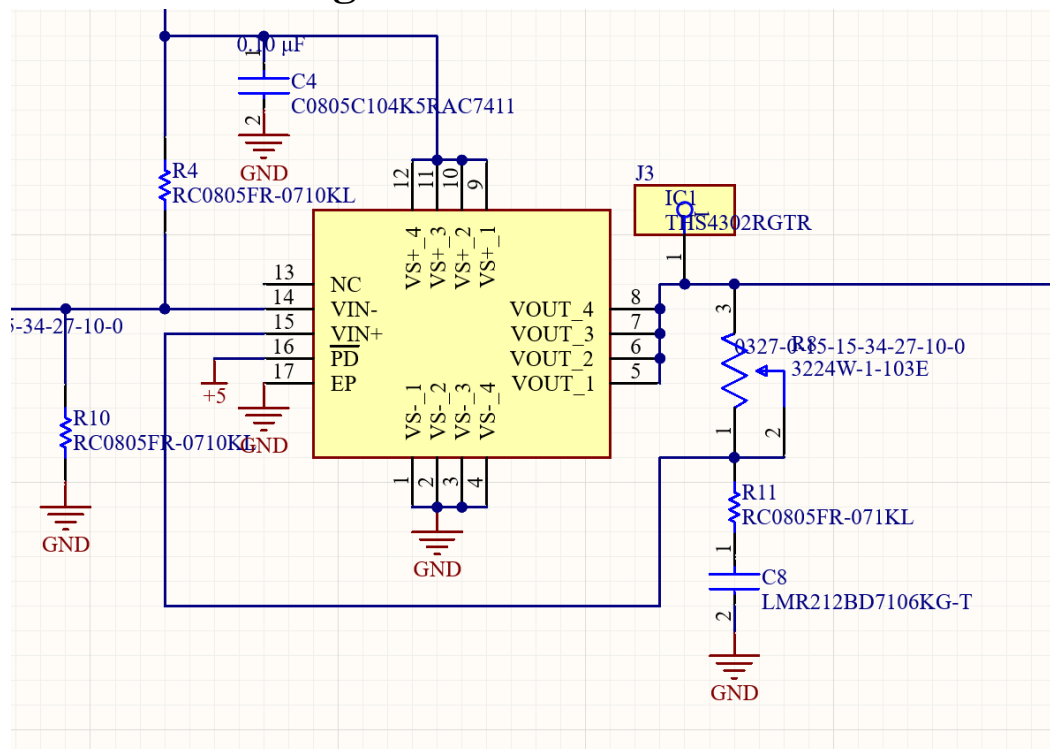
Teil 3 – Erklärung der Schaltung

Die FET-Eingangsstufe mit Abschwächung

Das zu messende Signal kommt von links, und geht über C5 (1pF) in das zweite Gate des FETs hinein. Oben wird über R1 (6k8) und R2 (4k7) die Versorgungsspannung auf ca. 2V geteilt, und über R3 (10M) auf das selbe Gate geleitet. Dadurch wird das Gate etwas „vorgespant“. Aus der Source kommt dann das Messsignal, mit einem Offset vom ca. ~0,8V bis ~0,9V. Dann wird das Signal mit R6 (2R4) und R9 (24R) noch durch 10 geteilt. Über C6 (100nF) und C7 (1nF) wird dann der Offset entfernt, und dieser Teil der Schaltung DC-mäßig abgekoppelt. J1, J5 und J4 sind Testpunkte zum späteren Messen der Schaltung.

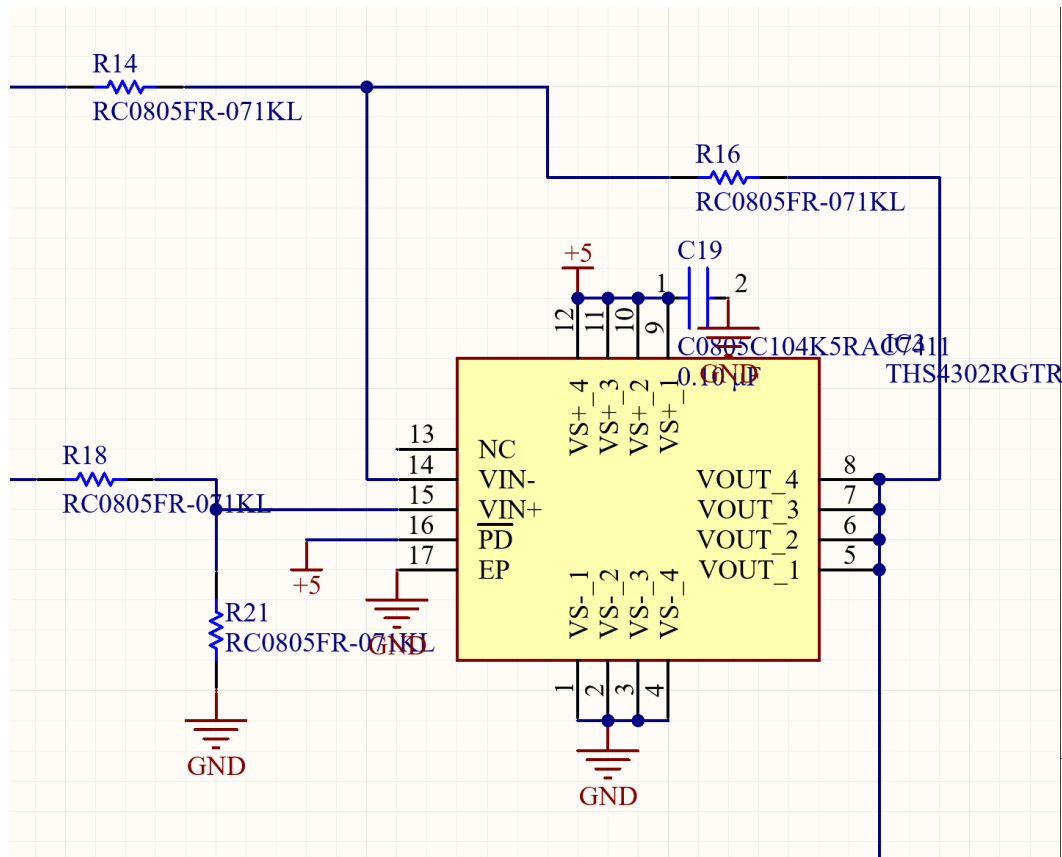


Die Verstärkung



Von links kommt das Signal, welches aus der Eingangstufe kommt, also zehnfach abgeschwächt. Von oben wird mit R4 (10k) und R10 (10k) ein Offset vom 2.5V auf den invertierten Eingang des OPs (THS4302) geleitet. Dieser ist als invertierter Verstärker aufgebaut. Damit kann über R8 (10k Potentiometer) und R11 (1k) exakt auf 10x Abschwächung abgeglichen werden. Mit C8 (10μF) wird sichergestellt dass nur der AC-Teil des Signals verstärkt bzw. abgeschwächt wird.

Die Differenzierung



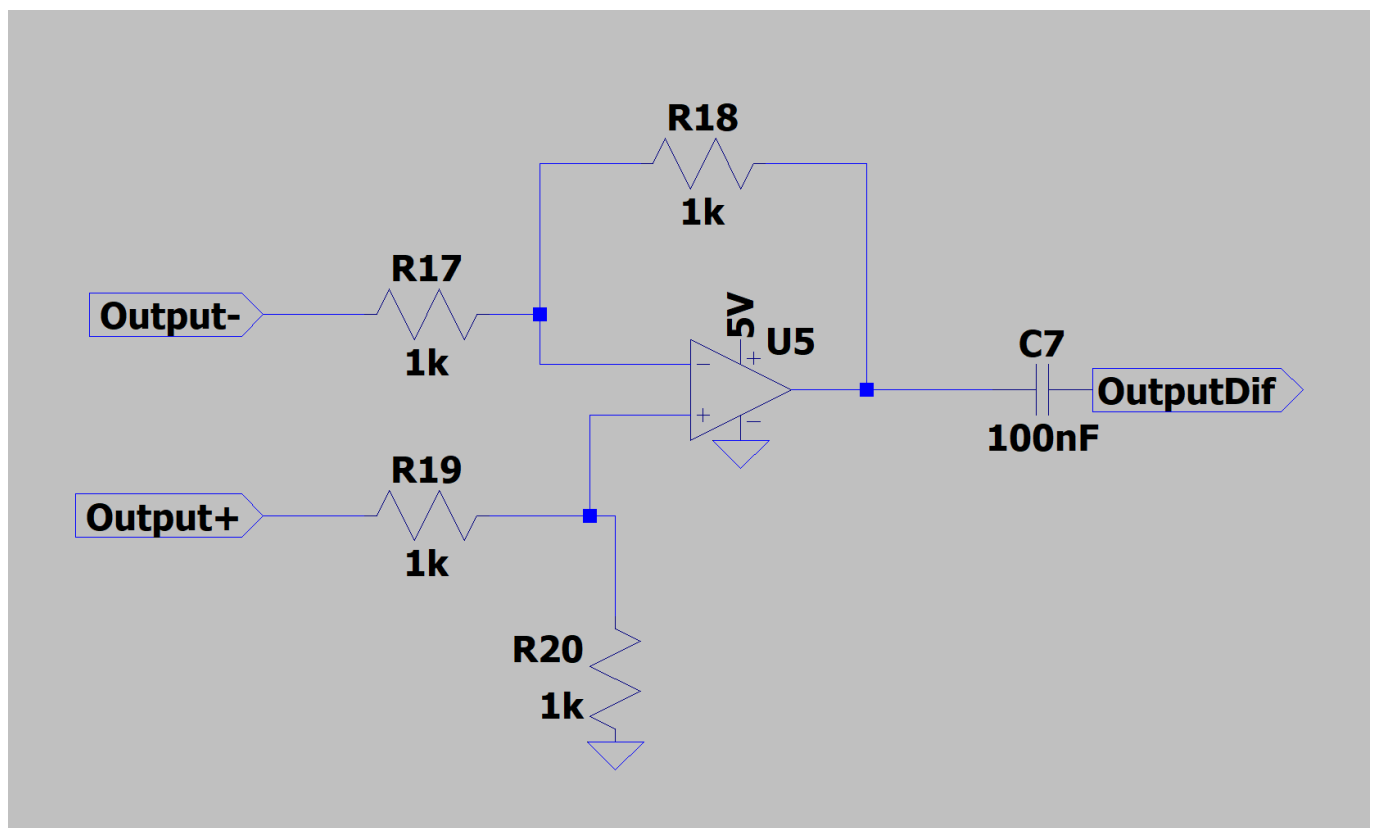
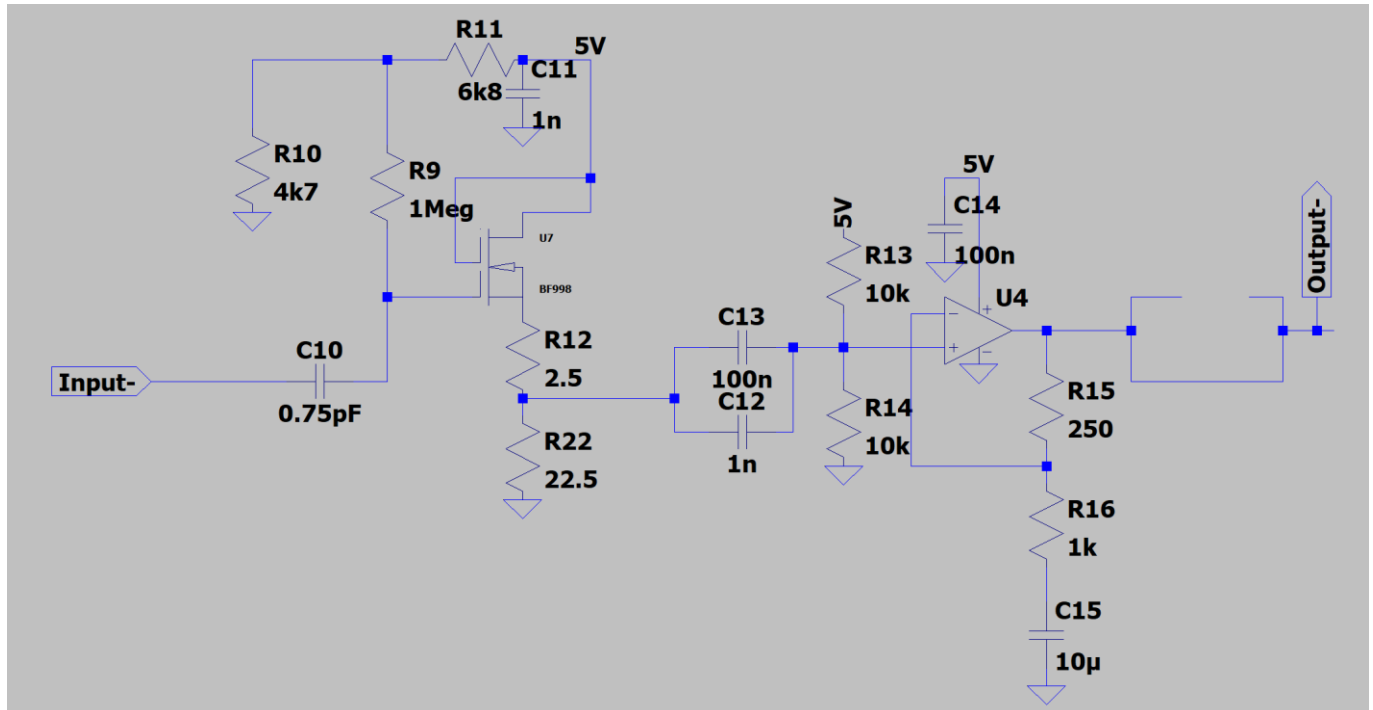
Über R14 (1k) kommt das Signal der Schaltung für die negative Messspitze herein, und über R18 (1k) das für den positiven Teil. Die Schaltung ist als Differenzverstärker aufgebaut, mit keiner Verstärkung für beide Eingänge, da alle Widerstände den gleichen Wert haben.

Der USB-C Power delivery Standard

Die Spannungsversorgung der Schaltung erfolgt über USB-C. Um stabile 5V mit maximal einem Ampere zu erhalten, muss jeweils ein Widerstand an CC1 und CC2 angeschlossen werden, CC steht dabei für Control Channel. Damit wird dem anderen angeschlossenen Gerät mitgeteilt, welcher beider Geräte die Source ist, und wer die Sink ist. Außerdem wird gesteuert welche Spannung und wie viel Strom maximal zur Verfügung gestellt wird. Bei uns wurden 5k6 bestückt, was bedeutet:

- Das angeschlossene Device ist ein Sink
- Es werden 5V benötigt
- Es werden maximal 1A benötigt

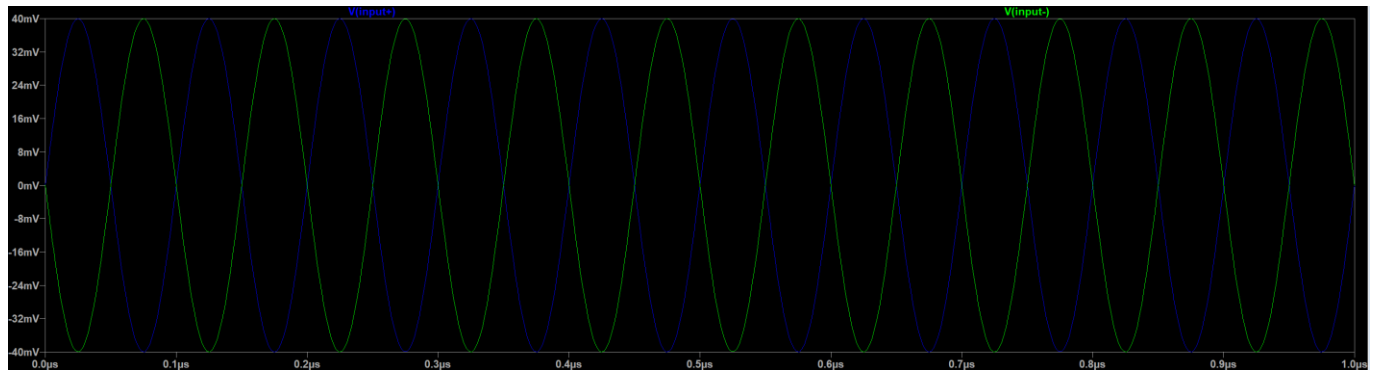
Teil 4 – Simulation



Um beim testen der Schaltung keine bösen Überraschungen erleben zu müssen, wurde die Schaltung mit LTspice simuliert. Im Internet wurde ein Simulationsmodell für den BF998 FET gefunden, welcher großen Anklang in der DIY-Community findet. Nun die Ergebnisse für ein 80mVPP 10MHz Eingangssignal auf beiden Kanälen, jedoch mit 180° verschoben

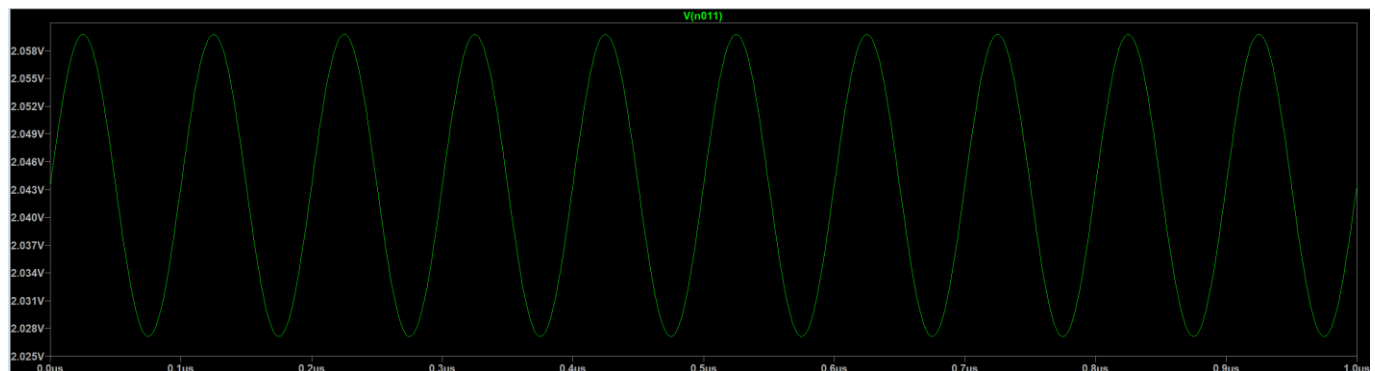
Zeitbereich

Eingangssignal:



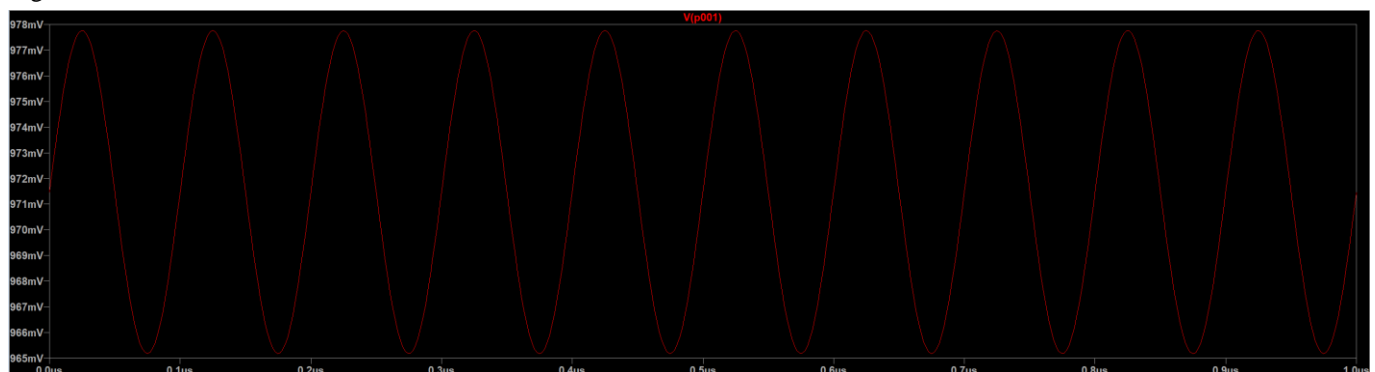
Man sieht dass die Signale 180° Phasendifferenz besitzen.

Signal nach C1:



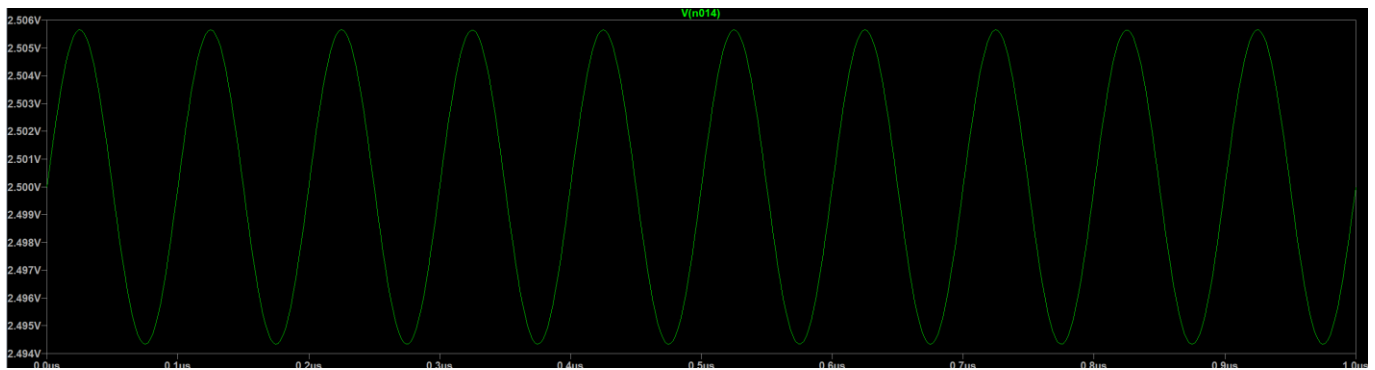
Das Signal wird mit einem 2.043V Offset belegt, und etwas abgeschwächt. Die Abschwächung ist zwar ungewollt, kann aber später mit dem Potentiometer ausgeglichen werden.

Signal nach dem FET:



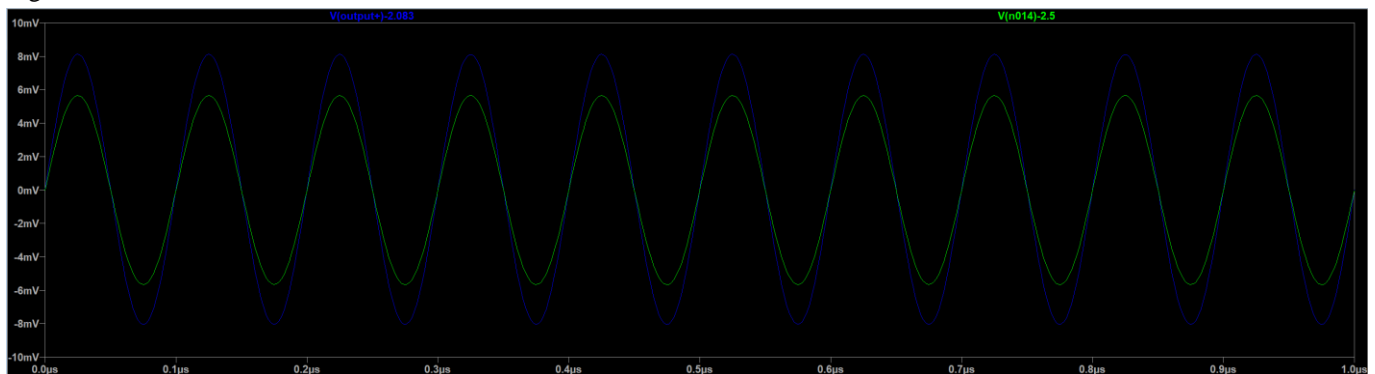
Das Signal wird weiter abgeschwächt. Etwas Offset bleibt bestehen, ca. 970mV.

Signal am Eingang des OPs:



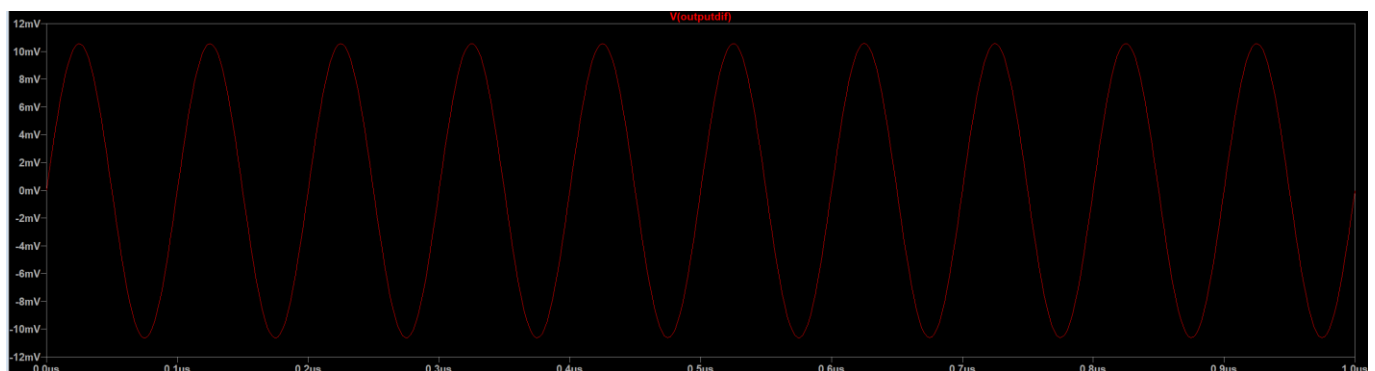
Das Signal wurde nun noch etwas weiter abgeschwächt auf ca 10mVPP, und mit einem 2.5V Offset belegt.

Signal nach dem OP:



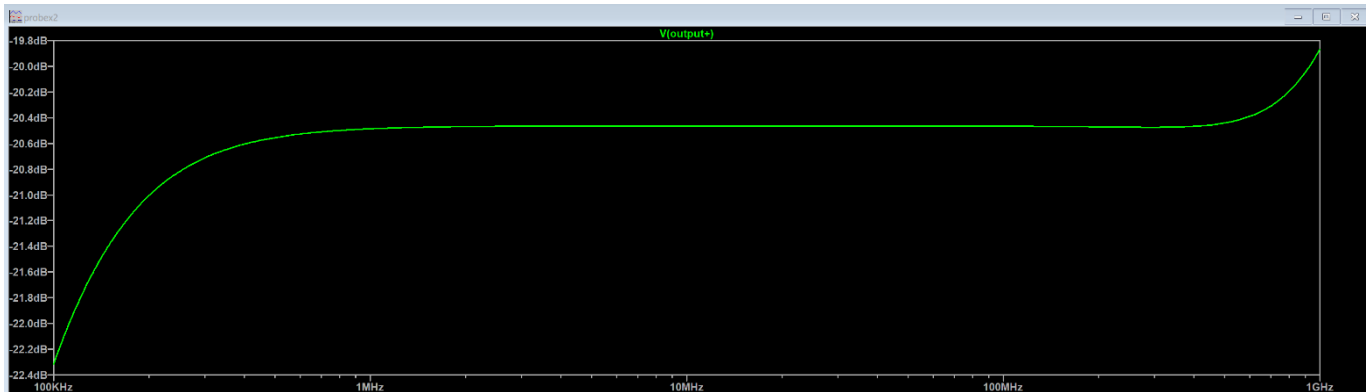
Das Ausgangssignal wurde nun verstärkt. Die Schaltung ist in der Simulation noch nicht richtig eingestellt, was man an der Ausgangsspannung 16mVPP bemerkt.

Ausgangssignal:



Das Ausgangssignal der gesamten Schaltung. Man sieht wieder, wie die Schaltung noch nicht ganz optimal eingestellt ist.

Bandbreite



Man kann erkennen dass die Schaltung von 100kHz bis ca 1GHz innerhalb von $\pm 3\text{dB}$ bleibt

Teil 5 - Messung

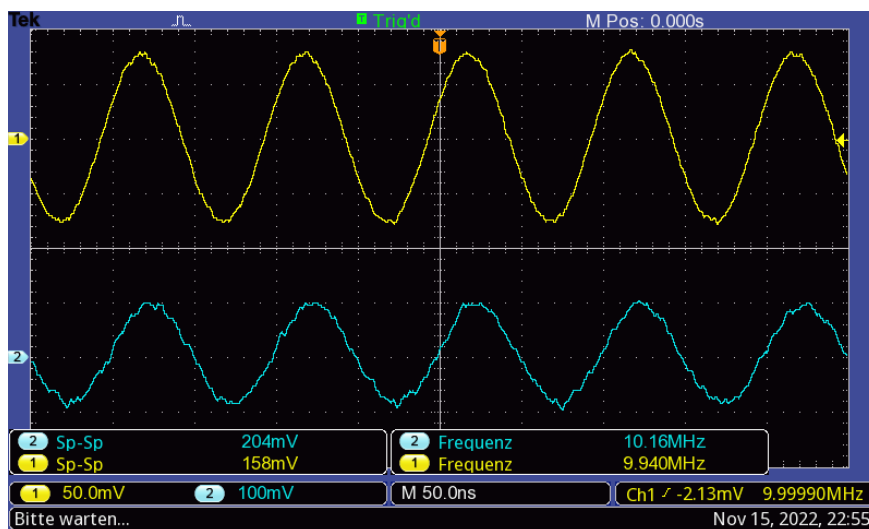
Stromaufnahme

Da uns ein OP fehlte, konnte die Schaltung nur bis zur Differenzierung gemessen werden. Zuerst wurde das Netzgerät auf 5V mit 200mA Strombegrenzung eingestellt, da die geschätzte Stromaufnahme bei etwas über 100mA lag. Die gemessene Stromaufnahme waren 114mA.



Zeitbereich

Dann wurde am negativen Eingang ein 10MHz Signal mit 200mVPP eingespeist.



Das gelbe Signal ist das Eingangssignal, welches direkt vom Signalgenerator ins Oszilloskop geleitet wurde. Das blaue Signal wurde mit einem 10x Tastkopf gemessen, welcher zwar im Oszilloskop eingestellt wurde, bei der internen Messung des Oszilloskops aber aus unerfindlichen Gründen nicht berücksichtigt wurde. Gemessen wurde direkt vor dem FET. Hier lagen nur noch 20.4mV an. Dies ist eine etwas stärkere Dämpfung als erwartet.

Nach dem FET lagen 5V DC an:



Dies sieht danach aus als ob der FET kaputt gegangen ist, und die Spannung vom ersten Gate welches mit 5V versorgt wird, direkt an den Ausgang weiterleitet.

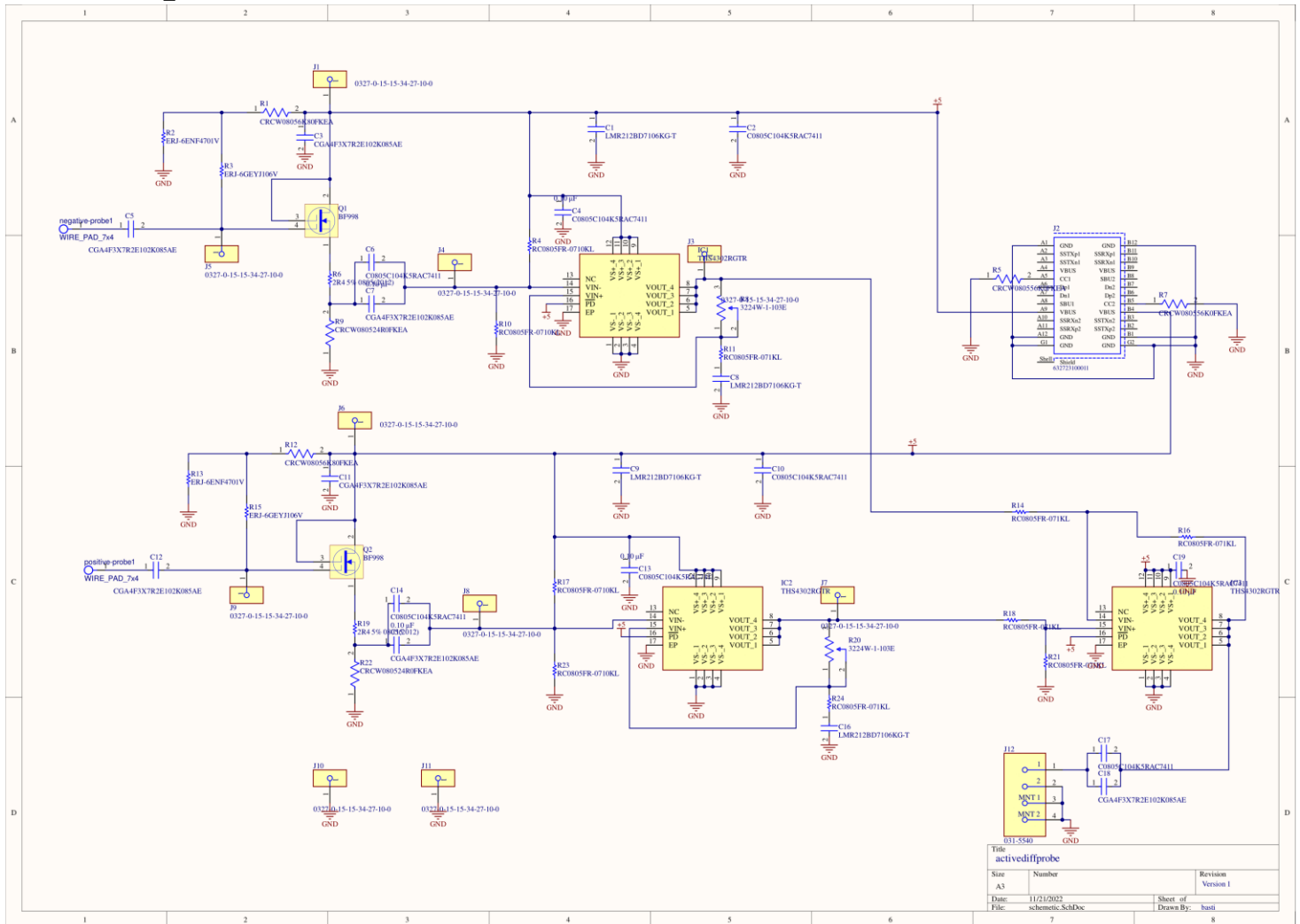
Aufgrund des Zeitmangels kann diesem Fehler leider nicht weiter nachgegangen werden!

Messung der Bandbreite

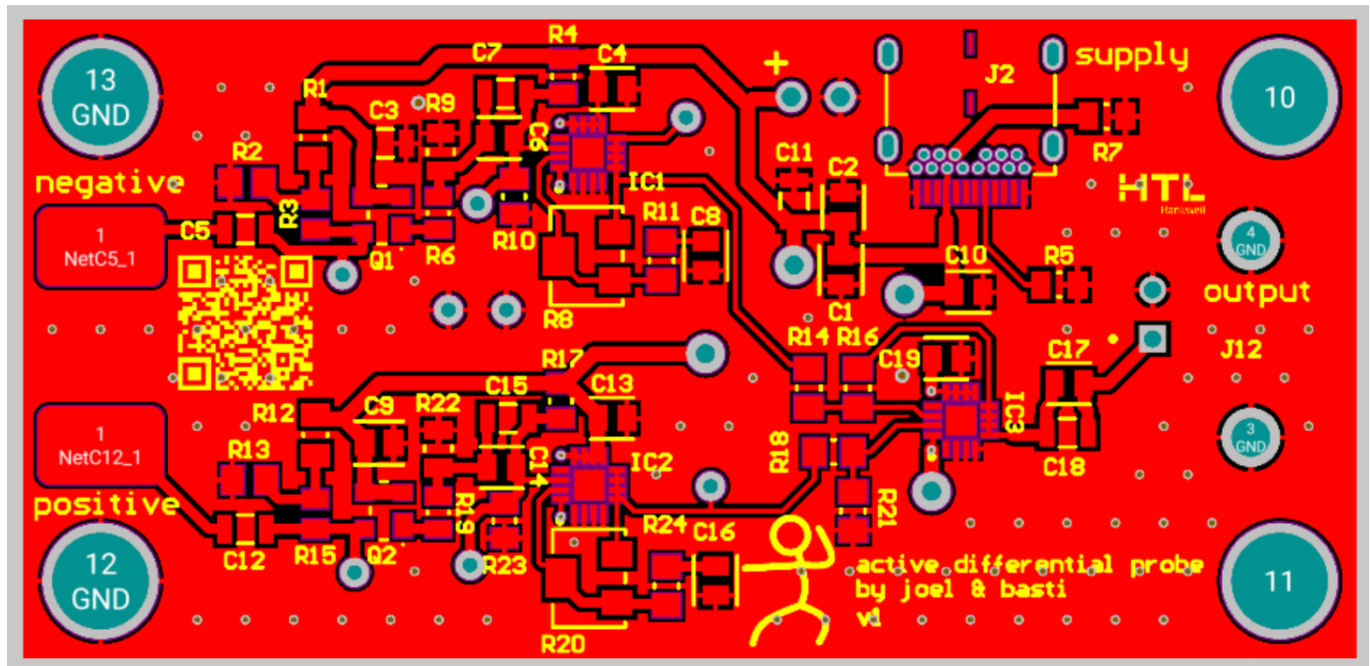
Mithilfe eines Netzwerkanalyzers könnte die Bandbreite, als auch die Kennlinie bestimmt werden. Dies wäre wahrscheinlich mithilfe der Streuparameter gemacht worden, spezielle mit S_{21} . Da die Schaltung aber nicht komplett ist, und die Zeit schlicht und einfach fehlt, kann dies nicht durchgeführt werden.

Teil 6 – Technische Unterlagen

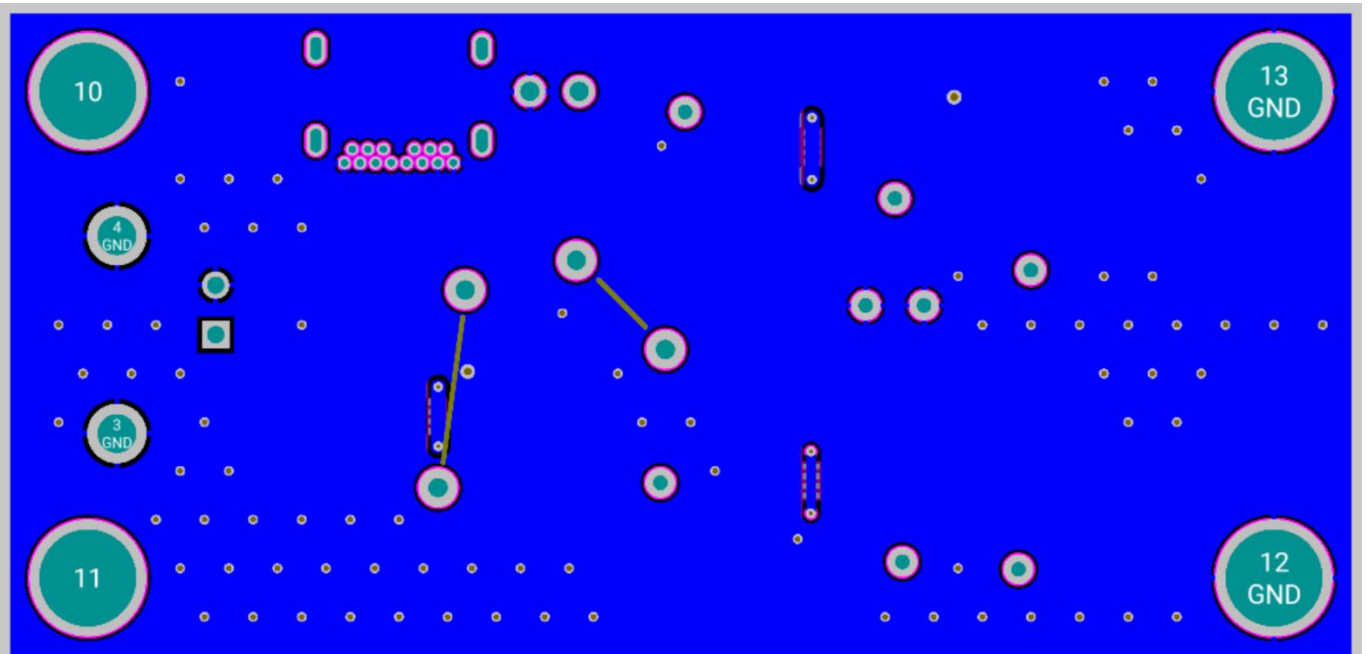
Schaltplan



Board Top



Board Bottom



BOM

	Line #	Name	Descript...	Designator	^
1		LMR212BD7106KG-T	Multilaye...	C1, C8, C9, C16	
2		C0805C104K5RAC7411	C0805 0...	C2, C4, C6, C10, C13, C14, C17, C19	
3		CGA4F3X7R2E102K085AE	Cap Cer...	C3, C5, C7, C11, C12, C15, C18	
4		THS4302RGTR	Integrate...	IC1, IC2, IC3	
5		0327-0-15-15-34-27-10-0	CONN PI...	J1, J3, J4, J5, J6, J7, J8, J9, J10, J11	
6		632723100011	USB 3.1 ...	J2	
7		031-5540	CONN B...	J12	
8		BF998	Silicon N...	Q1, Q2	
9		CRCW08056K80FKEA	RES Thic...	R1, R12	
10		ERJ-6ENF4701V	Chip Res...	R2, R13	
11		ERJ-6GEYJ106V	10MOhm	R3, R15	
12		RC0805FR-0710KL	Chip Res...	R4, R10, R17, R23	
13		CRCW080556K0FKEA	RES Thic...	R5, R7	
14		2R4 5% 0805(2012)	2R4 0.12...	R6, R19	
15		3224W-1-103E	TRIMME...	R8, R20	
16		CRCW080524R0FKEA	RES Thic...	R9, R22	
17		RC0805FR-071KL	Chip Res...	R11, R14, R16, R18, R21, R24	

Gehäuse

