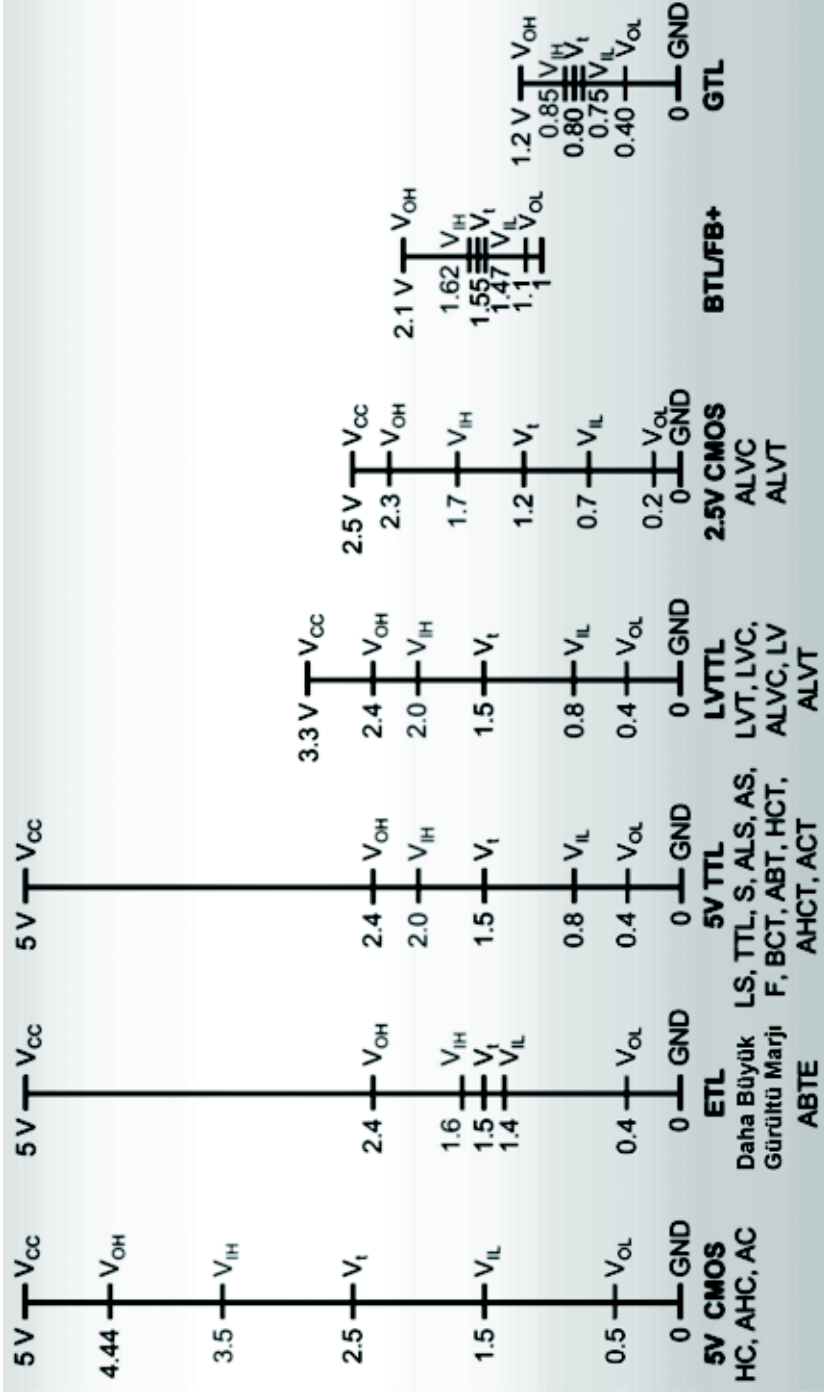


3. SAYISAL LOJİK DEVRELER

Tümleştirme Seviyelerine, Üretim teknolojilerine, ...
göre gruplara ayrılır.

1. Küçük Çapta Tümleştirme, 12'den az kapı
(Small-Scale Integration, SSI) Lojik kapılar, FF
2. Orta Çapta Tümleştirme, 12-99 kapı
(Medium-Scale Integration, MSI) Yazmaçlar, Sayıcılar
3. Büyük Çapta Tümleştirme, 100-9999 kapı
(Large-Scale Integration, LSI) Bellekler Aritmetik Lojik İşlem
4. Çok Büyük Çapta Tümleştirme, 10000-99999 kapı
(Very Large-Scale Integration, VLSI) Mikrodenetleyiciler
5. Aşırı Büyük Çapta Tümleştirme, 99999'dan fazla kapı
(Ultra Large-Scale Integration, ULSI) İşlemciler, Bellekler

3.1. Sayısal Lojik Tümleşik Devre Teknolojisi



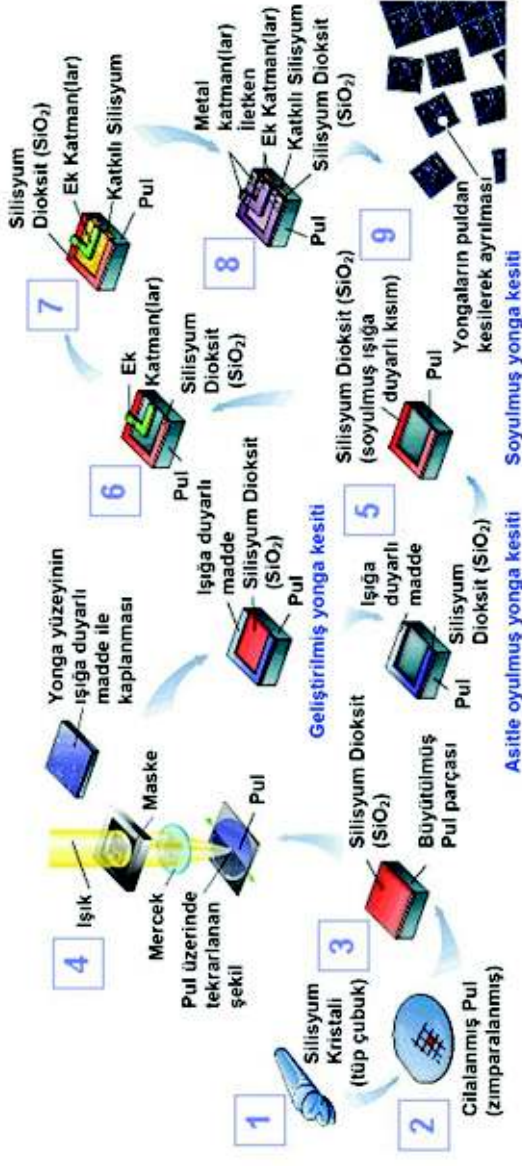
Şekil 3-1 Sayısal Tümleşik Devrelerin Lojik Gerilim Seviyeleri

Tablo 3-1 Sayısal Tümleşik Devre Teknolojileri

Lojik Aile	Çıkış Yılı	Teknoloji	Güç Harcaması	Sürme ($-I_{OH} / I_{OL}$)	Çalışma Hızı (ns)	Standart Paket Tipleri	V_{OLP} Gürültü
TTL	1968	Bipolar	Yüksek	-15 / 24	18	DIP, SO	< 0.8 V
S	1974	Bipolar	Yüksek	-15 / 64	9	DIP, SO	< 0.8 V
LS	1976	Bipolar	Orta	-15 / 24	18	DIP, SO	< 0.8 V
ALS	1979	Bipolar	Orta	-15 / 24	10	DIP, SO, SSOP	< 0.8 V
HC/HCT	1975	CMOS	- Düşük	-8 / 18	25	DIP, SO	< 1 V
F	1983	Bipolar	+ Yüksek	-15 / 64	6.5	DIP, SO, SSOP	< 0.8 V
AS	1982	Bipolar	+ Yüksek	-15 / 64	6.2	DIP, SO	< 0.8 V
FCT	1986	CMOS	Düşük	-32 / 64	6.5 / 4.8	DIP, SO	> 2 V
BCT	1987	BiCMOS	+ Düşük	-15 / 64	5.5	DIP, SO	< 0.8 V
AC/ACT	1985	CMOS	Düşük	-24 / 24	10	DIP, SO	* > 2 V
ABT	1990	BiCMOS	Düşük	-32 / 64	4.1	DIP, SO, SSOP, TSSOP	< 0.8 V
FCT - T	1991	CMOS	Düşük	-32 / 64	6.5 / 4.8 / 4.1	DIP, SO, SSOP, QSOP	< 1 V
LVT	1992	BiCMOS	- Düşük	-32 / 64	4.2	SO, SSOP, TSSOP	< 0.8 V
LVC / ALVC	1993	CMOS	- - Düşük	-24 / 24	7 / 3.6	SO, SSOP, TSSOP	< 0.8 V
ETL/ABTE	1993	BiCMOS	Düşük	-60 / 90	4.6	SSOP, TSSOP	< 0.8 V
CBT	1994	BiCMOS	Düşük	0	250 ps	SOIC, SSOP, TSSOP	< 0.8 V
AHC/AHCT	1996	CMOS	- Düşük	-8 / 8	8.5	DIP, SOIC, SSOP, TSSOP	< 1 V

3.1.1. Sayısal Tümleşik Devre Üretim Teknolojisi

Tümleşik devreler, Şekil 3-2'de görülen işlemler yapılarak üretilirler.

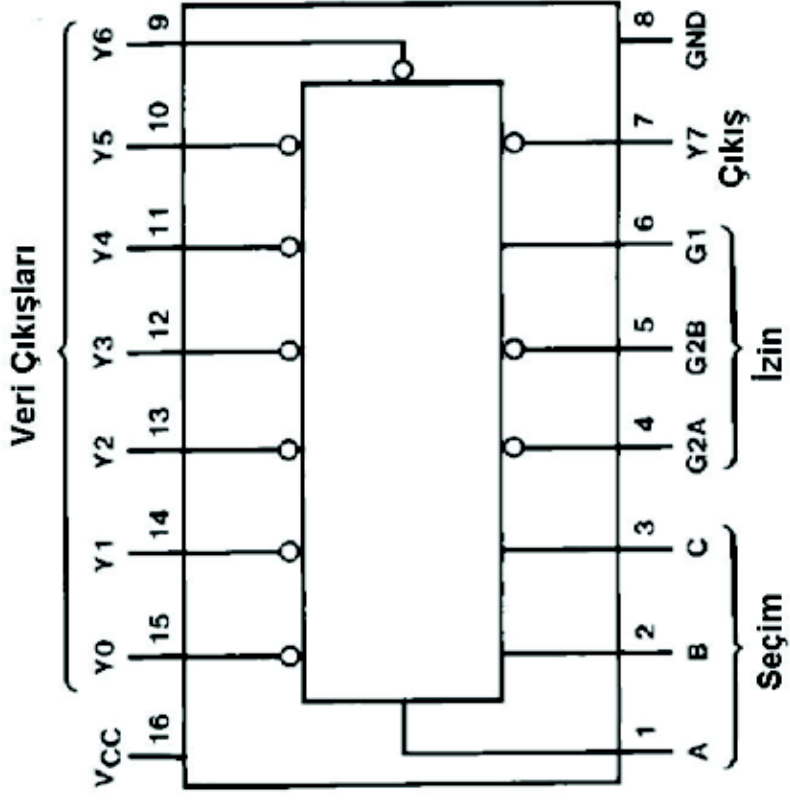


Şekil 3-2 Yarıiletken Yonga Üretim basamakları



Şekil 3-3 Bazı tümleşik devrelerin fiziki görünümü

3.1.2. Kod Çözücü Tümleşik Devreleri



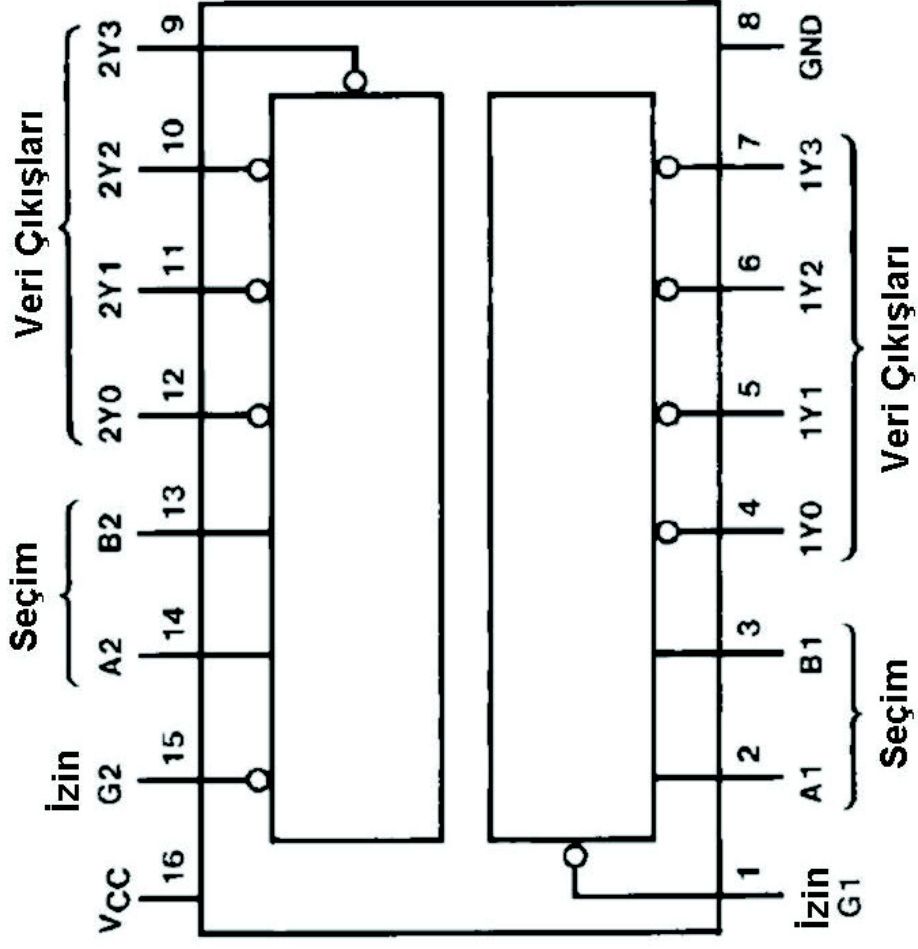
Şekil 3-4 74LS138 3'den 8'e İzin Denetimli Kod Çözücü

Girişler			Çıkışlar												
İzin		Seçim	A	B	C	G2*	G1	YO	Y1	Y2	Y3	Y4	Y5	Y6	Y7
			X	X	L	H	L	L	H	L	H	L	H	L	L
			X	X	L	L	L	L	L	L	L	L	L	L	L
			X	X	L	L	L	L	L	L	L	L	L	L	L
			X	X	L	L	L	L	L	L	L	L	L	L	L
			X	X	L	L	L	L	L	L	L	L	L	L	L
			X	X	L	L	L	L	L	L	L	L	L	L	L
			X	X	L	L	L	L	L	L	L	L	L	L	L
			X	X	L	L	L	L	L	L	L	L	L	L	L
			X	X	L	L	L	L	L	L	L	L	L	L	L

* G2 = G2A + G2B

H = yüksek seviye, L = düşük seviye, X = dikkate alınmayacak

Tablo 3-2 74LS138 3'den 8'e Kod Çözücünün Çalışma Tablosu



Şekil 3-5 74LS139 Çift 2'den 4'e İzin Denetimli Kod Çözücü

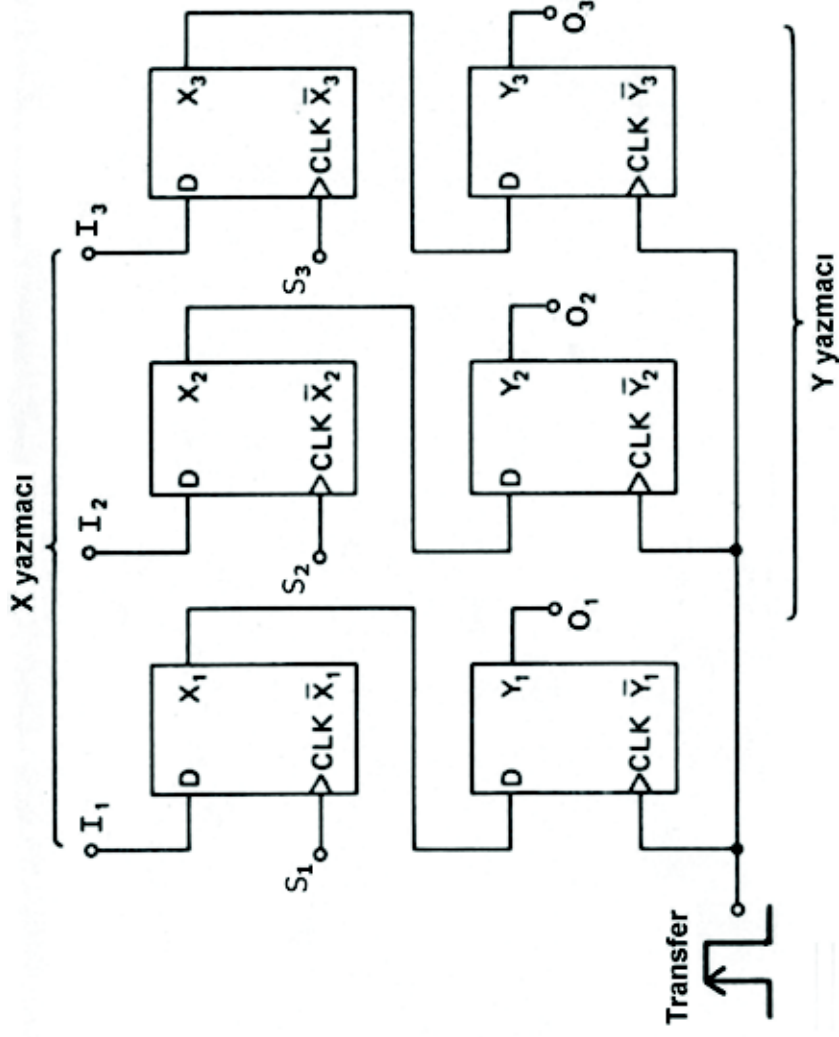
Girişler			Çıkışlar			
İzin	Seçim		Y0	Y1	Y2	Y3
G	B	A	Y0	Y1	Y2	Y3
H	X	X	H	H	H	H
L	L	L	L	H	H	H
L	L	H	H	L	H	H
L	H	L	H	H	L	H
L	H	H	H	H	H	L

H = yüksek seviye , L = düşük seviye , X = dikkate alınmayacak

Tablo 3-3 74LS139 Çift 2'den 4'e Kod Çözücünün Çalışma Tablosu

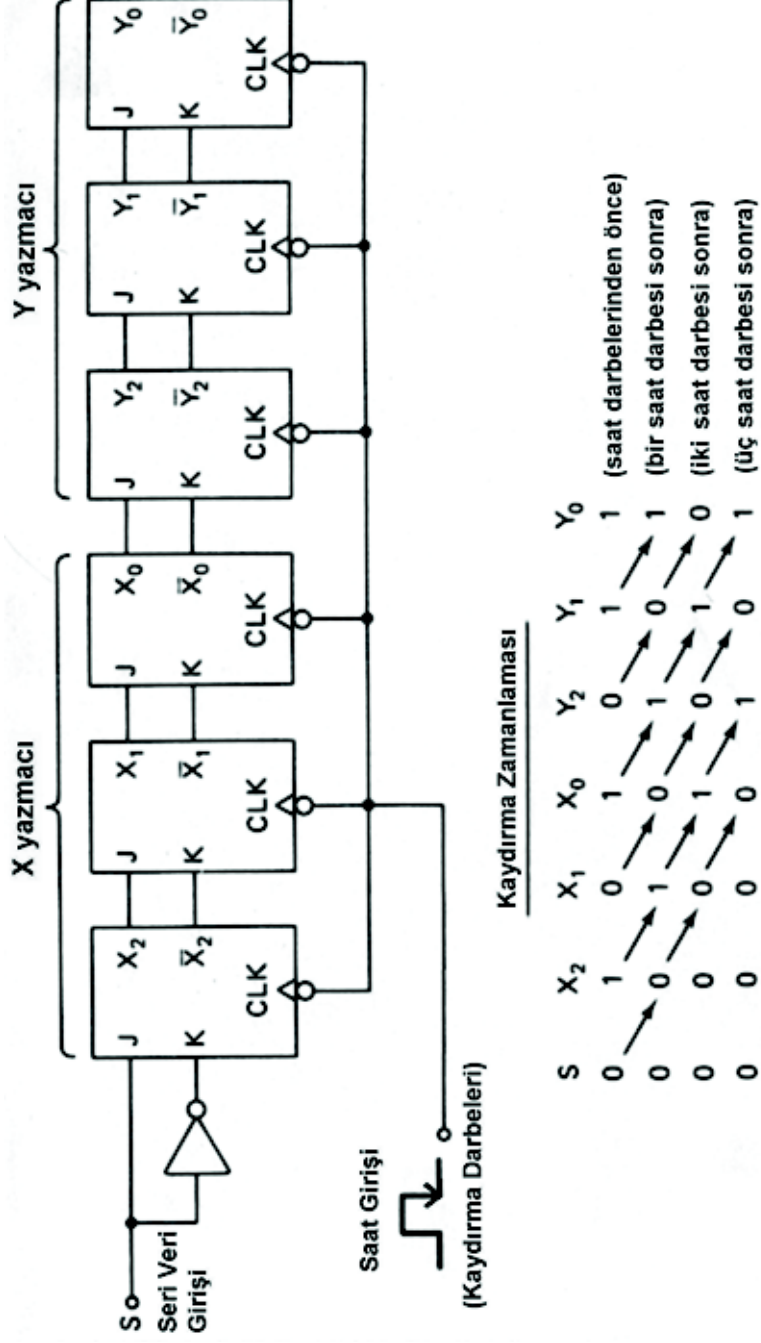
3.2. Yazmaçlar ve Uygulamaları

3.2.1. Paralel Veri Transferi Uygulaması



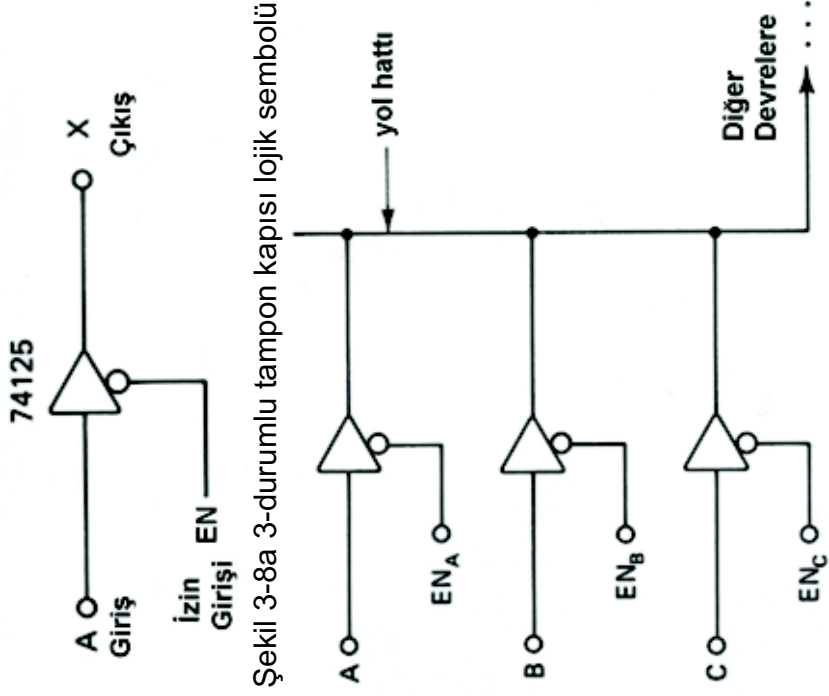
Şekil 3-6 Paralel Veri Transfer

3.2.2. Seri Veri Transfer Uygulaması



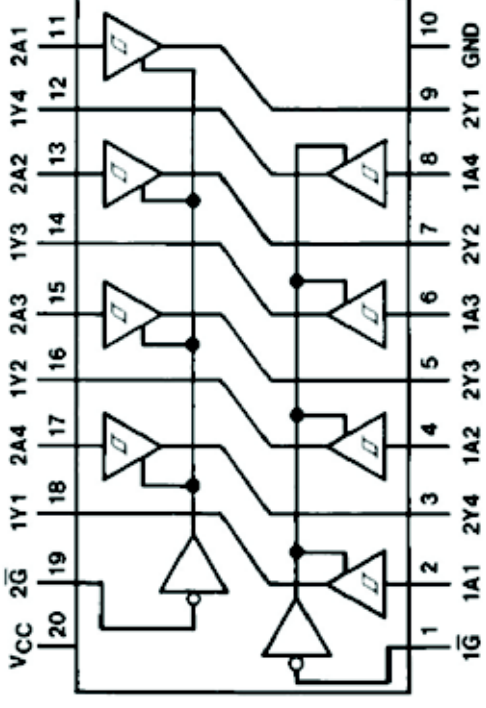
Şekil 3-7 Seri Veri Transferi

3.3. Veri Yolu Kavramı



Şekil 3-8a 3-durumlu tampon kapısı lojik sembolü

Şekil 3-8b 3-durumlu lojik ile yol oluşturma



Şekil 3-9 74LS244 Çift 4'lü 3-durumlu Schmitt tetikleyicili tek yönlü tampon kapısı

Tablo 3-4 Çift 4'lü 3-durumlu tek yönlü tampon kapısının çalışma tablosu

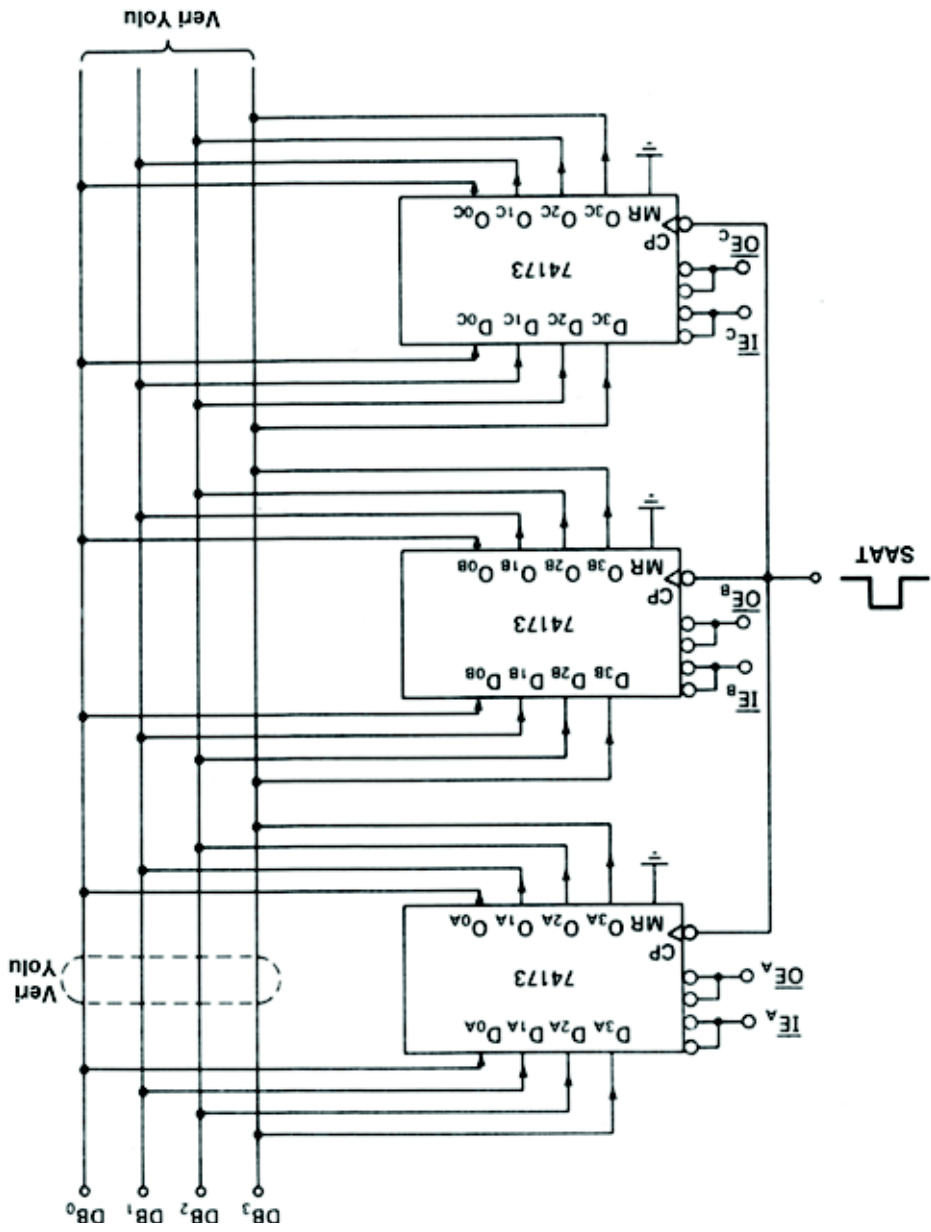
Girişler		Çıkış
\bar{G}	A	Y
L	L	L
L	H	H
H	X	Z

L = Düşük Lojik Seviye

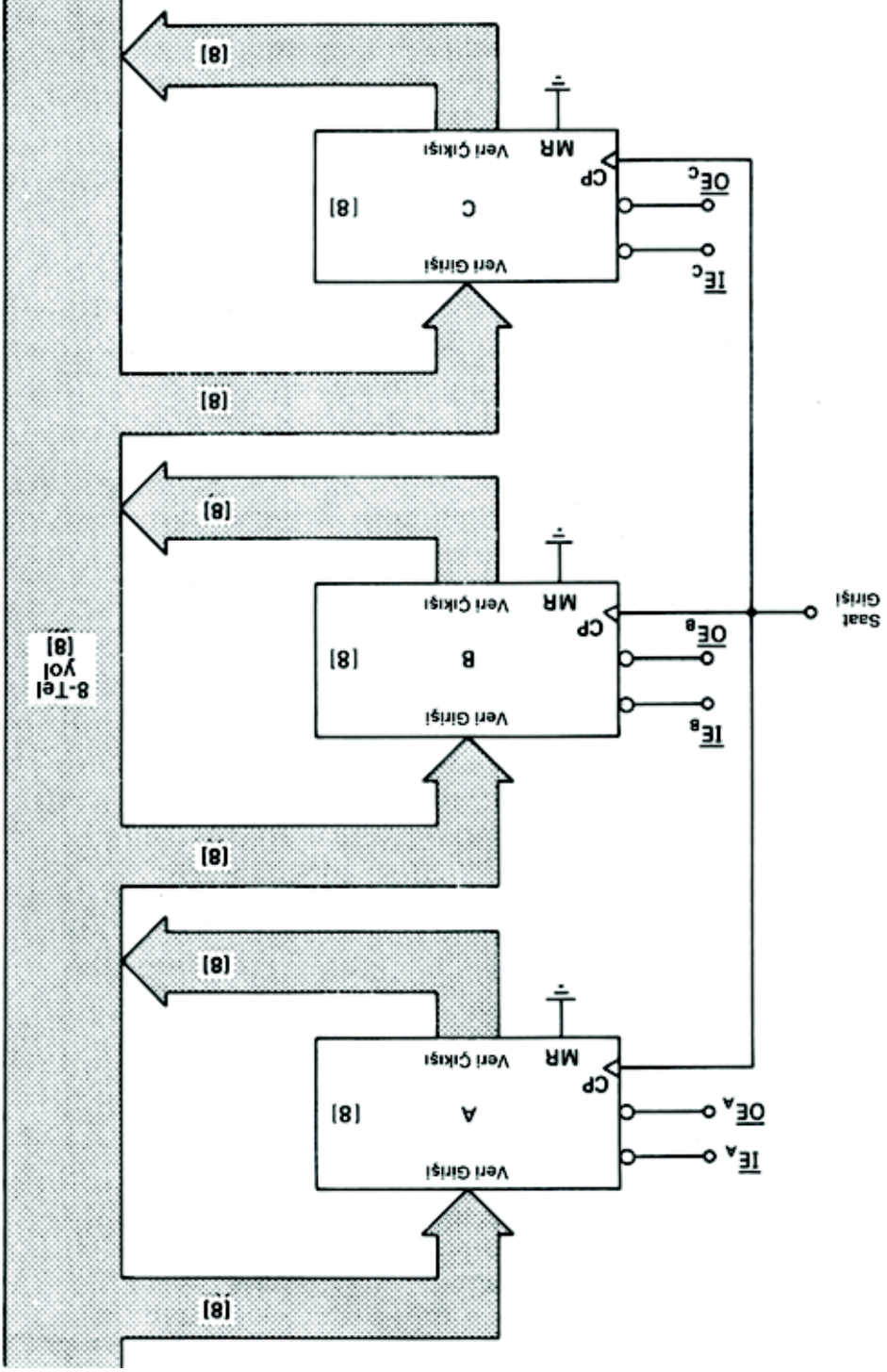
H = Yüksek Lojik Seviye

X = Düşük veya Yüksek Lojik Seviye

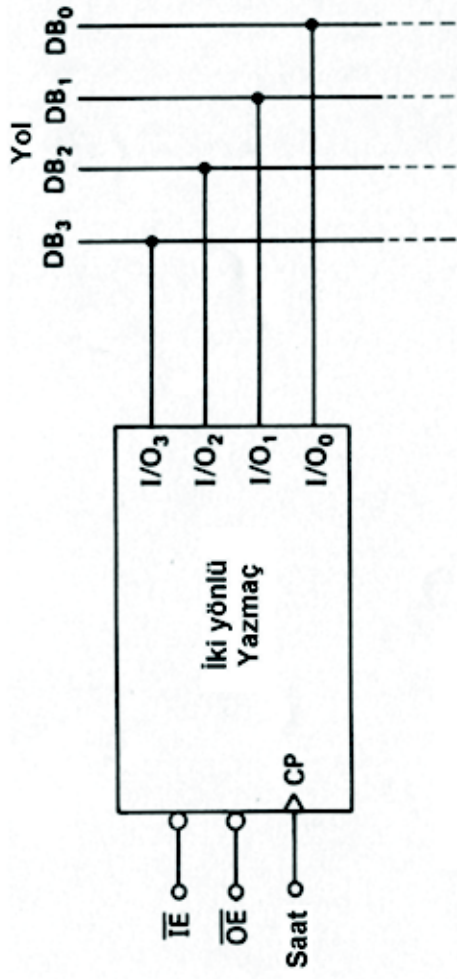
Z = Yüksek Empedans



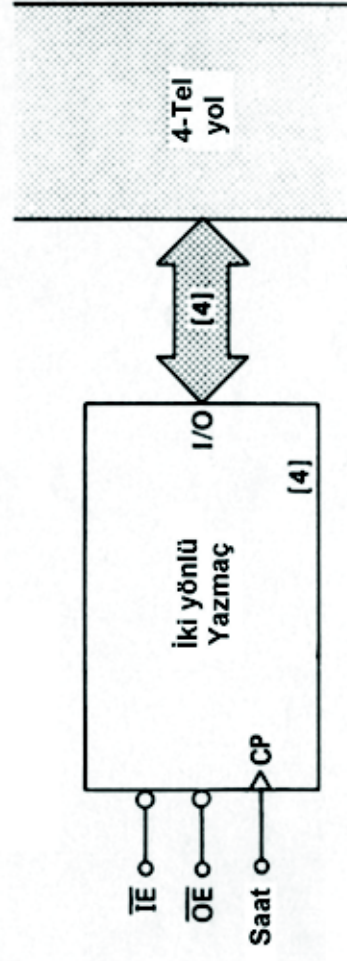
Şekil 3-10 3-durumlu yazmaçların veri yoluna bağlanması



Şekil 3-11 Yol bağlantılarının basitleştirilmiş çizimi



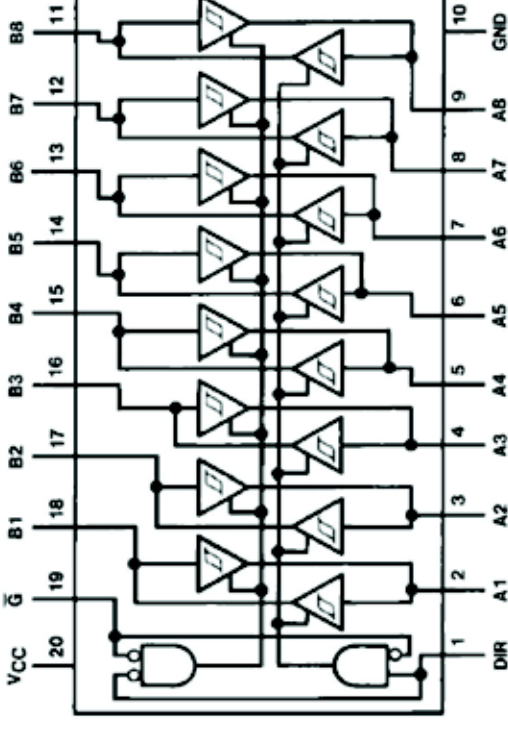
(a)



(b)

Şekil 3-12 İki yönlü yazmaçlar ve iki yönlü yol kavramı

3.3.1. Mikroişlemcili Sistemlerde Kullanılan 3-Durumlu Tümlüşik Devreler

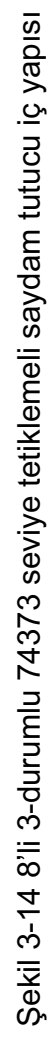


Şekil 3-13 74LS245 8'li 3-durumlu Schmitt tetikleyicili iki yönlü tampon kapısı

Tablo 3-5 74LS245 8'li 3-durumlu iki yönlü tampon kapısının çalışmanın çalışma tablosu

İzin \overline{G}	Yön Kontrol DIR	Çalışma
L	L	B veriden A yoluna
L	H	A veriden B yoluna
H	X	İzolasyon

H = yüksek seviye , L = düşük seviye , X = dikkate alınmayacak

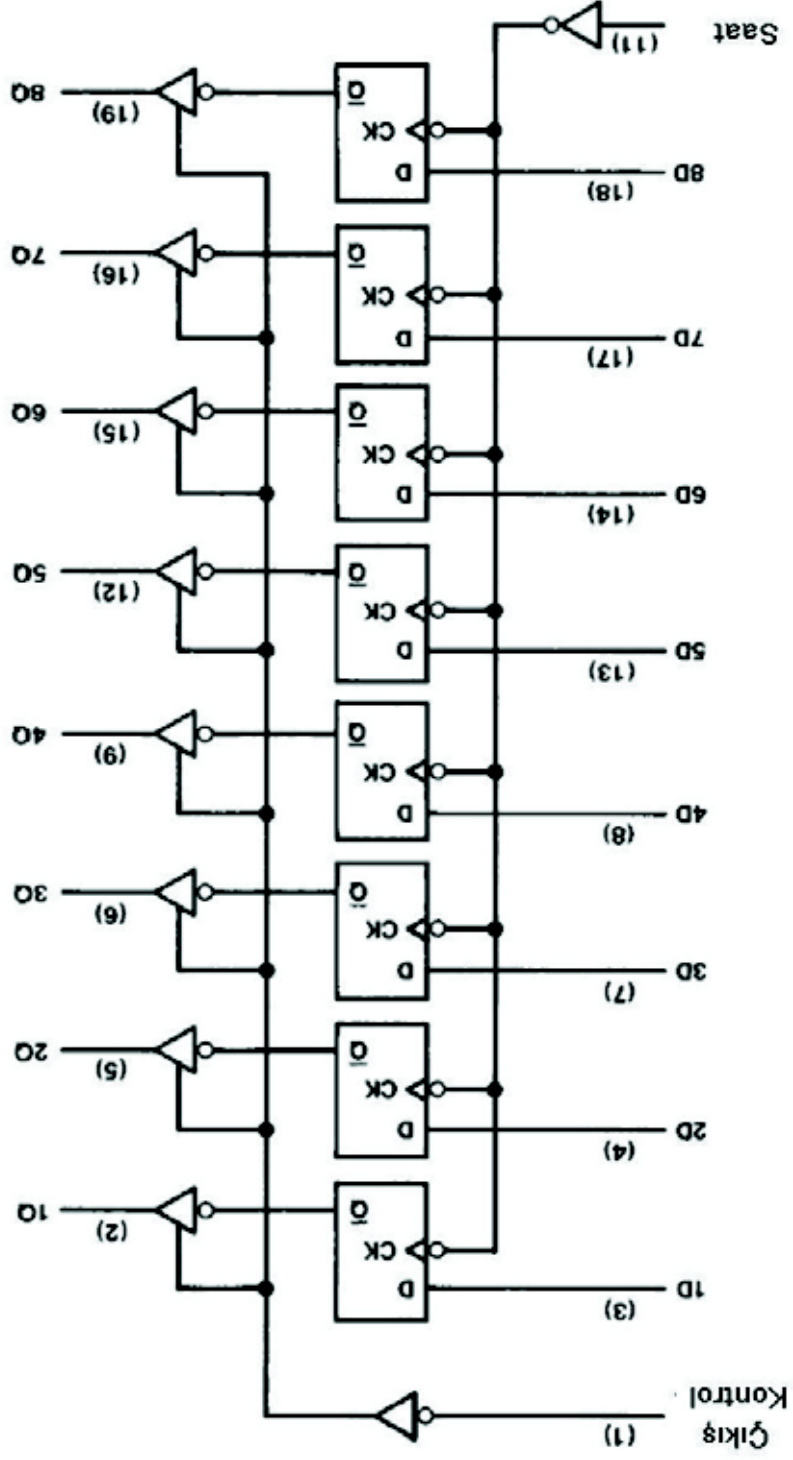


Tablo 3-6 8'i 3-durumlu 74373 seviye tetiklemeli tutucunun çalışma tablosu

Çıkış Kontrol	İzin G	D	Çıkış
L	H	H	H
L	H	L	L
L	L	X	Q ₀
H	X	X	Z

H = yüksek seviye , L = düşük seviye , X = dikkate alınmayacak

Q₀ = çıkışın bir önceki girişlerin duruma göre gerçekleşen seviyesi



Şekil 3-15 74374 kenar tetiklemeli D tipi FF 'un iç yapı

Tablo 3-7 74374 kenar tetiklemeli D tipi FF 'un çalışma tablosu

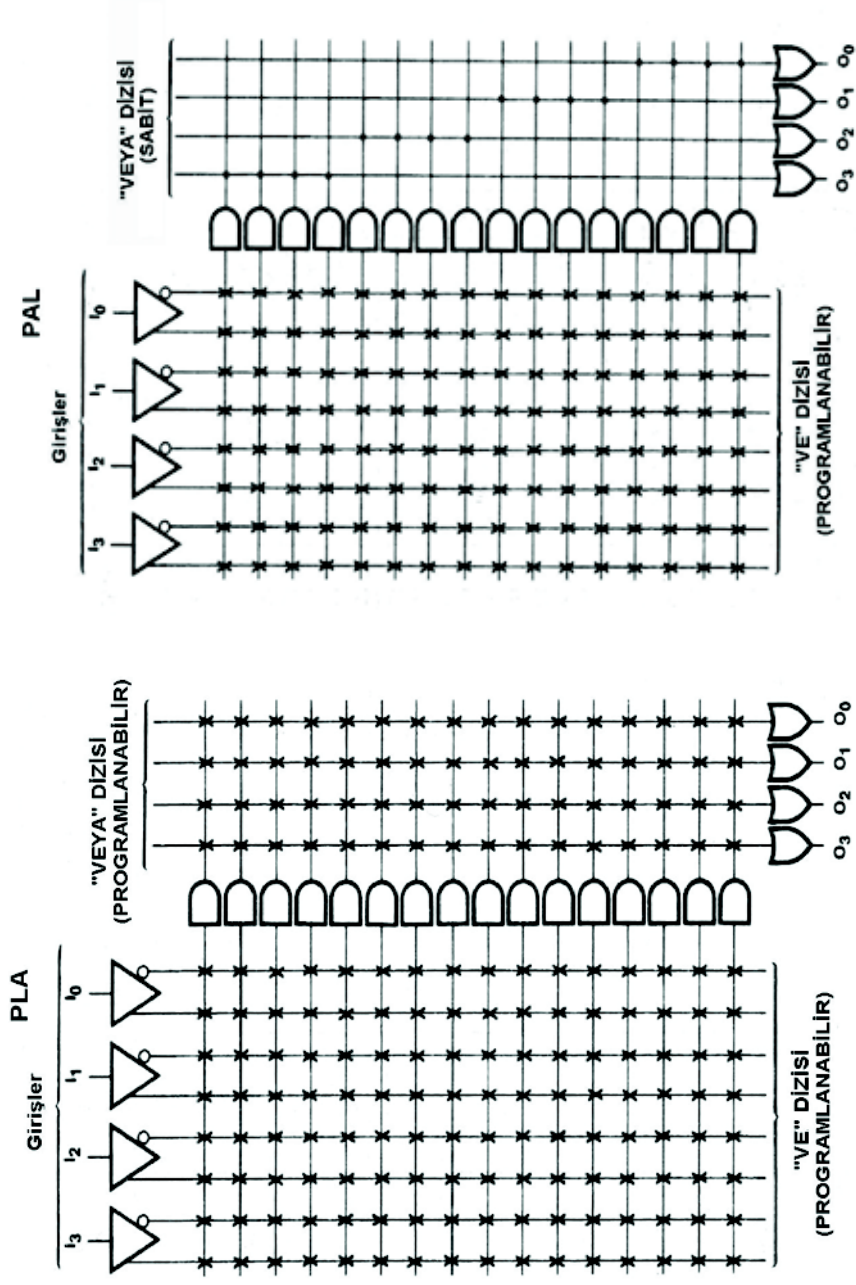
Çıkış Kontrol	Saat	D	Çıkış
L	↑	H	H
L	↑	L	L
L	L	X	Q ₀
H	X	X	Z

H = yüksek seviye, L = düşük seviye, X = dikkate alınmayacak

↑ = çıkan kenar, Z = Yüksek Empedans

Q₀ = çıkışın bir önceki girişlerin duruma göre gerçekleşen seviyesi

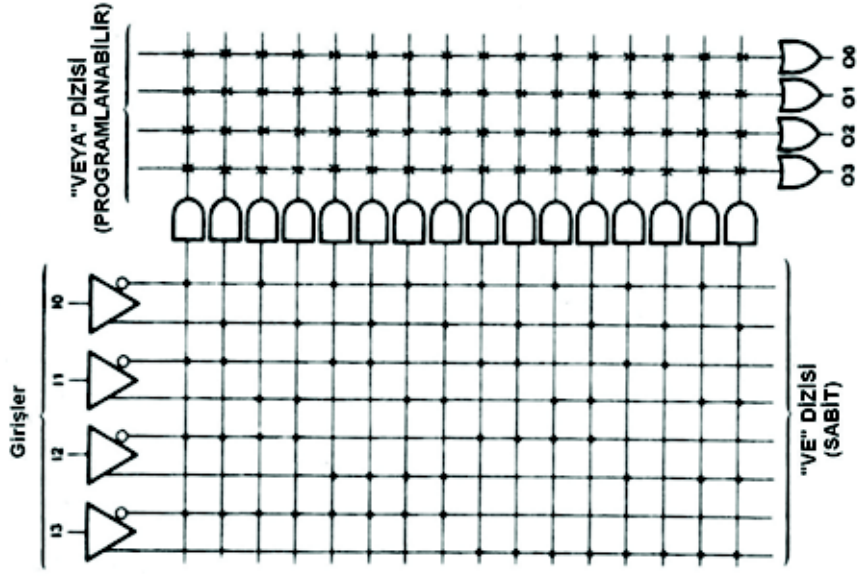
3.4. Programlanabilir Sayısal Lojik Devreler



Şekil 3-16 Programlanabilir Lojik Dizi

Şekil 3-17 Programlanabilir Dizi Lojik

PLE (PROM)



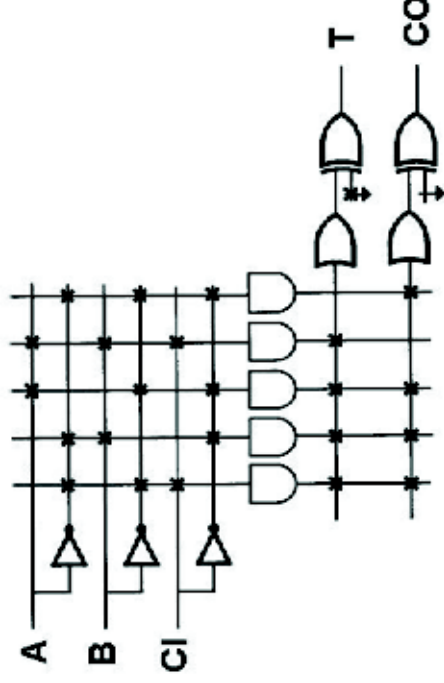
Şekil 3-19 Programlanabilir Lojik Eleman

Tablo 3-8 Programlanabilir lojik devrelerin özellikleri

	VE	VEYA	ÇIKIŞ SEÇENEKLERİ
PROM	Sabit	Prog.	TS, OC
PLA	Prog.	Prog.	TS, OC, Prog. Lojik seviye
PAL	Prog.	Sabit	TS, Saklayıcı Geribesleme, I/O Prog. Lojik seviye

$$T = /A*/B*CI + A*/B*/CI + A*B*CI + /A*B*/CI$$

$$/CO = /A*B*CI + A*/B*CI + A*B*CI + A*B*/CI$$



Şekil 3-18 PLA ile tam toplayıcı tasarımı