Core Data Flow

**Document purpose:**  describe the data flow between the differences parts in the core and characterize every sub-block.

Core top design:

Core

Clk

Trigger

Input Data

WBS

WBM

Read Controller

Reset

Trigger\_type

Trigger\_position

System\_status

ram\_to\_wc

wc\_to\_rc

WBS\_to\_wc

ram\_to\_rc

Clk

Reset

Input Data

rc\_to\_WBM

Clk\_to\_start

System\_status

wc\_to\_ram

clk

Registers

Reset

Out\_valid

Enable\_out\_valid

Data\_out

Clk

Reset

Write Controller

RAM

The core inputs are the trigger characteristic and data signals that came from the signal generator, and clk and Reset signals that came from Clock and Reset part via the WBS.

The trigger characteristic are been save in the registers, and the data is moved to the Write Controller.

שאלות:

* האם WBS/WBM הם חד כיווניים או דו כיוונים?
* האם ל REGISTERS יש גם כניסת RESET ? (בדיאגרמה שלנו יש להם)
* האם צריך להוסיף את ה GENERICS לאותות הנכנסים לתוך ה CORE כאותות חיצוניים? (ואיך בעצם הם מחלחלים לתוך ה CORE? האם דרך ה INPUTDATA?)
* האם נכון החיבור של האותות out\_valid Data\_in Out\_valid Data\_out?