תכנון בלוקים

* תהליך זרימת המידע בין תתי הבלוקים
* ממשקים של תתי הבלוקים מוגדרים היטב
* תפקיד כל תת בלוק וכל PORT שלו וכל GENERIC שלו
* מימוש כל בלוק
* צורות גלים אופייניות של ה-CORE וכל תת בלוק.

מידע וטריגר מגיעים מה-signal generator. המידע מגיע ל-WC והטריגר מגיע לרגיסטרים. GENERIC מגדיר את גודל המילה שתתקבל, בכל עליית שעון תיכנס ל-RAM דגימה של הסיגנלים המתאימים ליחידת זמן כלשהי ויישמרו בו כמילה. האותות בעליית השעון הבאה יישמרו כמילה הבאה, וכך הלאה. המידע ייקרא בצורה טורית כאשר דגימות של כל אות מופיעות אחת אחרי השנייה בסדר כרונולוגי.

ציר הזמן

קריאה

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| S4 | S3 | S2 | S1 | S0 | T=0 |
| S4 | S3 | S2 | S1 | S0 | T=1 |
| S4 | S3 | S2 | S1 | S0 | T=2 |
| S4 | S3 | S2 | S1 | S0 | T=3 |
| S4 | S3 | S2 | S1 | S0 | T=4 |

כתיבה

לאחר זיהוי עליית טריגר על ידי ה-WC מתבצע חישוב של לגבי המידע שנרצה לשלוח החוצה וכתובת תחילת המידע וסוף המידע מועברים ל-RC שאחראי על שליפת המידע מה-RAM בהתאם לכתובות שהתקבלו ומוציא אותו למשתמש.

רגיסטרים:



זוהי הסכמה של הרגיסטרים. הכניסות הן 8 סיביות לכל רגיסטר,

Read Controller

מקבל כתובת התחלה וכתובת סיום (מגיעות מ WC) של המידע שנמצא ב RAM אותו אנו רוצים לשלוח למשתמש. נבצע איטרציות עד אשר נוציא את כל המידע, בכל איטרציה נקבל כתובת התחלה ונקרא "מילה" מה RAM ונוציא אותה דרך WBM.