



ESCOLA POLITÉCNICA DA UNIVERSIDADE DE SÃO PAULO
Departamento de Engenharia de Computação e Sistemas Digitais

PCS3635 – LABORATÓRIO DIGITAL I

RELATO DA EXPERIÊNCIA 1

Relato da Bancada B1 – Turma 3 – Prof. Antonio

Data de Emissão: 06 de Janeiro de 2025.

Nome: Ana Vitória Abreu Murad	Número USP: 14613160
Nome: Heitor Gama Ribeiro	Número USP: 14577494
Nome: Yasmin Francisquetti Barnes	Número USP: 13828230

1 INTRODUÇÃO

A realização da experiência e seu objetivo consiste em, primeiramente, a observação do funcionamento de um circuito contador binário hexadecimal (circuito integrado 74163), e, em seguida, o funcionamento de um circuito digital simples constituído por dois elementos: um contador binário hexadecimal e um comparador (circuito integrado 7485).

2 DESCRIÇÃO DO PROJETO

Com o objetivo de introduzir os materiais da bancada aos alunos, a Experiência 1 foi baseada na observação do funcionamento de um circuito contador 74163 e um circuito comparador 7485.

Para entender o funcionamento dos circuitos, foram apresentadas algumas perguntas na apostila da experiência, respondidas abaixo:

Questões sobre o 74163:

1. Qual é o intervalo de valores possíveis da saída Q do contador 74163?

O contador 74163 é um contador síncrono de 4 bits. A saída Q é composta por 4 bits, o que permite representar valores de 0 a 15 (em decimal) ou de 0 a F (em hexadecimal).

2. Explique se o sinal de CLEAR é ativo em nível alto ou baixo.

Conforme a tabela, o sinal de CLEAR é representado com uma barra em cima, indicando que ele é ativo em nível baixo. Ou seja, quando o sinal é igual a L (low), o contador executa um "clear síncrono", ou seja, zera a saída Q na próxima borda de subida de clock (CLK).

3. Como um valor pode ser carregado no 74163?

Para carregar um valor no contador 74163, o sinal de LOAD deve estar ativo (em nível baixo) e, então, os valores de entrada D (dados a serem carregados) são transferidos para a saída Q na próxima borda de subida do clock (CLK).

4. Este componente é sensível a qual borda do sinal de clock (subida ou descida)?

O contador 74163 é sensível à borda de subida (\uparrow) do sinal de clock (CLK).

Questões sobre o 7485:

5. Qual é a função das entradas de cascadeamento $I_{A>B}$, $I_{A<B}$ e $I_{A=B}$ do componente?

Essas entradas indicam os resultados da comparação feita pelos bits menos significativos (de outro comparador em cascata). Elas são usadas apenas quando os bits mais significativos são iguais ($A_3=B_3$, $A_2=B_2$, $A_1=B_1$ e $A_0=B_0$).

6. Explique as linhas destacadas em azul na tabela funcional.

Na linha 1, $A > B$ devido ao estado das entradas de cascadeamento ($I_{A>B}$) e aos bits mais significativos serem iguais. A saída $O_{A>B}$ confirma esse resultado. Na linha 2, $A < B$ devido ao estado das entradas de cascadeamento ($I_{A<B}$) e aos bits mais significativos serem iguais. A saída $O_{A<B}$ confirma esse resultado. Na linha 3, $A = B$ devido ao estado

das entradas de cascadeamento ($I_{A=B}$) e aos bits mais significativos serem iguais. A saída $O_{A=B}$ confirma esse resultado.

3 IMPLANTAÇÃO DO PROJETO

3.1 EXECUÇÃO PRÁTICA DO CENÁRIO DE TESTE 1 – TESTE DO CI 74163

O cenário do Teste 1 envolve a familiarização com o funcionamento do circuito integrado 74163, um contador binário módulo 16. A atividade inicial foi projetada para explorar as funções de controle do componente, como sinal de *clear*, carga síncrona e contagem crescente.

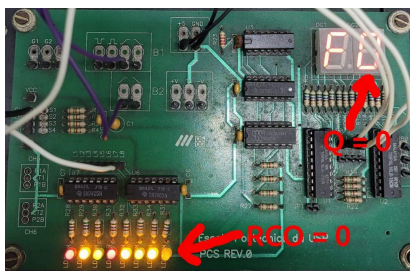
Tabela 1 – Descrição e Resultados Práticos do Cenário de Teste 1

Teste (função executada)	Sequência de sinais	Resultado Esperado	Resultado Prático OK?
1. zerar saída Q	acionar botão RESET e acionar CLOCK 1 vez (simultaneamente)	Q=0000 (0) e RCO=0	Sim
2. contagem de 0 a 5	ENABLE=1 e acionar CLOCK 5 vezes	Q=0101 (5) e RCO=0	Sim
3. desativa ENT e acionar CLOCK 2 vezes	ENABLE=0 e acionar CLOCK 2 vezes	Q=0101 (5) e RCO=0	Sim
4. contar mais 10 vezes	ENABLE=1 e acionar CLOCK 10 vezes	Q=1111 (15) e RCO=1	Sim
5. desativar ENT	ENABLE=0	Q=1111 (15) e RCO=0	Sim
6. desativar ENT e acionar CLOCK 2 vezes	ENABLE=0 e acionar CLOCK 2 vezes	Q=1111 (15) e RCO=0	Sim
7. ativar ENT, acionar CLR e acionar CLOCK 2 vezes	ENABLE=1, acionar RESET e acionar CLOCK 2 vezes	Q=1111 (15) e RCO=0*	Sim

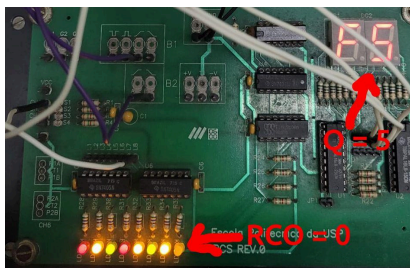
* Consideramos 3 interpretações possíveis para esse teste:

1. Acionar RESET = resetar: então seria os 2 cliques do clock vão aumentar o contador 2 vezes (Q=0010 (2) e RCO=0);
2. Acionar RESET = clicar e segurar o botão RESET até o próximo clock: então o primeiro clique no clock reseta a contagem para zero e o próximo clique aumenta o contador em 1 (Q=0001 (1) e RCO=0);
3. Acionar RESET = segurar o botão do reset: então os 2 clocks ativam o reset, e o contador permanece em zero (Q=0000 (0) e RCO=0);

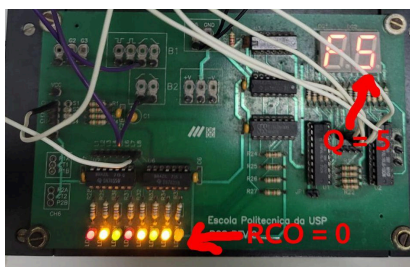
- Teste 1.1 - Reset simples



- Teste 1.2 - Contar até 5



- Teste 1.3 - Tentar avançar o clock com ENABLE desativado



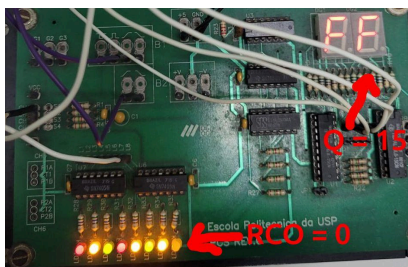
- Teste 1.4 - Contar até o valor máximo



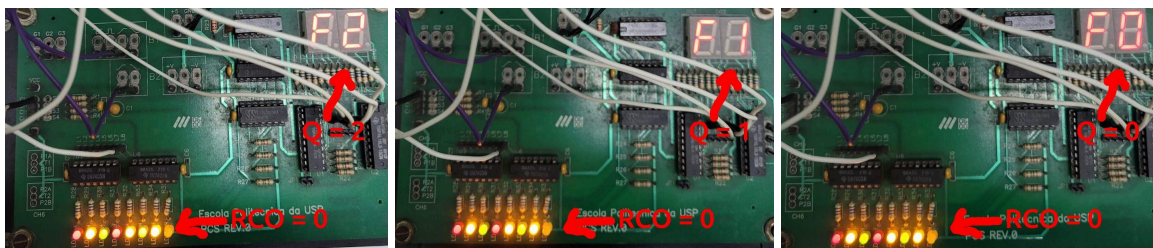
- Teste 1.5 - Desativar ENABLE com a contagem no valor máximo



- Teste 1.6 - Tentar avançar o clock com ENABLE desativado na contagem máxima



- Teste 1.7 - Resetar e continuar a contagem



Da esquerda para a direita interpretações 1, 2 e 3*

3.2 EXECUÇÃO PRÁTICA DO CENÁRIO DE TESTE 2 - TESTE DO CI 7485

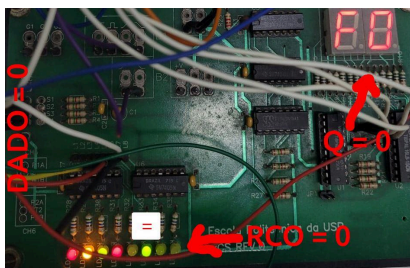
O cenário do Teste 2 envolve a familiarização com o funcionamento do circuito integrado 7485, um comparador de 4 bits. A atividade inicial foi projetada para explorar o funcionamento do componente para diferentes casos de Q (saída do contador) e DADO (input fornecido pelo usuário).

Tabela 2 – Descrição e Resultados Práticos do Cenário de Teste 2

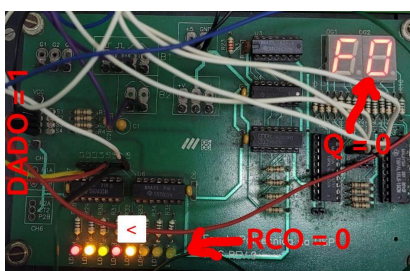
Teste (função executada)	Sequência de sinais	Resultado Esperado	Resultado Prático OK?
1. zerar saída do contador e ajustar DADO=0000	acionar entrada RESET e acionar CLOCK 1 vez	contagem=0, RCO=0, maior=0, menor=0, igual=1	Sim
2. mudar para DADO=0001	ajustar entrada DADO=0001	contagem=0, RCO=0, maior=0, menor=1, igual=0	Sim
3. incrementa contador e DADO=0001	ajustar ENABLE=1, DADO=0001 e acionar CLOCK 1 vez	contagem=1, RCO=0, maior=0, menor=0, igual=1	Sim
4. incrementa contador e DADO=0001	ajustar ENABLE=1, DADO=0001 e acionar CLOCK 1 vez	contagem=2, RCO=0, maior=1, menor=0, igual=0	Sim
5. contagem de 2 a 9 e DADO=1001	ajustar ENABLE=1, DADO=1001 e acionar CLOCK 7 vezes	contagem=9, RCO=0, maior=0, menor=0, igual=1	Sim
6. mudar saída do contador para 1111	ajustar ENABLE=1, DADO=1001 e acionar CLOCK 6 vezes	contagem=15, RCO=1, maior=0, menor=1, igual=0	Sim
7. desativar ENT e acionar CLOCK	ajustar ENABLE=0, DADO=1001 e acionar CLOCK	contagem=15, RCO=0, maior=0, menor=1, igual=0*	Não
8. contar mais 6 vezes	ajustar ENABLE=1, DADO=1001 e acionar CLOCK 6 vezes	contagem=5, RCO=0, maior=0, menor=1, igual=0	Sim

* O cenário do teste 7 não foi possível, pois o CH1 está ligado tanto no ENT quanto no bit menos significativo de DADO, dessa maneira fazer DADO=1001 e ENABLE=0 simultaneamente é impossível com a montagem feita pela bancada.

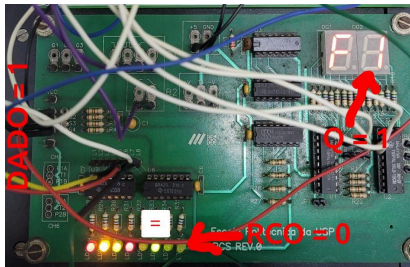
- Teste 2.1 - Comparar 0 e 0



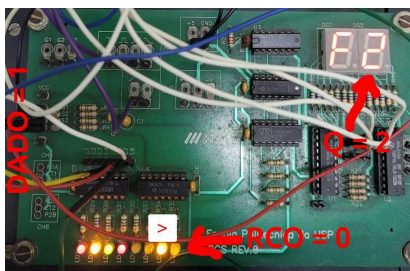
- Teste 2.2 - Comparar 0 e 1



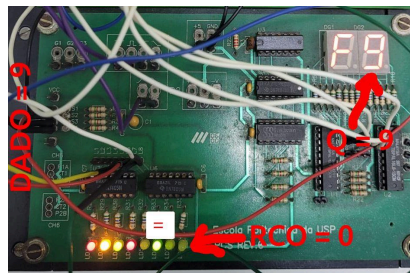
- Teste 2.3 - Comparar 1 e 1



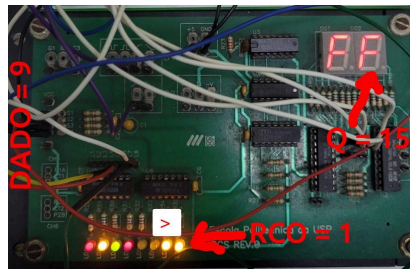
- Teste 2.4 - Comparar 2 e 1



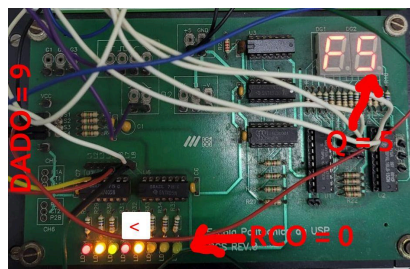
- Teste 2.5 - Comparar 9 e 9



- Teste 2.6 - Comparar 15 e 9



- Teste 2.7 - Comparar 15 e 9 com ENABLE desligado (sem resultados práticos)
- Teste 2.8 - Comparar 5 e 9



4 CONCLUSÕES

Com a realização da experiência, foi possível conhecer os diversos elementos da bancada e foi possível obter o resultado experimental esperado durante ambas as etapas. Os alunos tiveram dificuldade para conectar os fios, porém, analisando a lógica do resultado sendo demonstrado nos LEDS, foi possível detectar o erro. No final, o desenvolvimento realizado em aula cumpre os objetivos da experiência.