

# Um Fluxo de Dados Simples

Versão 2025

## OBJETIVOS

Após a conclusão desta experiência, os seguintes tópicos devem ser conhecidos pelos alunos:

- Estudo de um fluxo de dados de um circuito digital;
- Uso de módulo de memória e interface com display de 7 segmentos;
- Projeto hierárquico de circuitos digitais;
- Projeto de circuitos usando descrição estrutural Verilog;
- Simulação com Digital;
- Síntese para uma placa FPGA, usando Quartus Prime.

## RESUMO

Esta experiência tem como objetivo o desenvolvimento do projeto de um fluxo de dados de um circuito digital simples usando uma descrição estrutural em Verilog. A verificação de funcionamento dos circuitos deve usar o software Digital. O circuito deve ser sintetizado com o Intel Quartus Prime e, em seguida, será programado e testado em uma placa FPGA. Este fluxo de dados será usado no projeto da disciplina.

## 1. PARTE EXPERIMENTAL

A parte experimental desta experiência visa desenvolver o fluxo de dados de um circuito digital. O projeto deve ser sintetizado na placa DE0-CV. Posteriormente, deve-se executar um estudo detalhado de seu funcionamento através da execução de um plano de testes minucioso.

O projeto do circuito da experiência contém dois componentes: um contador binário hexadecimal (`contador_163`) e um comparador de magnitude de 4 bits (`comparador_85`), cujas respectivas descrições Verilog são fornecidas.

### 1.1. Atividade 1 – Estudo e Familiarização com descrições Verilog

Nesta atividade, as descrições Verilog dos componentes devem ser estudadas e, em seguida, o funcionamento delas deve ser analisado através de simulação. Para cada componente, são disponibilizados circuitos do Digital para familiarização.

#### Componente contador\_163

- Análise o código-fonte Verilog do componente `contador_163.v`, disponibilizado junto com este enunciado no e-Disciplinas. Estude seu funcionamento a partir da análise do código-fonte.  
DICA: use o arquivo fornecido do *Digital* para analisar o funcionamento do componente.
- A Tabela 1 abaixo apresenta o *Plano de Teste* para verificar o funcionamento do circuito contador em Verilog.

**Tabela 1: Plano de Teste para o Componente "contador\_163"**

Teste	Descrição	Sinais de Entradas	Saídas esperadas
condições iniciais	Todas as entradas inativadas	CLR=1, LD=1, D=0000, ENP=0, ENT=0, CLOCK=0	Q=0000, RCO=0
1	Aciona clock 2x com entradas inativadas	CLR=1, LD=1, D=0000, ENP=0, ENT=0, acionar CLOCK 2 vezes	Q=0000, RCO=0
2	Aciona clock (somente) com clear ativado	CLR=0, LD=1, D=0000, ENP=0, ENT=0, acionar CLOCK	Q=0000, RCO=0
3	Aciona clock 5x com sinais de enable ativados	CLR=1, LD=1, D=0000, ENP=1, ENT=1, acionar CLOCK 5 vezes	Q=0101, RCO=0
4	Aciona clock com load ativado e dado=1011	CLR=1, LD=0, D=1011, ENP=0, ENT=0, acionar CLOCK	Q=1011, RCO=0
5	Aciona clock 4x com sinais de enable ativados	CLR=1, LD=1, D=0000, ENP=1, ENT=1, acionar CLOCK 4 vezes	Q=1111, RCO=1
6	Aciona clock 2x com enp=0 e ent=1	CLR=1, LD=1, D=0000, ENP=0, ENT=1, acionar CLOCK 2 vezes	Q=1111, RCO=1
7	Aciona clock 2x com enp=1 e ent=0	CLR=1, LD=1, D=0000, ENP=1, ENT=0, acionar CLOCK 2 vezes	Q=1111, RCO=0
8	Aciona clock 2x com sinais de enable ativados	CLR=1, LD=1, D=0000, ENP=1, ENT=1, acionar CLOCK 2 vezes	Q=0001, RCO=0
9	Aciona clock com clear e load ativados e dado=1001	CLR=0, LD=0, D=1001, ENP=1, ENT=1, acionar CLOCK	Q=0000, RCO=0
10	Aciona clock com load ativado e dado=1011	CLR=1, LD=0, D=1001, ENP=1, ENT=1, acionar CLOCK	Q=1001, RCO=0
11	Aciona clock 6x com sinais de enable ativados	CLR=1, LD=1, D=1001, ENP=1, ENT=1, acionar CLOCK 6 vezes	Q=1111, RCO=1

- Execute uma **simulação do circuito contador com o arquivo Digital** fornecido e compare as saídas do circuito com a coluna com as saídas esperados da tabela acima.

**Componente comparador\_85**

- d) Analise o código-fonte Verilog do componente `comparador_85.v`, disponibilizado junto com este enunciado no e-Disciplinas. Estude seu funcionamento a partir da análise do código-fonte.  
DICA: use o arquivo fornecido do *Digital* para analisar o funcionamento do componente.
- e) Considere o Plano de Teste da Tabela 2 para verificar o funcionamento do circuito comparador.

**Tabela 2: Plano de Teste para o Componente "comparador\_85"**

Teste	Sinais de Entradas	Saídas esperadas
condições iniciais	A>Bin=0, A=Bin=1, A<Bin=0, A=0000, B=0000	A>Bout=0, A=Bin=1, A<Bout=0
1	A>Bin=0, A=Bin=1, A<Bin=0, A=0110, B=0110	A>Bout=0, A=Bin=1, A<Bout=0
2	A>Bin=1, A=Bin=0, A<Bin=0, A=0110, B=0110	A>Bout=1, A=Bin=0, A<Bout=0
3	A>Bin=0, A=Bin=0, A<Bin=1, A=0110, B=0110	A>Bout=0, A=Bin=0, A<Bout=1
4	A>Bin=0, A=Bin=1, A<Bin=0, A=0001, B=0000	A>Bout=?, A=Bin=?, A<Bout=?
5	A>Bin=1, A=Bin=0, A<Bin=0, A=0001, B=0000	A>Bout=?, A=Bin=?, A<Bout=?
6	A>Bin=0, A=Bin=0, A<Bin=1, A=0001, B=0000	A>Bout=?, A=Bin=?, A<Bout=?
7	A>Bin=0, A=Bin=1, A<Bin=0, A=0011, B=1100	A>Bout=?, A=Bin=?, A<Bout=?
8	A>Bin=1, A=Bin=0, A<Bin=0, A=0011, B=1100	A>Bout=?, A=Bin=?, A<Bout=?
9	A>Bin=0, A=Bin=1, A<Bin=0, A=0011, B=1100	A>Bout=?, A=Bin=?, A<Bout=?

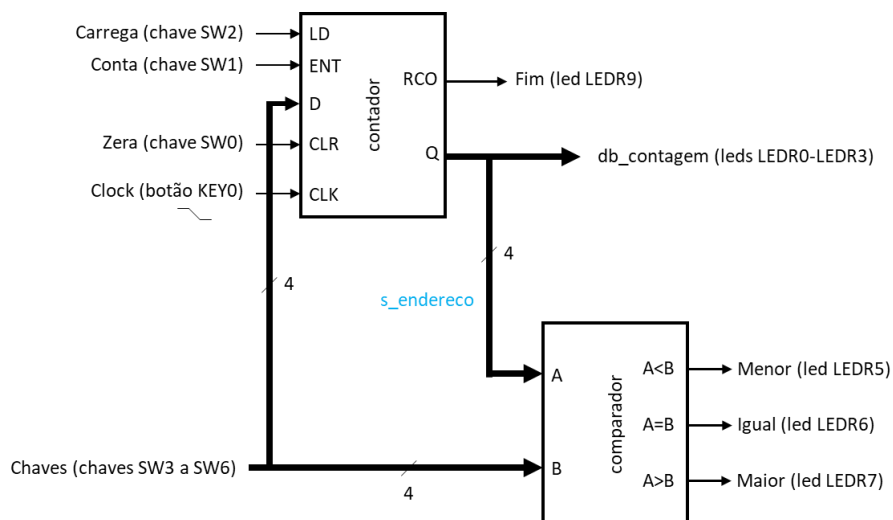
- f) Execute uma **simulação do circuito comparador usando o Digital**, aplicando o Plano de Teste apresentado. Complete as células da coluna "saídas esperadas" que estão incompletas com base no entendimento da saída gerada pela simulação.

Ao término desta atividade, espera-se que você esteja familiarizado com os componentes fornecidos. Na próxima atividade, usaremos estes componentes para compor um fluxo de dados usando uma descrição estrutural.

**1.2. Atividade 2 – Projeto e Simulação de um Fluxo de Dados**

- g) Nesta atividade iremos projetar o circuito de um fluxo de dados, contendo os componentes estudados na atividade anterior. A figura 1 apresenta um diagrama de blocos com a interligação entre os componentes. Note também que um sinal interno ao projeto (`s_endereco`) foi especificado para interligação dos componentes do projeto.

DICA: consideraremos que **os sinais de controle do circuito são ativos em nível alto** e devem ser ligados nos pinos adequados dos componentes internos conforme entendimento dos respectivos funcionamentos dos componentes estudados. Note a especificação de um sinal de saída de depuração (`db_contagem`).

**Figura 1: Diagrama de blocos do circuito a ser implementado na Atividade 2**

## Projeto Verilog

- h) Elabore uma descrição estrutural em Verilog do circuito lógico apresentado na Figura 1. Para isso, use os componentes Verilog `contador_163` e `comparador_85` estudados na atividade anterior. Adote a definição do módulo Verilog "circuito\_exp2\_ativ2" apresentada na Figura 2.

DICA 1: Use o código Verilog parcial fornecido (`circuito_exp2_ativ2-PARCIAL.v`).

DICA 2: consideraremos que **os sinais de controle do circuito são ativos em nível alto** e devem ser ligados nos pinos adequados dos componentes internos conforme entendimento dos respectivos funcionamentos dos componentes fornecidos.

Na **codificação Verilog do fluxo de dados**, adote a interface de sinais da Figura 2 para o módulo principal do circuito da atividade.

```
module circuito_exp2_ativ2 (clock, zera, carrega, conta, chaves,
                           menor, maior, igual, fim, db_contagem);
    input    clock;
    input    zera;
    input    carrega;
    input    conta;
    input    [3:0] chaves;
    output   menor;
    output   maior;
    output   igual;
    output   fim;
    output   [3:0] db_contagem;
endmodule
```

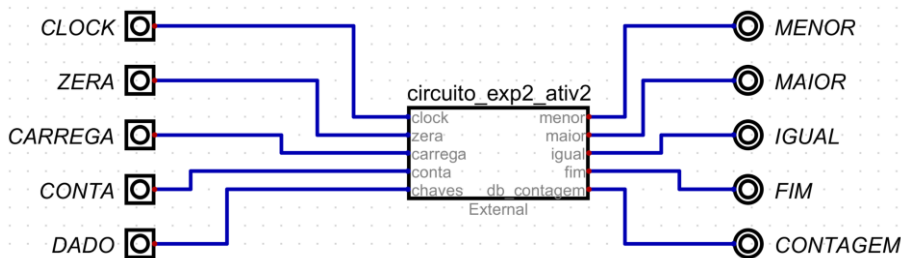
**Figura 2: Interface de Sinais para o Circuito Digital da Atividade 2.**

Submeta o arquivo Verilog do circuito da atividade 2 junto com o Planejamento.

## Verificação Funcional com Digital

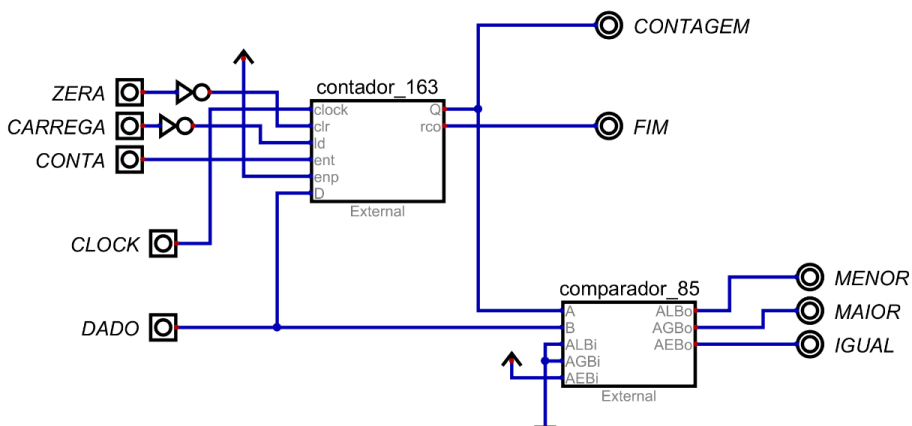
- i) Elabore um projeto no Digital para simular o circuito Verilog da atividade (figura 1). Salve o projeto no arquivo `circuito_exp2_ativ2_digital.dig`. A figura 3 ilustra o circuito no Digital.

DICA: use o componente *External* para incluir arquivos Verilog em um circuito esquemático.



**Figura 3: Circuito Digital da Atividade 2 com componente Verilog**

- j) Adicionalmente, crie outro projeto no Digital com a composição dos componentes fornecidos usando um circuito esquemático conforme a figura 4 abaixo.



**Figura 4: Circuito Digital da Atividade 2 usando circuito esquemático**

- k) Considere o Plano de Testes com 7 casos de teste apresentado na Tabela 4. Complete essa tabela com os sinais de controle necessários para executar cada operação e os resultados esperados. Estes testes devem ser executados sequencialmente.

**Tabela 4: Plano de Testes para o Circuito Digital da Atividade 2**

#	Caso de teste	Sinais de controle	Resultado esperado	Resultado observado
c.i.	<i>Condições iniciais</i>	clock=1 zera=0 carrega=0 conta=0 chaves=0000	contagem=0, fim=0, maior=0, menor=0, igual=1	
1	<i>Zerar contador e observar a saída da contagem</i>	zera=1 clock ↑	contagem=0, fim=0, maior=0, menor=0, igual=1	
2	<i>Ajustar chaves para 0001</i>	chaves=0001	contagem=0, fim=0, maior=0, menor=1, igual=0	
3	<i>Incrementar contador e chaves=0001</i>	conta=1 clock ↑	contagem=1, fim=0, maior=0, menor=0, igual=1	
4	<i>Incrementar contador para 3 e ajustar chaves para 0010</i>	conta=1 clock ↑ (2x) chaves=0010	contagem=3, fim=0, maior=1, menor=0, igual=0	
5	<i>Ajustar chaves para 0110</i>	chaves=0110	contagem=3, fim=0, maior=0, menor=1, igual=0	
6	<i>Incrementar contador até 1110</i>	conta=1 clock ↑ (11x)	contagem=14, fim=0, maior=1, menor=0, igual=0	
7	<i>Incrementar contador</i>	conta=1 clock ↑	contagem=15, fim=1, maior=1, menor=0, igual=0	

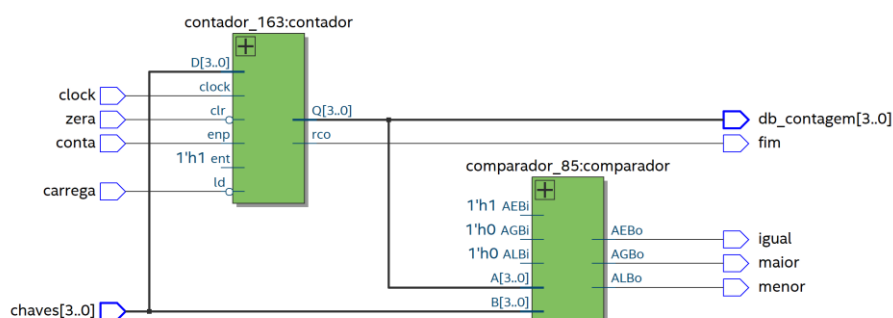
- l) Execute simulações de ambos os projetos com o Digital realizando os casos de teste esboçados na Tabela 3. Inclua e interprete as saídas observadas nas simulações.
- m) Submeta um arquivo ZIP (exp2\_TxByy\_ativ2\_simulacao.zip), contendo os arquivos fonte Verilog usados na simulação com o Digital e os arquivos .DIG do Digital.

Após o término desta atividade, se os resultados da simulação mostrarem saídas corretas, pode-se afirmar que o projeto foi verificado, ou seja, com funcionamento correto conforme sua especificação. Na próxima atividade, este circuito projetado deve ser preparado para ser testado na placa FPGA.

### 1.3. Atividade 3 – Síntese e Teste do Circuito na Placa FPGA

Nesta atividade, o projeto deve ser sintetizado e depois programado na placa FPGA. O software Intel Quartus Prime deve ser usado para preparar o circuito para a placa FPGA. Os testes do circuito devem ser conduzidos pelo acionamento dos sinais de entrada e monitoração dos sinais de saída.

- n) Crie um projeto no Intel Quartus Prime para possibilitar a síntese do circuito para a placa FPGA DE0-CV. DICA: Use a apostila “Tutorial para criação de circuitos digitais hierárquicos em VHDL no Quartus Prime 16.1”, que mostra os procedimentos para criar e depois compilar do projeto com uma descrição estrutural. Incluir os 3 arquivos Verilog no projeto do Quartus Prime.
- o) Após criar e compilar o projeto no Intel Quartus Prime, execute a **ferramenta RTL Viewer** (menu Tools > Netlist Viewers > RTL viewer) e analise a saída obtida. A figura 5 ilustra um exemplo de saída produzida pela ferramenta. Anexe a figura gerado pelo projeto do grupo ao Planejamento e comente como o circuito obtido no Quartus alinha-se com o circuito apresentado no diagrama de blocos da Figura 1.



**Figura 5: Saída RTLViewer do Intel Quartus Prime**

- p) Realize a designação de pinos, conforme a Tabela 5 abaixo.

**Tabela 5: Designação de Pinos para o Circuito Digital da Atividade 3**

Sinal	Pino na Placa DE0-CV	Pino na FPGA
CLOCK	botão KEY0	PIN_U7
ZERA	chave SW0	PIN_U13
CONTA	chave SW1	PIN_V13
CARREGA	chave SW2	PIN_T13
CHAVES(0)	chave SW3	PIN_T12
CHAVES(1)	chave SW4	PIN_AA15
CHAVES(2)	chave SW5	PIN_AB15
CHAVES(3)	chave SW6	PIN_AA14
DB_CONTAGEM(0)	Led LEDR0	PIN_AA2
DB_CONTAGEM(1)	Led LEDR1	PIN_AA1
DB_CONTAGEM(2)	Led LEDR2	PIN_W2
DB_CONTAGEM(3)	Led LEDR3	PIN_Y3
MENOR	Led LEDR5	PIN_N1
IGUAL	Led LEDR6	PIN_U2
MAIOR	Led LEDR7	PIN_U1
FIM	Led LEDR9	PIN_L1

- q) Programe o circuito sintetizado na placa FPGA DE0-CV.

*DICA: a apostila "Tutorial para criação de circuitos digitais em Verilog no Quartus Prime 20.1" mostra os procedimentos para a síntese e programação de circuitos na placa FPGA.*

- r) Execute o acionamento dos sinais de entrada, seguindo o Plano de Testes da tabela 4 para verificar o funcionamento do circuito.
- s) Analise os resultados obtidos e elabore um resumo do funcionamento do circuito estudado.
- t) Submeta o arquivo QAR desta atividade (exp2\_TxByy\_atividade3.qar) junto com o Relatório.

*DICA: a apostila "Tutorial para criação de circuitos digitais em Verilog no Quartus Prime 20.1" mostra o procedimento para a geração de arquivos QAR.*

## 1.4. Atividade 4 – Desafio

Neste item é proposta uma atividade complementar.

- u) Uma **atividade adicional** relacionada ao projeto do circuito da experiência será proposta pelo professor. Estude essa modificação e verifique como implementá-la.
- v) Implemente o circuito no Intel Quartus Prime e sintetize-o na placa FPGA DE0-CV. Explique como a solução proposta funciona para atingir o objetivo proposto pelo desafio do professor e documente a nova designação de pinos, se houver modificação.
- w) Proponha um plano de testes para o circuito modificado e teste-o na placa DE0-CV.
- x) Documente os resultados obtidos nos testes experimentais realizados.
- y) Submeta o arquivo QAR desta atividade (exp2\_TxByy\_desafio.qar) junto com o Relatório.

## 2. BIBLIOGRAFIA

- [1] ALMEIDA, F.V. de; SATO, L.M.; MIDORIKAWA, E.T. **Tutorial para criação de circuitos digitais em Verilog no Quartus Prime 20.1**. Apostila de Laboratório Digital. Departamento de Engenharia de Computação e Sistemas Digitais, Escola Politécnica da USP. Edição de 2024.
- [2] ALTERA / Intel. **DE0-CV User Manual**. 2015.
- [3] FREGNI, E.; SARAIVA, A. M. **Engenharia do Projeto Lógico Digital: Conceitos e Prática**. Editora Edgard Blücher, 1995.
- [4] Intel. **Quartus Prime Introduction Using Verilog Designs**. 2016.
- [5] NEEMANN, H. **Digital**. Disponível em: <https://github.com/hneemann/Digital>, 2023.
- [6] TEXAS INSTRUMENTS. **The TTL Logic Data Book**, 1994.
- [7] TOCCI, R. J.; WIDMER, N.S.; MOSS, G.L. **Sistemas Digitais: Princípios e Aplicações**. Prentice-Hall, 11ª ed., 2011.
- [8] Ricardo Menotti, Ricardo dos Santos Ferreira. **Introdução à Lógica Digital com Verilog: uma abordagem prática**. Kindle. 2023.
- [9] WAKERLY, John F. **Digital Design Principles & Practices**. 5th edition, Prentice Hall, 2018.

## 3. EQUIPAMENTOS NECESSÁRIOS

- 1 computador com softwares Intel Quartus Prime e Digital.
- 1 placa de desenvolvimento FPGA DE0-CV com o dispositivo Cyclone V 5CEBA4F23C7N.

### Histórico de Revisões

E.T.M. / 2018 (adaptação e revisão)  
E.T.M. & A.V.S.N / 2021 (revisão e adaptação para ensino remoto)  
E.T.M. / 2022 (revisão e adaptação)  
E.T.M. / 2023 (revisão e adaptação para ensino presencial)  
E.T.M. / 2024 (revisão e adaptação para Verilog)  
E.T.M. / 2025 (revisão e adaptação)