

# 2<sup>da</sup> Parcial Electrónica III

## Buselo Niwla's 61431

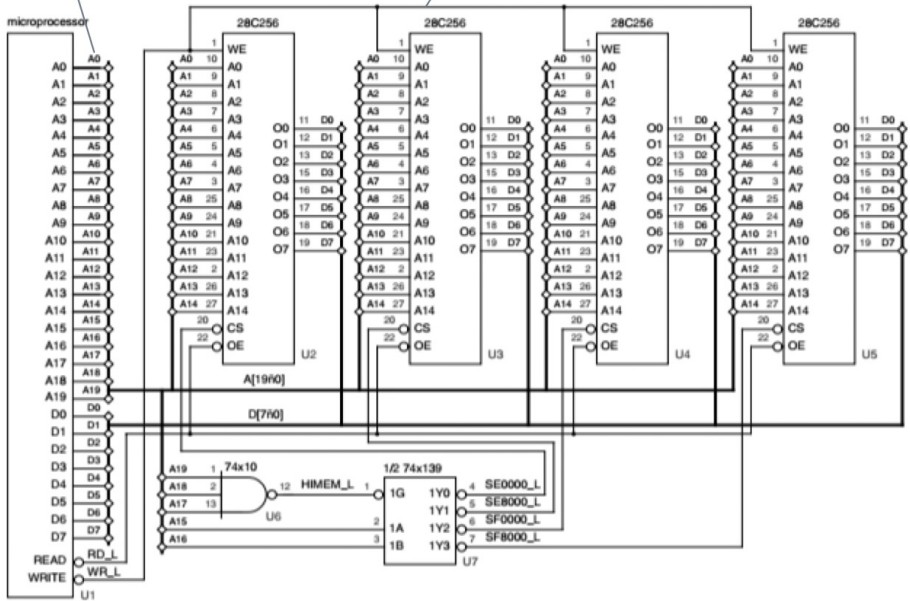
2

$$2^{20} = 1.048.576$$

$$32 \text{ K} \times 8$$

$$2^{15} = 32.768$$

$$32 \text{ K} \times 8$$



El microprocesador puede acceder a ~1M

Como solo tenemos 4 array de 32K y los últimos pines son para el x139 la memoria se cuenta en la parte alta del circuito

Debemos modificar la conexión de los pines 15 a 19 para que la memoria se encuentre en la parte baja

Tabla del 74x139

## 6. Functional description

Table 3. Function table

H = HIGH voltage level; L = LOW voltage level; X = don't care.

Control	Input		Output			
<del>nE 16</del>	<del>nA 13</del>	<del>nA0 14</del>	nY3	nY2	nY1	nY0
H	X	X	H	H	H	H
L	L	L	H	H	H	L
L	L	H	H	H	L	H
L	H	L	H	L	H	H
L	H	H	L	H	H	H

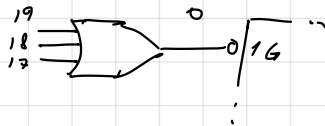
Considerando

$\begin{matrix} \times & \times & \times & \times & \times \\ 19 & & & & 15 \end{matrix}$

Queremos que 00000 acceda al array 1

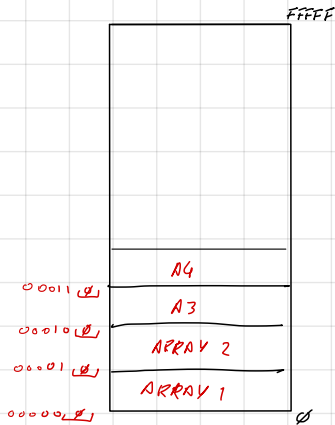
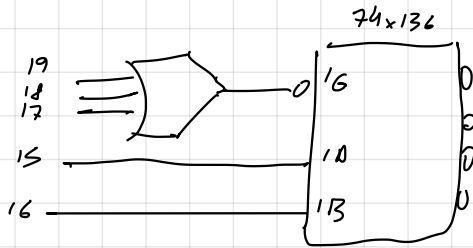
Para empezar 19-18-17 que son de enable tiene que habilitar al 139 cuando son todos 0

Por lo que



Por ultimos tenemos que configurar 15 y 16, esos quedan igual ya que como están en 00, está el Array 1 en 01, está Array 2 ...

00 Solo se modifica la NAND per OR

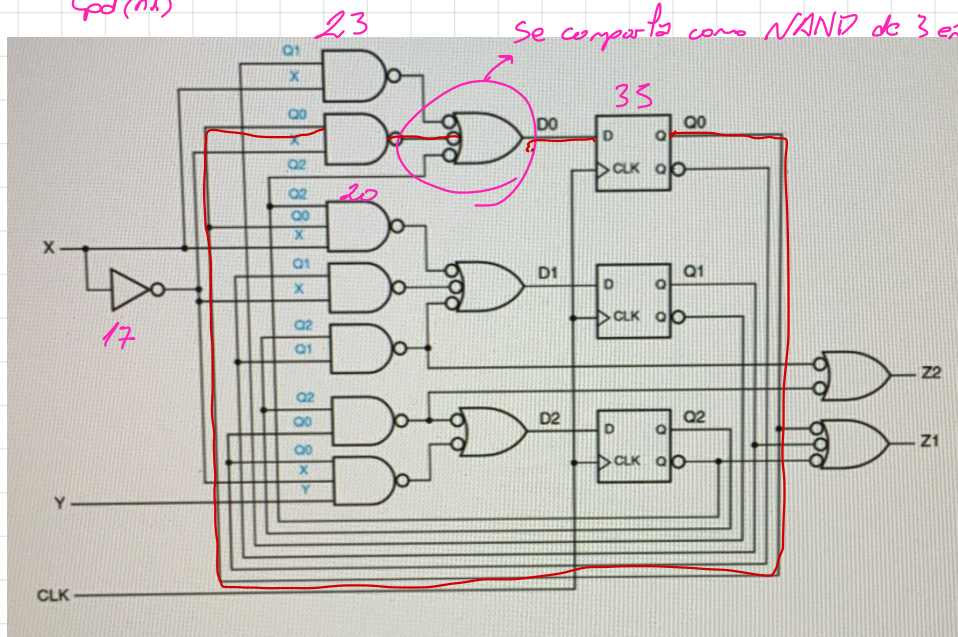


3

$t_{pd}^{max}$

$$\bar{A} + \bar{B} + \bar{C} = \overline{ABC}$$

Se comporta como NAND de 3 entradas



2) 
$$\text{Setup Time Margin} = t_{clk} - t_{f\bar{p}d(max)} - t_{comb(max)} - t_{setup}$$

$$t_{clk} = \frac{1}{1MHz} = 1\mu s$$

$$t_{f\bar{p}d(max)} = 35ns$$

Como la OR con 3 entradas negadas se comporta lógicamente como una NAND de 3 entradas, su  $t_p = 20ns$

$$t_{comb(max)} = 1 \cdot NAND(HC10) + 1 \cdot NAND(HC00)$$

$$t_{comb(max)} = 23ns + 20ns = 43ns$$

$$t_{\text{setup}} = 12 \text{ ns}$$

$$STM = 1 \mu\text{s} - 35 \text{ ns} - 55 \text{ ns} - 12 \text{ ns} = 910 \text{ ns} //$$

$$b) \text{ Hold Time Margin} = t_{\text{ffpd(min)}} + t_{\text{comb(min)}} - t_{\text{hold}}$$

35 ns  
↓  
Es el unico  
en Datasheet

3 ns  
↓  
NAND-9 (Tipico a 25°C)  
HC00  
NAND-20 (Unico en datasheet)  
HC10

$$HTM = 61 \text{ ns} //$$

$$c) t_{\text{CLK}} > t_{\text{setup}} + t_{\text{ff(max)}} + t_{\text{comb(max)}}$$

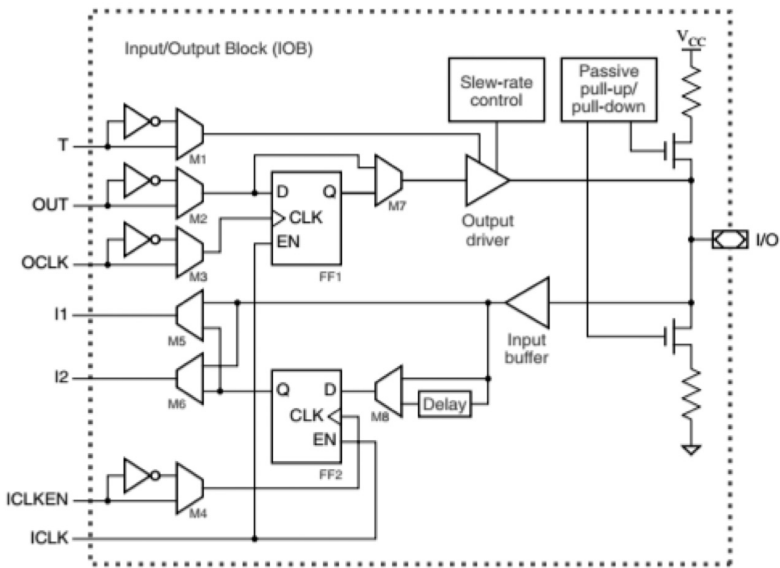
$$t_{\text{CLK}} > 12 \text{ ns} + 35 \text{ ns} + 43 \text{ ns}$$

$$t_{\text{CLK}} > 90 \text{ ns}$$

$$f_{\text{max}} < 11,11 \text{ MHz} //$$

Bustelo Nicolás 61431

4



Como bien indica el nombre, es un bloque que sirve tanto para las entradas como para las salidas

OUT

Tiene salida con pull-up para un "1" lógico y pull-down para un "0" lógico

Tiene un buffer Tri-state para que no se vea afectado cuando se usa como entrada.

Tiene slew-rate control para evitar los flancos muy abruptos

IN

Tiene un bloque de delay para mejorar la estabilidad y el hold time

Tanto para entrada como para salida hay sincronizadores que se pueden usar o no

Bustelo Nicolás 61431