

## 12주차 예비보고서

전공: 경영학과

학년: 4학년

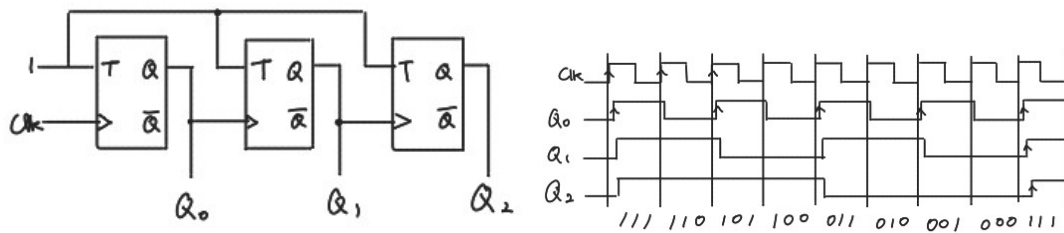
학번: 20190808

이름: 방지혁

1.

counter란 여러 개의 flip flop으로 이루어져 있으며 입력(clock) 펄스에 따라 설계한 고정된 상태열을 따라 주기적으로 순환하는 회로입니다. flip flop의 출력이 뒤의 flip flop의 클락으로 들어가는 비동기식 카운터, 같은 클락 펄스에 따라 작동해 상태의 변화가 동시에 발생하는 동기식 카운터로 분류할 수 있습니다.

예시를 들어 설명하자면, 3비트 2진 비동기식 다운 카운터에 대해 설명해보겠습니다. 111 110 101 100 이런식으로 1씩 감소하게 되고 이는 clk의 positive edge에서 동작하는 T FF 3개로 구현할 수 있습니다. T-FF은 입력값이 1이면 이전 값을 반전시키는 성질을 이용하면 됩니다.



2.

decade counter은 0에서부터 9까지 순환을 반복하는 10진수 카운터입니다. 그렇기에 총 10개의 state를 필요로 합니다. 비동기식 카운터를 이용하여 만들 수 있으며 예를 들자면 0000부터 시작했다면 0001, 0010 등을 거쳐 1001(9)까지 출력했다가 다시 0000까지 줄어듭니다. 이 점이 일반적인 4bit counter와 다릅니다. 왜냐하면 보통 1111까지 출력한 후 다시 줄어들기 때문입니다.

3.

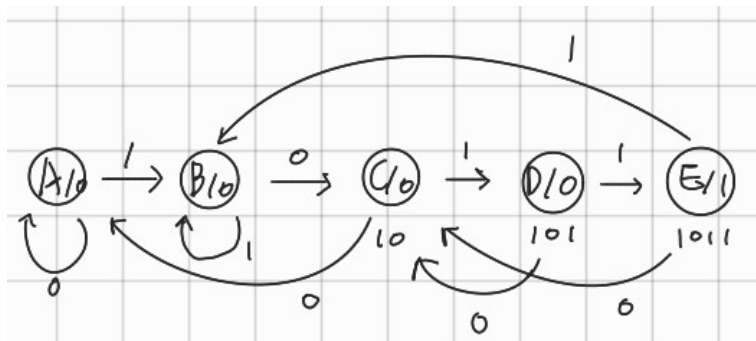
synchronous counter (동기식 카운터)는 모든 flip flop이 같은 클럭 입력 신호를 받아 동작하는 카운터입니다. 비동기식 카운터에 비해 빠른 신호 처리가 용이합니다. 반면 asynchronous counter (비동기식 카운터)는 클락 신호는 첫 번째 플립플롭의 입력신호로만 사용되고, 후단의 flip flop은 전단의 flip flop의 출력을 clock 신호로 받습니다. 같은 clock 신호를 쓰는 것이 아니기에 각 플립플롭을 통과할 때마다 propagation delay가 발생하며 이 delay가 축적됩니다. 그렇기에 동작이 느려질 수 있습니다. Ripple counter라고도 불리며 주로 JK FF이나 T FF을 이용하여 구현하고 종류로는 상향 카운터와 하향 카운터가 존재합니다.

4.

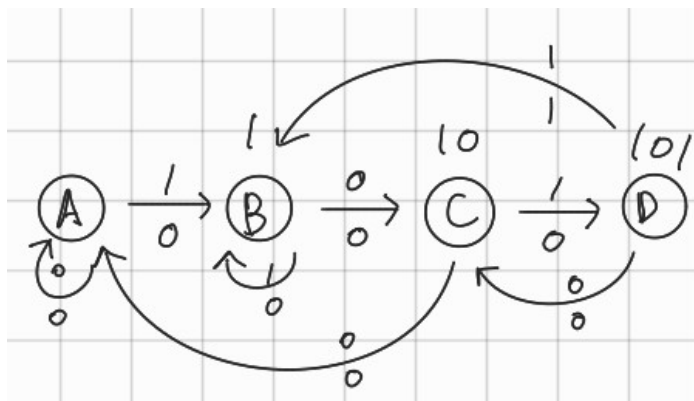
Finite State Model은 여러 종류의 state machine 중 유한 개의 state들로 구성되는 것입니다. Moore type과 Mealy type으로 나눌 수 있습니다. Flip Flop의 출력값은 current state를 나타냅니다. 또한, 이 state는 클록의 다음 상승 엣지 시기에 다음 state로 전이합니다. 이러한 카운터는 외부 입력에 따라 전이가 결정되지 못하기 때문에 효율적이지 못합니다. 그렇기에 외부의 입력과 현재의 state가 다음 state를 결정하도록 회로를 설계할 수 있습니다. 여기서 Moore FSM은 current state에 따라 next state가 결정되고, Mealy FSM은 current state 뿐만 아니라 input에 의해서도 next state가 결정됩니다.

5.

Moore Mealy 설계 방식 차이 (예시 - 1011 탐지)



위의 예시는 moore 방식으로, 현재 상태 값에 따라 출력이 결정됩니다. 그렇기에 출력과 입력 간에 1클럭 차이가 발생합니다. 원은 각 상태이며 원 안의 숫자들은 출력값을 나타내며 각 방향선 옆의 숫자는 입력값을 나타냅니다.



위의 예시는 mealy 방식으로 각 원은 state를 나타내며 화살표에는 입력과 출력이 적혀있습니다.