

11주차 예비보고서

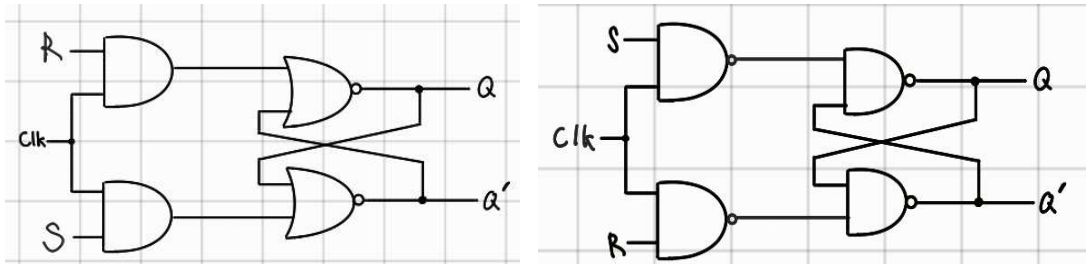
전공: 경영학과

학년: 4학년

학번: 20190808

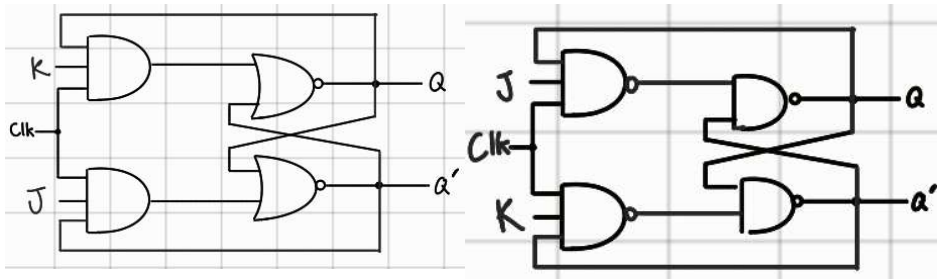
이름: 방지혁

1.



우선 RS Flip-Flop의 input은 set, reset 2개로 이루어져 있으며, 출력은 q , $\sim q$ 로 이루어져 있고. clk 펄스가 공급됩니다. 2개의 방법이 존재하는데, 한 가지 방법은 NOR 게이트 2개와 AND 게이트 2개로 구성하는 것이며, 또 다른 한 가지 방법은 NAND 게이트 4개로 구성하는 것입니다. Clk이 0이면, s와 r값에 상관없이, 이전 값을 유지합니다. 만약 s가 0이고 r이 1이라면 q의 값은 0이 됩니다. s가 1이고 r이 0이라면 q의 값은 1이 되고, 만약 두 값 모두 1이면 이는 허용되지 않습니다.

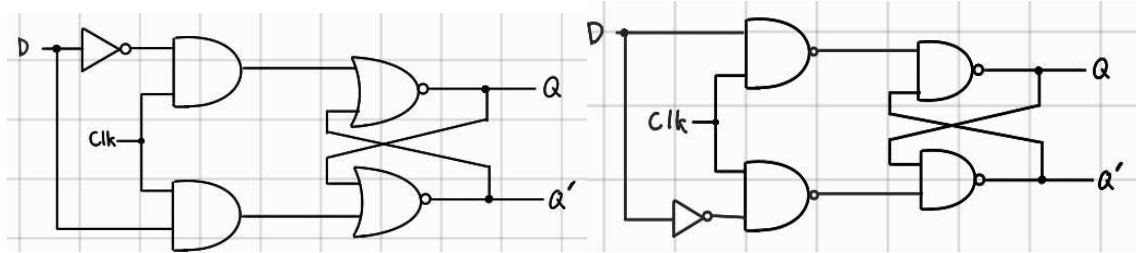
2.



JK Flip-Flop의 input은 J, K 2개로 이루어져 있으며, 출력은 q , $\sim q$ 로 이루어져 있고. clk 펄스가 공급됩니다. JK FF은 RS FF과 마찬가지로 2가지 방법으로 만들 수 있습니다. 한 가지 방법은 NOR 게이트 2개와 AND 게이트 2개로 구성하는 것이며, 또 다른 한 가지 방법은 NAND 게이트 4개로 구성하는 것입니다. 기존에 SR FF에서는 S와 R 값으로 모두 1이 들어오는 경우가 정의되지 않았었지만, JK ff은 이 점이 다릅니다. J가 set, K가 reset의 역할을 하며, 둘 다 0이면 이전 상태를 유지합니다. J만 1이면 q의 값은 1이 되며, K만 1이면 q의 값이 0이 됩니다. 반면, J와 K가 모두 1이 된다면, 현재 상태에서 반전됩니다.

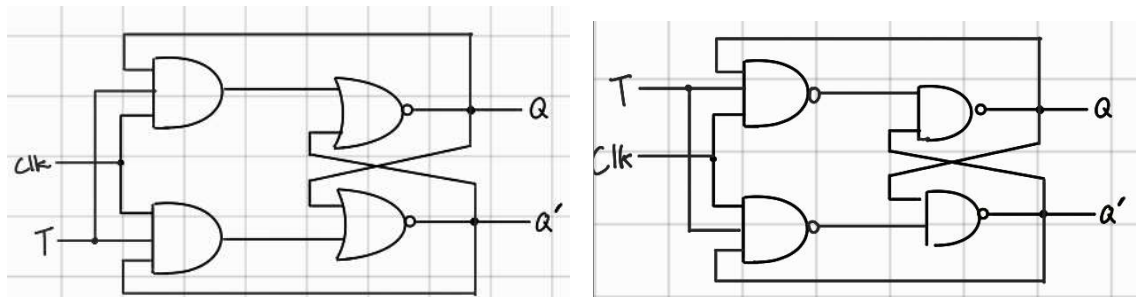
다음 장에서 계속

3.



D Flip-Flop의 input은 D 1개로 이루어져 있으며, 출력은 q , $\sim q$ 로 이루어져 있고, clk 펄스가 공급됩니다. D FF은 RS FF과 마찬가지로 2가지 방법으로 만들 수 있습니다. 한 가지 방법은 NOR 게이트 2개와 AND 게이트 2개로 구성하는 것이며, 또 다른 한 가지 방법은 NAND 게이트 4개로 구성하는 것입니다. edge에서 D값이 0이면 q 는 0이되고, 1이면 q 는 1이됩니다.

4.



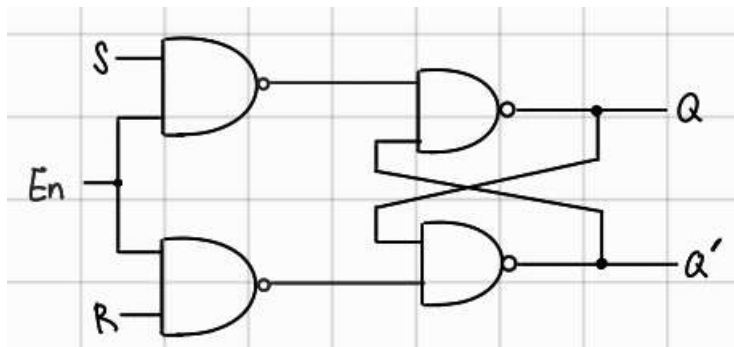
T Flip-Flop의 input은 T 1개로 이루어져 있으며, 출력은 q , $\sim q$ 로 이루어져 있고, clk 펄스가 공급됩니다. D FF은 RS FF과 마찬가지로 2가지 방법으로 만들 수 있습니다. 한 가지 방법은 NOR 게이트 2개와 AND 게이트 2개로 구성하는 것이며, 또 다른 한 가지 방법은 NAND 게이트 4개로 구성하는 것입니다. T값이 0이면 q 는 그대로 유지되고, 1이면 q 는 반전(Toggle)이 됩니다.

5.

Latch는 순차회로에서 기존에 입력된 정보(신호)의 상태를 보관하고 유지할 수 있습니다. Flip-Flop과 비슷하지만, latch는 level trigger로 동작하며, flip-flop은 edge trigger로 동작합니다. 하단의 사진은 SR latch로 Enable 값이 0이면 S와 R 값과 상관 없이 Q가 변하지 않습니다. Enable 값이 1이면 S와 R 값이 서로 다를 때, (1, 0)이면 Q는 1, (0, 1)이면 Q는 0입니다. 이런 특성 때문에 메모리 소자로 사용되기도 합니다.

6.

우선 clock은 컴퓨터와 같은 복잡한 회로를 작동시켜, 각 작은 회로를 동기화하는데 사용됩니다. High(1)과 Low(0) 신호 상태가 교대로 나타나며 타이밍을 맞춰줍니다.



이 클락은 항상 동일한 일정한 주기를 가지며 3가지 요소로 특징지을 수 있는데, 첫 번째가 신호의 크기입니다. 신호의 크기인 High 상태는 5V, 3.3V등 다양하게 존재합니다. 두 번째가 앞서 언급한 주파수입니다. 우리가 흔히 컴퓨터를 구매할 때 고려하는 CPU 사양을 측정할 때 사용되는 요소입니다. 세 번째가 High신호와 Low 신호간의 시간비입니다. 또한, 네트워크에서 통신이 이루어질 때, 처음 신호 시작점과 끝나는 지점을 서로 알아야 하기 때문에 clock synchronization이 중요하기도 합니다.

7.

Edge-Trigger는 clock 신호에서 0에서 1 또는 1에서 0으로 미리 지정한 대로 상태가 변하는 순간에만 동작합니다. latch가 level trigger라면, flip flop은 edge trigger입니다. 0(Low)상태에서 1(High)로 변하는 순간을 Positive Edge(Rising Edge)라고 하며, 1(High)에서 0(Low)로 변하는 순간을 Negative Edge(Falling Edge)라고 합니다. 이 엣지에만 회로가 반응하여 동작하기 때문에 기존 latch의 level trigger 방식보다 더 정확하고 안정적인 동작을 가능하게 합니다.

8.

Master-Slave 개념은 컴퓨터 공학의 여러 분야에서 사용되는 개념입니다. 데이터베이스 분야에서는 쓰기 역할만 가능한 DB 서버를 master, 읽기 역할만 가능한 DB 서버를 Slave라고도 합니다. 프로세스나 프로세서 간 관계를 master slave관계로 나타내기도 합니다. 즉, master인 개체(프로세스, 프로세서 등등)가 slave를 통제하거나 통신하는 것을 총체적으로 가리키는 개념입니다.

이 수업에서 다루는 master-slave를 설명하자면 Master-Slave FF은 하나의 동일한 clk 신호를 공유하는 flip-flop 2개로 이루어져있습니다. 이 두 개의 FF외에도 inverter 1개가 존재하는데 이로 인해, Master FF은 Positive Edge에서 동작하며, Slave FF은 Negative Edge에서 동작합니다. 이로 인해 출력 오류를 줄일 수 있습니다.

9.

Master-Slave 관계 - 통신에서

블루투스에서 Master-Slave관계에 대해서 설명해보겠습니다. 블루투스 통신에서 스

마트폰은 마스터, 이어폰은 슬레이브가 됩니다. 마스터 장치는 통신을 주도적으로 제어합니다. 중심역할이기에 각 슬레이브와 통신하며, 각 슬레이브는 마스터의 권한 부여 없이 송신 권한이 없기 때문에 마스터에서 권한을 줍니다. 또한, 마스터를 거치지 않고서는 슬레이브끼리의 독립적인 통신도 불가능합니다.

Sequencial circuit의 종류 - Moore and Mealy type

우선 moore type은 current state에 의해서만 출력이 결정됩니다. 즉, input이 변화해도 상태가 유지되는 한 output의 변화는 없습니다. Moore형은 Mealy에 비하여 다소 속도가 느린 경향이 존재합니다. 반면, mealy type은 current state뿐만 아니라 primary input에 의해서도 결정됩니다. moore type에 비해 빠릅니다.