

8주차 결과보고서

전공: 경영학과

학년: 4학년

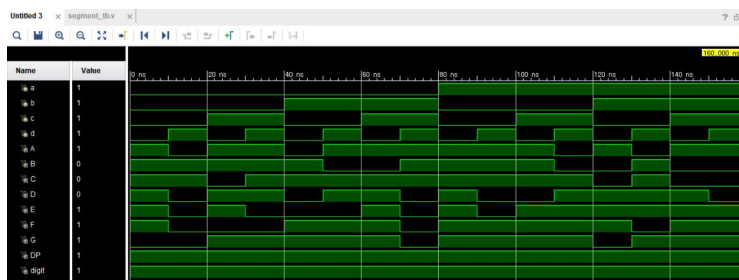
학번: 20190808

이름: 방지혁

1.

해당 실험의 목적은 7 segment display의 작동원리에 대해 이해하고 구현해보는 것입니다. 4개의 input signal로 7개의 output을 출력하기 위해 진리표를 바탕으로 카르노맵을 통해 간단화된 논리식을 구하는 능력을 배양합니다. 또한, 구한 함수식을 바탕으로 코드를 작성하여 직접 구현해봅니다. Simulation에서 그치지 않고, 최종적으로 설계를 FPGA 보드에 올려, 동작을 검증하고, 입력 신호에 따른 출력 결과를 분석하고자 합니다.

2.



```
timescale 1ns / 1ps

module segment(
    input a, b, c, d,
    output A, B, C, D, E, F, G, DP, digit
);

assign A = (~a)&b&c|a&(~d)|(~b)&(~d)|(~a)&b&d|a&(~b)&(~c);
assign B = (~b)&(~d)|(~a)&(~b)|(~a)&(~c)&(~d)|a&(~c)&d|(~a)&c&d;
assign C = (~a)&b|a&(~b)|(~c)&d|(~a)&(~c)|(~a)&d;
assign D = (~a)&(~b)&(~d)|(~b)&c&d|a&(~c)&(~d)|b&(~c)&d|b&c&(~d);
assign E = a&b|(~b)&(~d)|c&(~d)|a&c;
assign F = (~c)&(~d)|a&(~b)|a&c|b&c&(~d)|(~a)&b&(~c);
assign G = (~b)&c|c&(~d)|a&(~b)|a&d|(~a)&b&(~c);

assign DP = 1;
assign digit = A|B|C|D|E|F|G;

endmodule
```

```
timescale 1ns / 1ps

module segment_tb;

reg a,b,c,d;
wire A,B,C,D,E,F,G,DP,digit;

segment test(
    .a(a),
    .b(b),
    .c(c),
    .d(d),

    .A(A),
    .B(B),
    .C(C),
    .D(D),
    .E(E),
    .F(F),
    .G(G),
    .DP(DP),
    .digit(digit)
);

initial begin
    a = 1'b0;
    b = 1'b0;
    c = 1'b0;
    d = 1'b0;
    #160
    $finish;
end

always@(a or b or c or d) begin
    a <= #80 ~a;
    b <= #40 ~b;
    c <= #20 ~c;
    d <= #10 ~d;
end

endmodule
```

Input a	Input b	Input c	Input d	Output A	Output B	Output C	Output D	Output E	Output F	Output G	Output DP
0	0	0	0	1	1	1	1	1	1	0	1
0	0	0	1	0	1	1	0	0	0	0	1
0	0	1	0	1	1	0	1	1	0	1	1
0	0	1	1	1	1	1	1	0	0	1	1
0	1	0	0	0	1	1	0	0	1	1	1
0	1	0	1	1	0	1	1	0	1	1	1
0	1	1	0	1	0	1	1	1	1	1	1
0	1	1	1	1	1	1	0	0	0	0	1
1	0	0	0	1	1	1	1	1	1	1	1
1	0	0	1	1	1	1	0	0	1	1	1
1	0	1	0	1	1	1	0	1	1	1	1
1	0	1	1	0	0	1	1	1	1	1	1
1	1	0	0	1	0	0	1	1	1	0	1
1	1	0	1	0	1	1	1	1	0	1	1
1	1	1	0	1	0	0	1	1	1	1	1
1	1	1	1	1	0	0	0	1	1	1	1

A	B	C
$A = b'd' + bc + a'c + a'bd + ad' + a'b'c'$	$B = a'b' + b'd' + a'cd + a'c'd' + ac'd$	$C = a'c' + c'd + a'b + ab' + a'd$
D	E	F
$D = bcd' + bc'd + a'b'd' + b'cd + ac'd'$	$E = ab + ac + cd' + b'd'$	$F = c'd' + bd' + ab' + ac + a'bc'$
G	DP	
$G = cd' + a'bc' + ad + b'c + ab'$	$DP = 1$	

우선 제시된 진리표는 0부터 F, 요구되는 표시상황에 대하여 A부터 G까지 각 Segment가 가져야 할 값을 표현한 것입니다. 이를 카르노맵을 사용하여 표시한 후, sop 방식으로 간소화된 식을 도출했습니다. dp는 항상 1로 설정해 두었습니다.

3.

simulation한 바와 같이 모두 잘 구현이 되었습니다. 7가지의 output에 대하여 논리 식을 도출하는 과정이 상당히 시간 소모적이었습니다. 각 표시 문자 및 숫자에 대하여 모듈화시킨다면, 추후 시계나 계산기를 만들 때 더 효율적이지 않을까 라는 생각을 하게 되었습니다.

4.

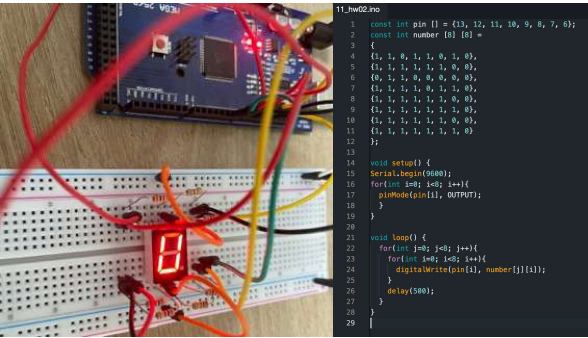
그레이코드와 7-segment display

그레이코드는 우리가 지금까지 사용했던 이진수와 다르게 인접한 값은 하나의 비트밖에 차이가 나지 않습니다.

10진수	이진수	그레이코드
0	0000	0000
1	0001	0001
2	0010	0011
3	0011	0010
4	0100	0110
5	0101	0111
6	0110	0101
7	0111	0100
8	1000	1100
9	1001	1101

이러한 방식을 사용한다면, 1bit 변화만 일어나기 때문에 신호 전환시 glitch나 오류를 줄일 수 있습니다. 또한, 이에 맞는 디코딩 방식을 사용하여야 합니다.

아두이노 보드에서의 7-segment display



아두이노 수업에서 했던 실습 사진

A에서 DP까지의 LED핀을 지정하고, for문과 아두이노 라이브러리의 pinMode함수를 사용하여 출력합니다.

해당 결과의 사진을 보면, 일부 세그먼트의 밝기가 다른 것을 확인할 수 있는데, 저항의 수가 부족하여 값이 다른 저항들을 사용한 것이 원인입니다.

이렇듯 수업에서 FPGA보드의 display와 다르게, 소자가 타버리는 것을 방지하기 위해 저항을 사용하여 밝기가 다른데, 이를 차이점이라고 볼 수 있습니다.