

3주차 예비보고서

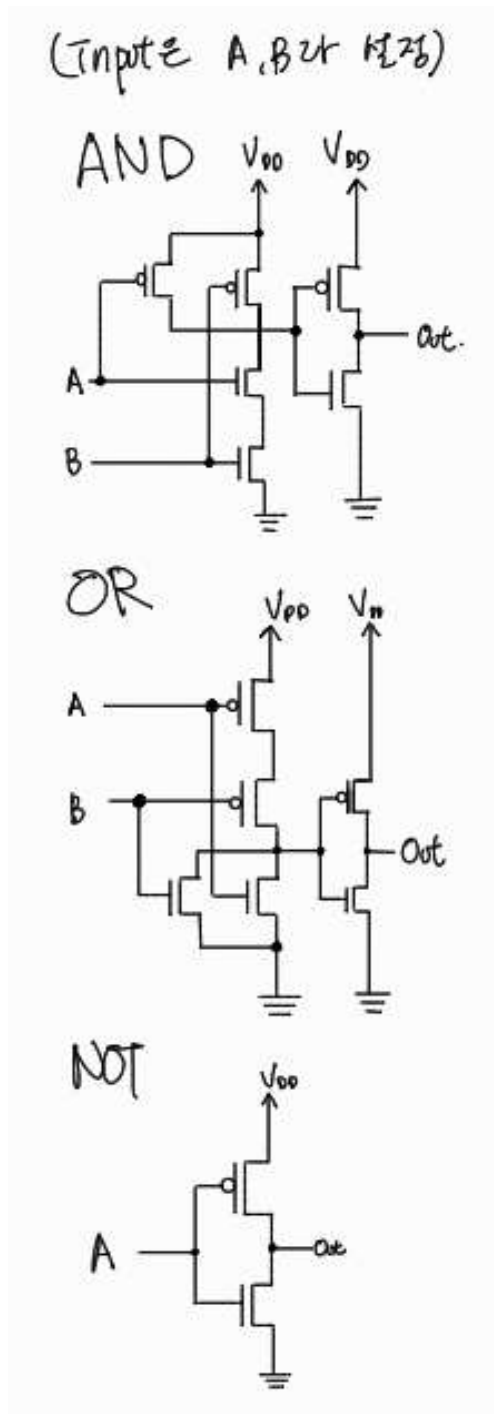
전공: 경영학과

학년: 4학년

학번: 20190808

이름: 방지혁

1.



2.

AND Logic은 두 입력이 동시에 1일 때만 1이 나옵니다. 그 이외의 경우에는 0이 나옵니다. OR Logic은 두 입력 중 적어도 하나 이상 1일 때 1이 나옵니다. 입력이 둘 다 0일 경우에만 0이 나오게 됩니다. NOT Logic은 입력에서 invert된 값이 나오게 됩니다. 1이 입력되면 0이, 0이 입력되면 1이 나오게 됩니다. 이러한 논리 게이트들을 조합한다면, 다양하고 복잡한 연산을 할 수 있습니다. 이러한 논리 게이트들 뿐만 아니라 XOR/NAND/NOR 논리 게이트들도 존재합니다.

3.

Fan-out은 어떤 하나의 digital logic gate가 구동할 수 있는 게이트의 수를 나타냅니다. 구체적으로 말하자면, 한 논리 게이트의 fan-out이 5라고 가정한다면 최대 5개의 출력이자 다른 여러 게이트의 입력으로 연결될 수 있을 것입니다. 이 이유는 크게 2가지로 볼 수 있습니다. 첫 번째로는 시간의 측면입니다. propagation delay가 커지면서 setup time과 hold time을 만족하지 못해 오류가 발생할 수 있습니다. 두 번째로는 전류 제한의 측면입니다. 만약 fan-out을 초과하여 연결한다면 전류가 지나치게 커서 회로가 손상될 수도 있고, 신호의 논리 상태를 보장하지 못할 수도 있습니다. 그렇기에 출력 전류가 큰 용량의 버퍼를 사용하거나 여러 버퍼를 사용하여 부하를 분산시킬 수도 있습니다.

4.

전파지연 즉, propagation delay는 어떤 논리회로가 input값을 받았을 때, 그 논리에 따라 출력 결과가 나올 때까지의 시간을 뜻합니다. 이 propagation delay에는 크게 2가지 종류가 있습니다. 바로 PLH와 PHL입니다. PLH란 Low to High로 변할 때 생기는 지연 시간으로 rise time delay라고도 합니다. 이와 반대로 PHL란 High to Low로 변할 때 생기는 지연 시간으로 fall time delay라고도 합니다. 이 delay들이 커진다면 신호의 정확하고 신속한 전달이 어려워지고, 성능 저하가 발생할 수도 있습니다. 이 propagation delay에는 용량, 온도, 저항, 전압 등 여러 가지 요소들이 영향을 끼칩니다.

5.

Verilog에는 task와 function이 존재합니다. 둘 다 반복되는 코드를 줄이기 위해 Verilog에서 사용되는 기능입니다. Task는 input, output에 제약이 존재하지 않습니다. 다른 function과 task를 모두 호출할 수 있으며 다른 별도의 값을 반환하지는 않으며 타이밍 요소가 포함될 수 있습니다. 반면, function은 함수에 특정값을 반환합니다. 최소 하나 이상의 input이 존재해야 하며, 오직 하나의 output만이 존재합니다. function과 task는 각각 선언 시에 function, endfunction과 task, endtask로 묶어줍니다. 마지막으로 호출할 때에는 function명(...)와 task명(...)으로 호출합니다.