

13주차 예비보고서

전공: 경영학과

학년: 4학년

학번: 20190808

이름: 방지혁

1.

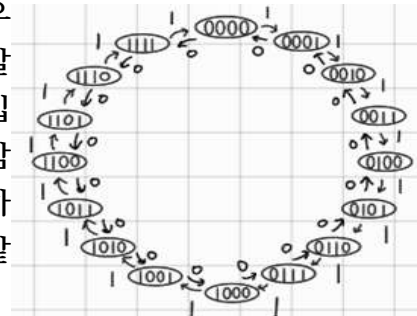
Register라 함은 여러 플립플롭들이 직렬로 연결되어 있는 회로입니다. 기존의 flip-flop은 1개의 bit만을 저장할 수 있었지만, 이러한 구조를 통해 여러 bit를 저장할 수 있게 됩니다. 여러 종류의 register 중 여러 bit의 데이터를 저장하여 각 플립플롭에서 다른 플립플롭으로 이동시킵니다. 구현 방식에 따라 SISO, SIPO, PISO, PIPO로 나눌 수 있습니다. 또한, 실제로 사용 예에 대해 설명하자면, CPU의 bit-shift연산(<<, >>)에 사용되기도 합니다.

2.

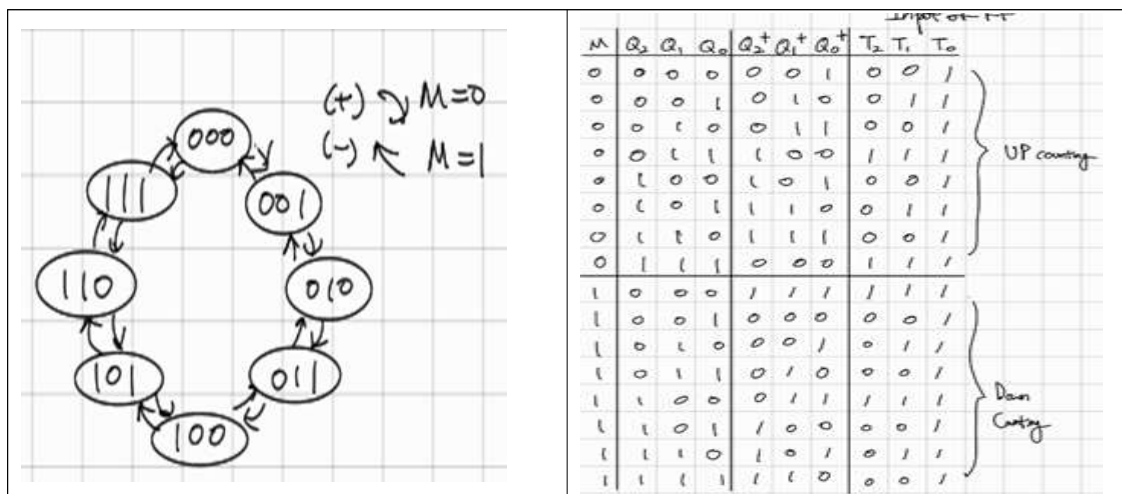
shift register와 비슷하지만 마지막 out값이 다시 처음 flip flop의 input으로 들어갑니다.

3.

UP / DOWN counter에 대해서 설명하겠습니다. 우선 UP / DOWN counter는 clk과 reset 신호 값 말고도 입력 신호를 하나 더 받습니다. 해당 신호의 입력 값에 따라 현재 상태에서 1을 증가시키거나 1을 감소시키는 카운터입니다. 우리가 이번 실험에서 구현하려는 4 bit UP / DOWN counter의 경우 다음과 같은 state diagram을 가집니다.



3bit Up down counter 구현 방식을 예를 들어 설명하고자 합니다. 우리는 다음과 같이 M 신호를 조작 신호로 사용하여 M 값으로 0이 들어오면 Up counting을 하고 1이 들어오면 Down counting을 합니다.



우리는 좌측 state diagram에서 보실 수 있다시피 M 신호를 조작 신호로 사용하여 M 값으로 0이 들어오면 Up counting을 하고 1이 들어오면 Down counting을 합니다. 또한, T- FF으로 구성할 것이기 때문에 입력 값이 0이면 이전 상태를 유지해주고, 입력 값이 1이면 이전 상태를 반전시켜준다는 성질을 이용합니다. 그렇기에 그 성질을 이용하여 여기표는 다음과 같이 구할 수 있습니다. 여기서 Qx는 현재 상태이고 Qx+는 다음 상태를 나타냅니다. 또한, Tx는 각 플립플롭의 input값이며, Q2가 MSB Q0가 LSB입니다.

이후 우리는 TFF의 input값에 대하여 각 카르노 맵을 구합니다.

Q_1Q_0	00	01	11	10
MQ_2	00	0	1	0
01	0	0	1	0
11	1	0	0	0
10	1	0	0	0
T2				

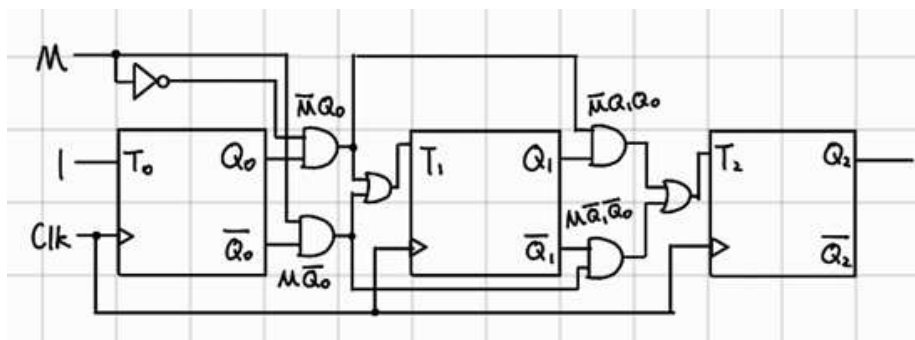
Q_1Q_0	00	01	11	10
MQ_2	00	0	1	0
01	0	1	1	0
11	1	0	0	1
10	1	0	0	1
T1				

Q_1Q_0	00	01	11	10
MQ_2	00	1	1	1
01	1	1	1	1
11	1	1	1	1
10	1	1	1	1
T0				

$$T2 = M' \cdot Q1 \cdot Q0 + M \cdot Q1' \cdot Q0'$$

$$T1 = M' \cdot Q0 + M \cdot Q0'$$

$$T0 = 1$$

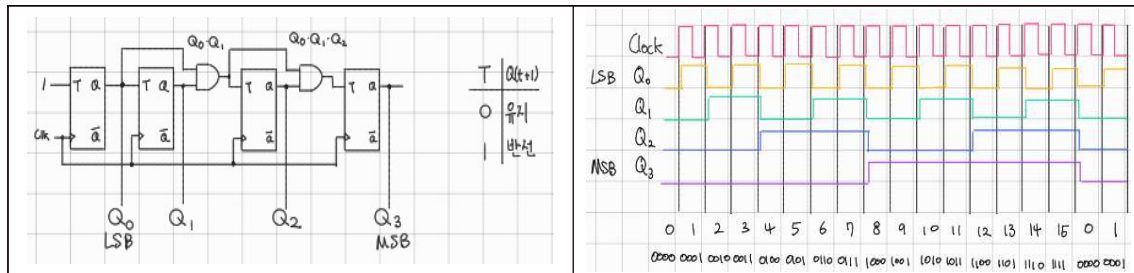


다음과 같은 회로를 도출해낼 수 있습니다.

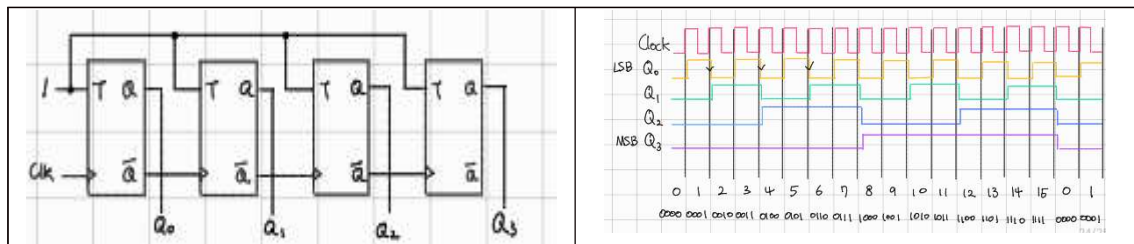
4.

Asynchronous Counter(비동기식 카운터)의 다른 이름입니다. 여러 Flip-Flop을 직렬로 연결하여 가장 처음의 FF은 clock값을 입력으로 받으나 그 다음 FF부터 바로 앞 FF의 output값 혹은 output이 반전된 값을 clock 신호로 받습니다. 보통 JK-FF 혹은 T-FF으로 설계를 합니다. 각 플립플롭이 독립적으로 같은 클럭 신호를 받지 않고, 순차적으로 입력을 받기 때문에, 동기식 카운터에 비해 속도가 느립니다. 그렇지만 설계가 간단합니다. 같은 역할의 counter여도 동기식 카운터와 비동기식 카운터로 다르게 구현할 수 있다는 것을 알아보도록 하겠습니다.

동기식 UP counter



비동기식 UP counter



동기식 UP counter에서는 모두 같은 clock신호를 공유하고 각 t flip flop의 input에 각 output들이 누적되어 and 연산되어 들어가는 것을 확인할 수 있습니다.

한편, 비동기식 UP counter에서는 각 flip flop의 output이 반전되어 다음 flip flop의 clock으로 사용되기 때문에 해당 FF이 Positive Edge trigger에서 작동했다면 다음 FF에서는 Negative Edge Trigger로 작동하는 모습을 확인할 수 있습니다.

5.

Shift Register의 여러 종류

SIPO 쉬프트 레지스터는 데이터가 clk에 따라 순차적으로 이동하며, 우리가 이번 실험에 구현하는 회로입니다. SISO 쉬프트 레지스터는 데이터를 그대로 저장하다가 clk에 따라 직렬 연결된 flip flop을 거치면서 이동합니다. 맨 마지막 output의 출력만 확인합니다. 앞서 설명했던 SIPO 쉬프트 레지스터는 모든 output을 확인한다는 점에서 차이점이 존재합니다. 반면 PISO 쉬프트 레지스터는 여러 입력 데이터를 병렬로 받아 한 개의 출력만이 존재하기 때문에 clk에 따라 순서대로 하나씩 확인하게 됩니다. 마지막으로 PIPO 쉬프트 레지스터는 PISO와 여러 병렬 입력이 있다는 점은 똑같지만 하나의 출력이 아닌 여러 출력단자가 있다는 점이 다릅니다.