**Trymips设计报告**

学校 哈尔滨工业大学（深圳）

姓名 李松霖

一、设计简介

设计提交的是一个verilog实现的单发五级流水cpu，流水线顶层采用双步时钟，sram控制器在baseram处load或store命令读写采用双周期时序逻辑读写，其余部分则和extram相似采用单周期组合逻辑读写。

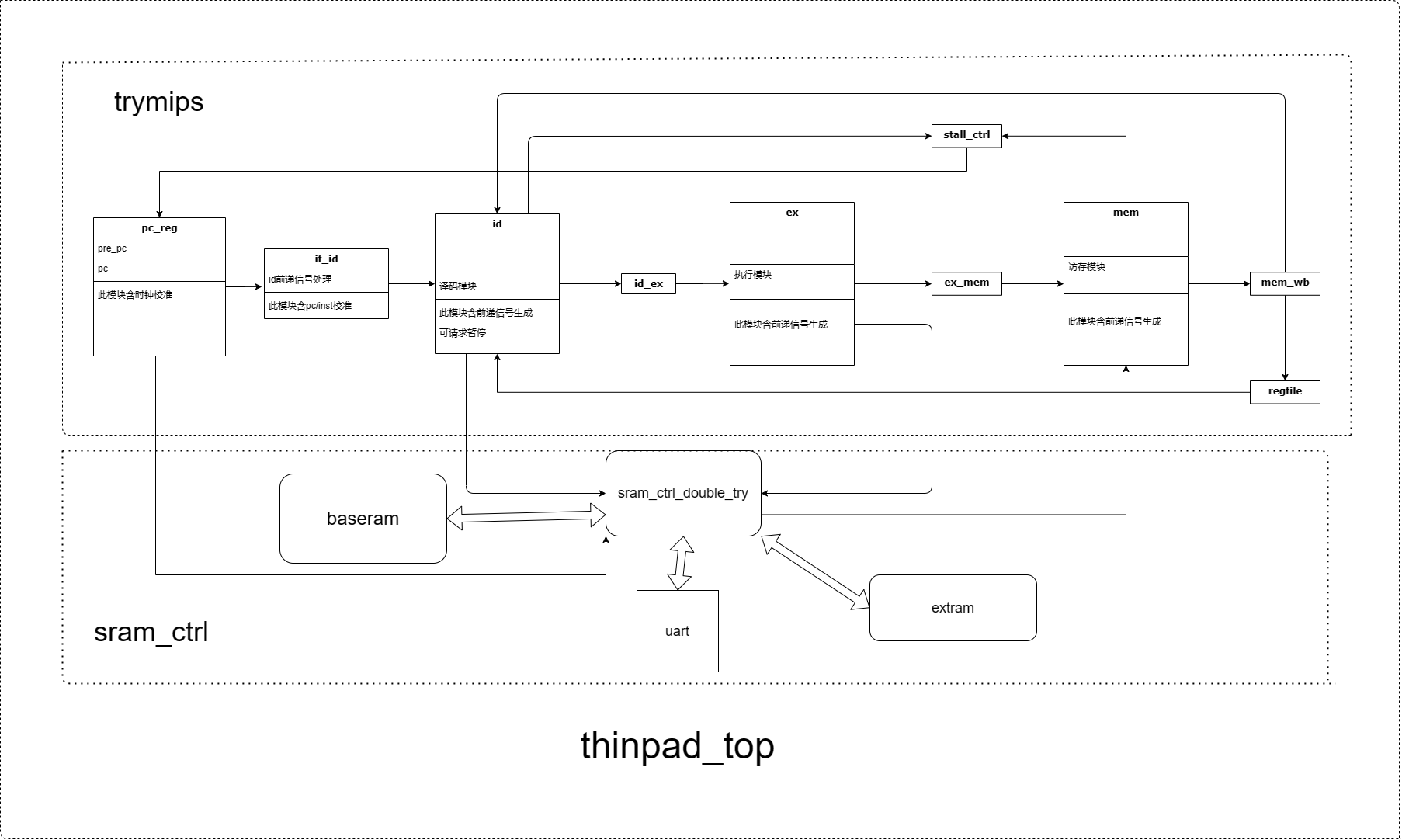
二、设计方案

（一）总体设计思路

Sram初期采用的是全组合逻辑，在性能较低时单周期取指，但考虑到baseram本身即为用户程序存储区域，会涉及取指行为和读写内存的行为交接，故对baseram采用组合逻辑和时序逻辑共存的结构，即读写内存行为持续两周期以保持读写稳定，普通取值为单周期组合逻辑。

为使得sram控制器能够提前准备、节省暂停时数并完成双周期读写的功能，cpu采用双步时钟设计（即baseram的时钟始终比流水线顶层的pc快一步），流水线中pc控制器pc\_reg线产生pre\_pc传递给sram\_ctrl\_double\_try，再在下一时钟上沿产生pc传递给if\_id即进入流水线。

为配合双步时钟，在流水线部分模块中除完成本身功能外还需为下一模块进行前递处理，其中核心是pc\_reg模块和if\_id模块，主要用于校准双步时钟保持前后秩序。

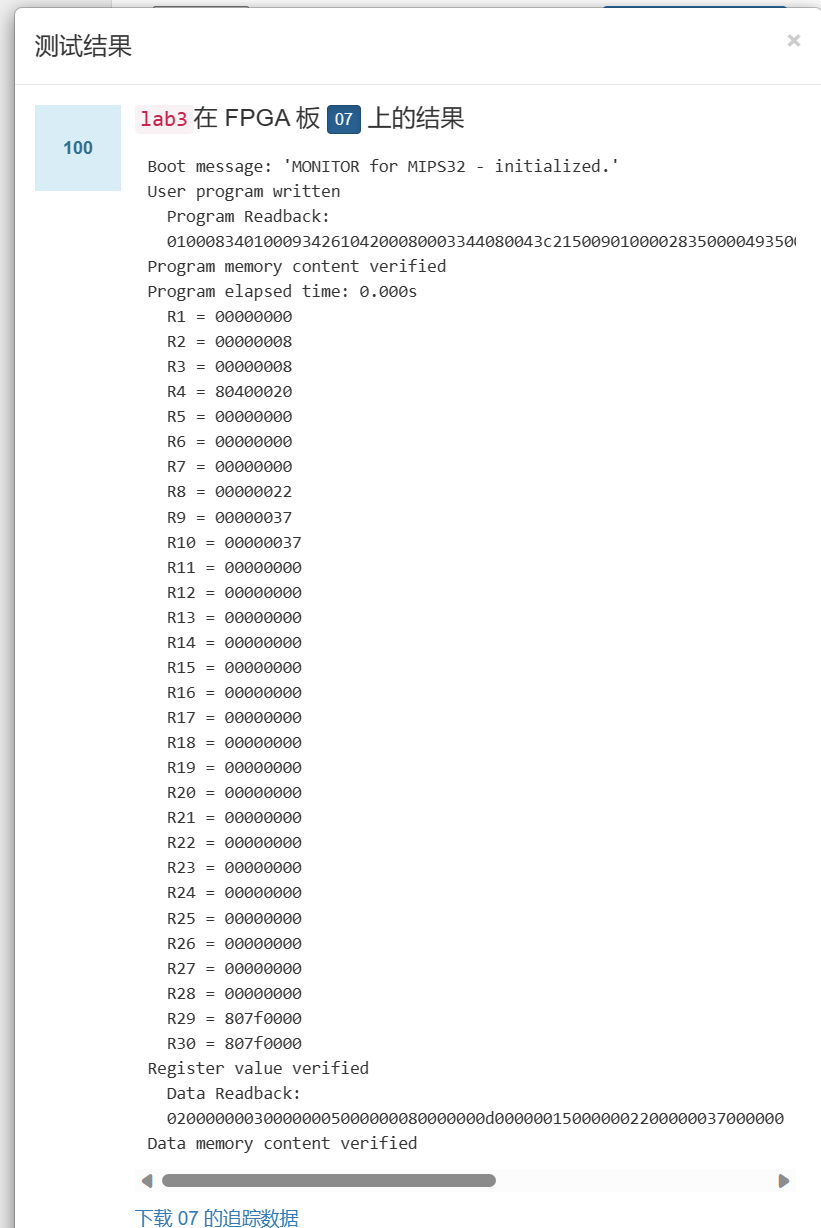
组织结构：

三、设计结果

（一）设计交付物说明



（二）设计演示结果







四、参考设计说明

[1]雷思磊. 《自己动手写CPU》的流水框架

[2]龙芯杯NSCSCC2020 个人赛开源代码GeMIPS的sram读取

五、参考文献

[1] 雷思磊 . 自己动手写CPU. 北京: 电子工业出版社,2014.