**Trymips设计报告**

学校 哈尔滨工业大学（深圳）

姓名 李松霖

一、设计简介

设计提交的是一个verilog实现的单发六级流水cpu，采用双时钟周期读写芯片。

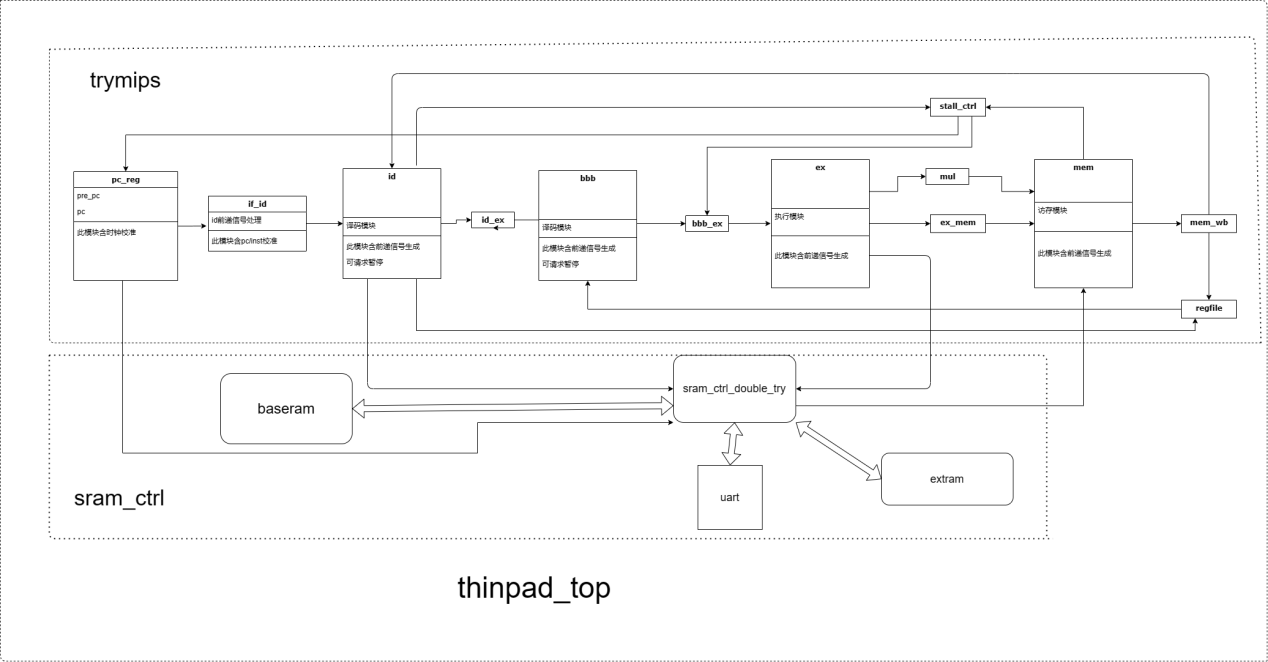
二、设计方案

（一）总体设计思路

Sram初期采用的是全组合逻辑，在性能较低时单周期取指，但考虑到sram本身存在读写限制，故改用双时钟周期读取，在时钟周期提到60M左右时关键路径为寄存器读取（初期采用单时钟周期组合逻辑），故将id模块拆分为id和bbb两个模块。id模块负责初步译码，判断指令所需寄存器内容等，发出寄存器读写请求。bbb模块负责在接收到下一时钟的返回值后进行处理，给出译码所得寄存器内容，立即数等传递给ex执行。

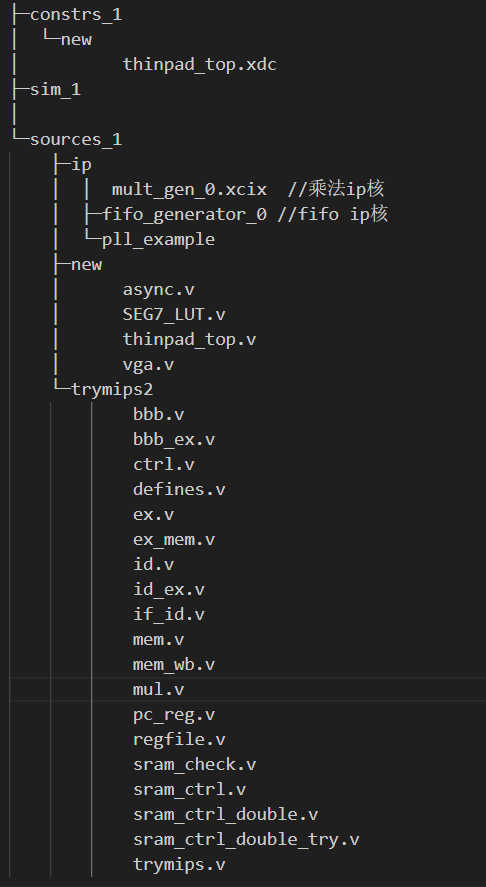
为使得sram控制器能够提前准备、节省暂停时数并完成双周期读写的功能，cpu采用双步时钟设计（即baseram的时钟始终比流水线顶层的pc快一步），流水线中pc控制器pc\_reg线产生pre\_pc传递给sram控制器，再在下一时钟上沿产生pc传递给if\_id即进入流水线。

为配合双步时钟，在流水线部分模块中除完成本身功能外还需为下一模块进行前递处理，其中核心是pc\_reg模块和if\_id模块，内置节拍计数器，配合流水线其他前递信号，校准双步时钟保持pre\_pc和pc前后秩序。

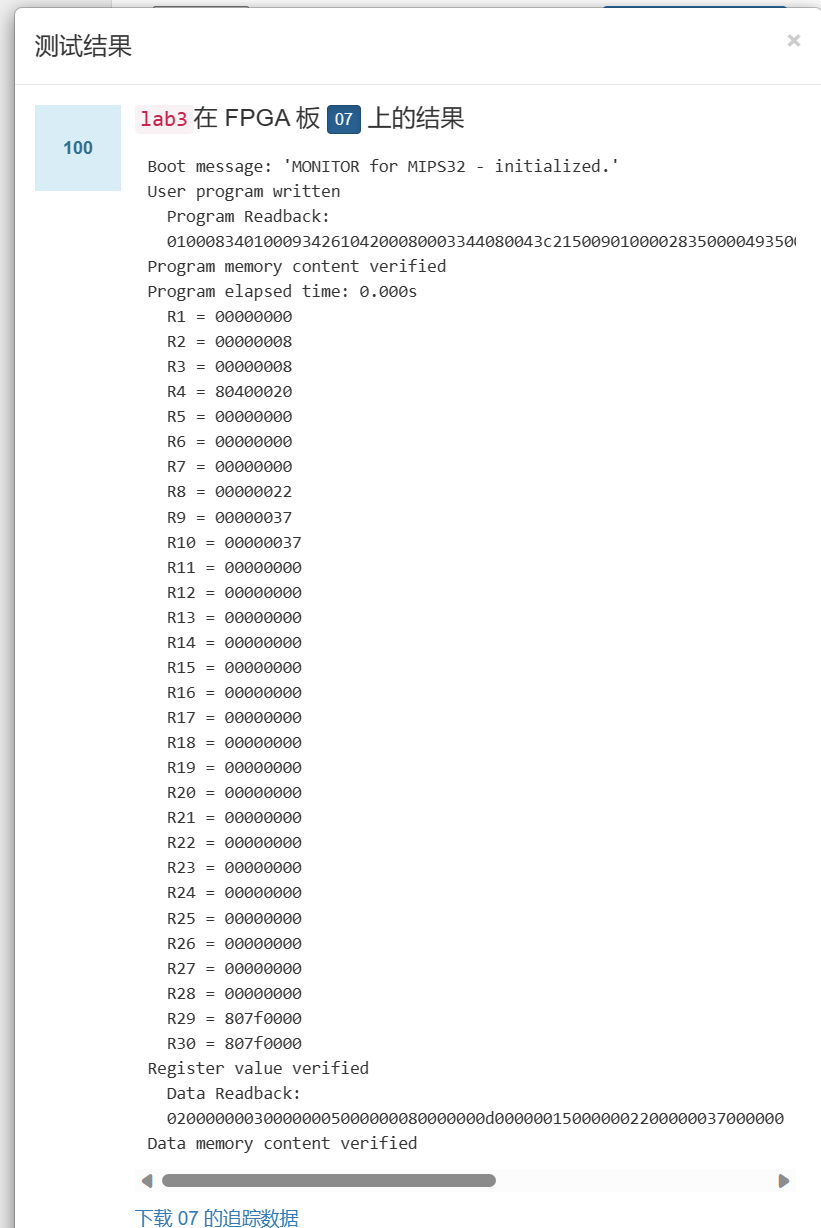
组织结构：

三、设计结果

（一）设计交付物说明



（二）设计演示结果







四、参考设计说明

[1]雷思磊. 《自己动手写CPU》的流水框架

[2]龙芯杯NSCSCC2020 个人赛开源代码GeMIPS的sram读取

使用了vivado内置的fifo ip核和乘法mul ip核

五、参考文献

[1] 雷思磊 . 自己动手写CPU. 北京: 电子工业出版社,2014.