

조합회로 설계 과제 1

20160394 일효상

1. half Adder

```
//20160394 일효상
module ha(A,B,S,C);
    input A;
    input B;
    output S;
    output C;

    assign S = A ^ B;
    assign C = A & B;
endmodule
```

반 가산기는 한자리수의 이진수를 연산한다,
자리수 S와 자리올림 C를 output으로 내놓는다.
진리표는 다음과 같다.

A	B	C	S	이제 따라 output C, S를
0	0	0	0	식으로 표현하면
0	1	0	1	$S = A \oplus B$
1	0	0	1	$C = A \& B$
1	1	1	0	

2. test bench

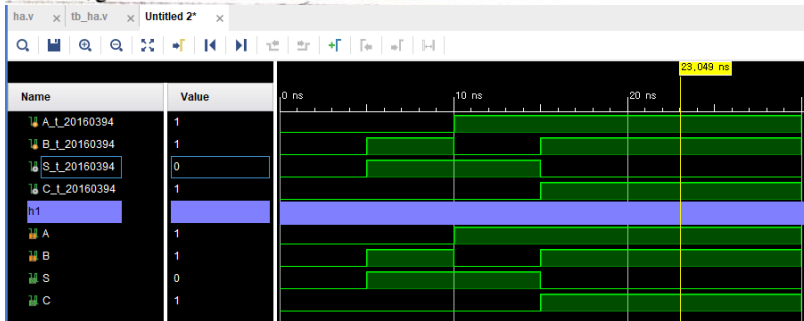
위에서 사용된 코드인 half Adder를 테스트해본다:
5ns마다 입력 A와 B가 달라진다.

```
module tb_ha();
    reg A_t_20160394, B_t_20160394;
    wire S_t_20160394, C_t_20160394;

    ha h1(.A(A_t_20160394), .B(B_t_20160394), .S(S_t_20160394), .C(C_t_20160394));

    initial begin
        A_t_20160394 = 0;
        B_t_20160394 = 0;
        #5
        A_t_20160394 = 0;
        B_t_20160394 = 1;
        #5
        A_t_20160394 = 1;
        B_t_20160394 = 0;
        #5
        A_t_20160394 = 1;
        B_t_20160394 = 1;
    end
endmodule
```

3. Waveform



첫 0ns ~ 5ns 까지 A=0과 B=0, 즉 A와 B의 입력값은 모두 0이다.

따라서 $S = A \oplus B = 0$, $C = A \& B = 0$ 으로 결과가 나오는 것을 볼 수 있다.

5ns ~ 10ns 까지

A=0, B=1의 입력값을 가진다.

따라서 $S = A \oplus B = 1$, $C = A \& B = 0$ 으로 결과가 나오는 것을 볼 수 있다.

10ns ~ 15ns 까지 A=1, B=0의 입력값을 가진다.

따라서 $S = A \oplus B = 1$, $C = A \& B = 0$ 으로 결과가 나오는 것을 볼 수 있다.

15ns ~ 20ns 까지 A=1, B=1의 입력값을 가진다.

따라서 $S = A \oplus B = 0$, $C = A \& B = 1$ 으로 결과가 나오는 것을 볼 수 있다.

20ns 부터 입력값의 변화없이 A=1, B=1 이 유지된다.

따라서 $S=0$, $C=1$ 도 유지된다.