

Trabalho 5

Driver – I2C

Data de Entrega:

Entrega
26/06

Objeto de Estudo:

- VHDL;
- Circuitos Lógicos Sequenciais;
- Máquina de Estados Finitos;
- Protocolos de Dados;
- Testbench;
- Síntese Lógica;
- Constraints.

Procedimento:

- 1) Desenvolva um circuito lógico sequencial, em VHDL, que implemente um driver para acesso a um periférico baseado no protocolo I2C.
- 2) A entidade deste circuito lógico sequencial deverá ser obrigatoriamente nomeada como “driver_i2c”.
- 3) Os nomes das portas de entrada e saída (pinout) descritas na entidade “driver_i2c” deverão seguir os nomes, sentidos e tipos de dados apresentados na Tabela 1.

Nome	Sentido	Tipo	Descrição
clock	in	std_logic	Entrada de referência de relógio.
reset	in	std_logic	Sinal de reset de global do bloco.
wr_data	in	std_logic_vector(7 downto 0)	Entrada de dados do acesso de escrita.
wr_addr	in	std_logic_vector(7 downto 0)	Entrada de endereços do acesso de escrita.
wr_enable	in	std_logic	Entrada de habilitação do acesso de escrita.
rd_data	out	std_logic_vector(7 downto 0)	Saída de dados do acesso de leitura.
rd_addr	in	std_logic_vector(7 downto 0)	Entrada de endereços do acesso de leitura.
rd_enable	in	std_logic	Entrada de habilitação do acesso de leitura.
done	out	std_logic	Saída para indicação que o módulo está pronto para uso.
scl	out	std_logic	Referência de clock do i2c.
sda	inout	std_logic	Entrada e saída de dado do i2c.

Tabela 1 - Portas da Entidade.

- 4) A Figura 1 pode ser utilizada como referência para a sua implementação.

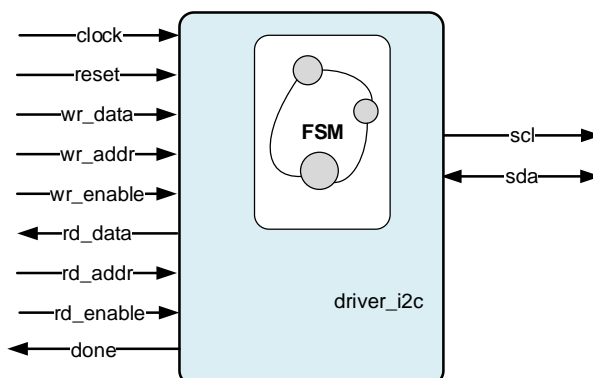


Figura 1 – Diagrama de Referência.

- 5) A frequência do master clock (clock) do driver I2C será da ordem de 50MHz. Os sinais e portas de entrada deverão ser síncronos a borda de subida.
- 6) Quando houver uma habilitação de acesso de escrita o driver deverá gerar o protocolo I2C apresentado na Figura 2.

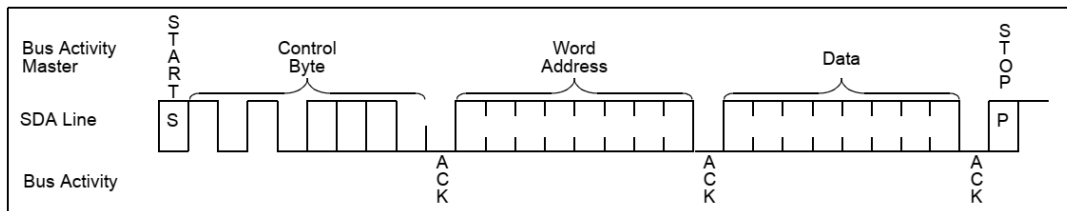


Figura 2 – Diagrama de Tempo do Acesso de Escrita.

- 7) A sinalização de start bit e do stop bit são apresentadas na Figura 3.

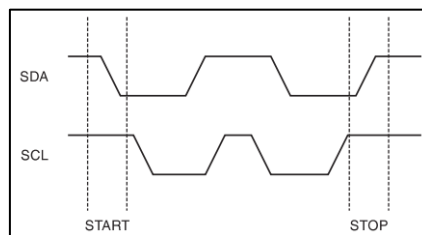


Figura 3 – Sinalização de Start e Stop.

- 8) O byte de controle, tanto para o acesso de escrita quanto de leitura, é descrito na Figura 4. Para este projeto deverá utilizar os bits A2, A1 e A0 iguais a nível lógico baixo.

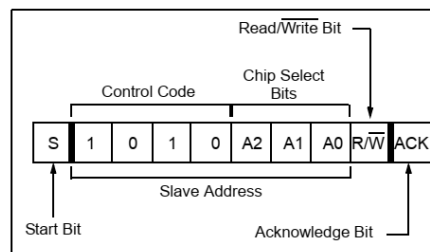


Figura 4 – Composição do Byte de Controle.

- 9) Quando houver uma habilitação de acesso de leitura o driver deverá gerar o protocolo I2C apresentado na Figura 5.

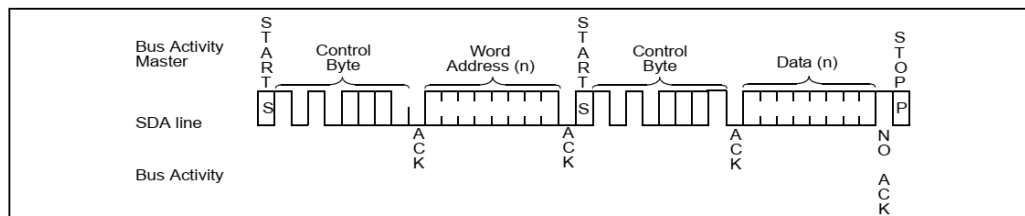


Figura 5 – Diagrama de Tempo do Acesso de Leitura.

- 10) A frequência do sinal de clock do barramento i2c (scl) deverá ter no máximo 100kHz.
- 11) O sinal de dado do barramento i2c (sda) deverá ser bidirecional (inout). Considerando isto, lembre-se de colocar o pino em alta impedância quando este estiver sendo utilizado como entrada.
- 12) O sinal de acknowledgment (ACK) é a indicação de acesso recebido corretamente pelo elemento slave naquele instante de tempo.

- 13) Os bits mais significativos dos barramentos de dados e endereço deverão ser considerados o bit da esquerda.
- 14) O sinal de reset global (reset) deverá ser ativo em nível lógico alto e assíncrono ao clock master.
- 15) O sinal de reset deverá reiniciar a(s) máquina(s) de estados deixando todos estes elementos em seu estado inicial.
- 16) A porta “done” deve ficar em nível lógico alto para indicar que a última operação de escrita i2C já foi concluída. Em resumo, enquanto a porta “done” estiver em nível lógico baixo a última solicitação de escrita ainda não foi concluída.
- 17) As definições de projeto não previstas nesta especificação devem ser tratadas e resolvidas pelos grupos de trabalho.

Critérios de Avaliação:

A Avaliação desta experiência seguirá os critérios indicados abaixo:

- 1) Códigos Fontes / Correção Funcional (80%);
- 2) Scripts de Síntese Lógica (5%)
- 3) Constraints - *.sdc (10%)
- 4) Relatórios (5%);
 - i) Relatório de Timing;
 - ii) Relatório de Área;
 - iii) Relatório de Potência;

Os códigos fontes (*.vhd) e demais arquivos contendo as informações sobre o desenvolvimento dos itens anteriores deverá ser postado na **Área Moodle** da disciplina **até a data de entrega** prevista nesta especificação.