

Trabalho 3.2

Módulo Transmissor UART

Entrega:

| Entrega |
|---------|
| 15/05 |

Objeto de Estudo:

1. Decodificadores;
2. Protocolos de Comunicação;
3. Protocolo UART;
4. Máquinas de Estados Finitos (FSM);
5. Técnicas de Simulação;
6. VHDL;
7. Testbench;

Procedimento:

1. Projete um circuito lógico, descrito em VHDL, que seja capaz realizar o envio de dados através de uma porta serial Universal Asynchronous Receiver/Transmitter (UART). Utilize como referência o diagrama apresentado na Figura 1.

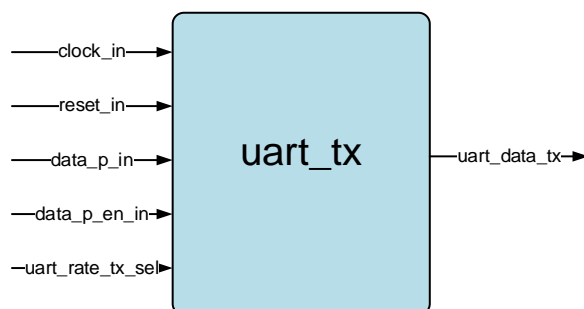


Figura 1 – Diagrama de Referência.

2. A entidade do circuito lógico deverá ser nomeada como "uart_tx". A Tabela 1 apresenta os nomes, os tipos e as características funcionais das interfaces da entidade do circuito lógico "uart_tx".

| Porta | Descrição | Sentido | Tipo |
|------------------|--|---------|------------------------------|
| clock_in | Referência de relógio master. | Entrada | std_logic |
| reset_in | Reset Síncrono. | Entrada | std_logic |
| data_p_in | Dado de entrada paralelo. | Entrada | std_logic_vector(7 downto 0) |
| data_p_en_in | Habilitação do dado de entrada paralelo. | Entrada | std_logic |
| uart_data_tx | Dado serial de saída. | Saída | std_logic |
| uart_rate_tx_sel | Seleção da taxa de Transmissão | Entrada | std_logic_vector(1 downto 0) |

Tabela 1 - Interfaces da entidade.

3. A Figura 2 apresenta o protocolo UART que deverá ser implementado tanto para a transmissão.

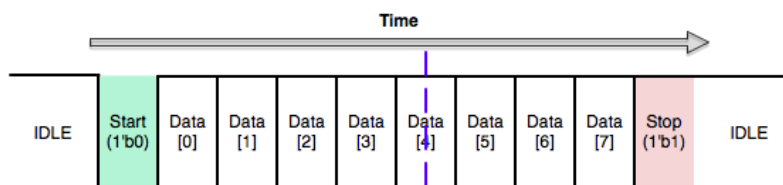


Figura 2 – Protocolo UART.

4. A taxa de transmissão de dados (*baud rate*) deverá ser selecionada através dos bits de entrada denominados "uart_rate_tx_sel". Esta taxa de transmissão deverá respeitar as condições apresentada na Tabela 2.

| uart_rate_tx_sel | Taxa de Transmissão [bps] |
|------------------|---------------------------|
| 00 | 9600 |
| 01 | 19200 |
| 10 | 28800 |
| 11 | 57600 |

Tabela 2 - Interfaces da entidade.

5. Considere que a referência de relógio deste circuito "clock_in" possui uma frequência de 100MHz.

Critérios de Avaliação:

A Avaliação desta experiência seguirá os critérios indicados abaixo:

- 1) Códigos Fontes / Correção Funcional (70%);
- 2) Scripts de Síntese Lógica (10%)
- 3) Constraints - *.sdc (10%)
- 4) Relatórios (10%);
 - i) Relatório de Timing;
 - ii) Relatório de Área;
 - iii) Relatório de Potência;

Relatório / Código:

O relatório contendo as informações sobre o desenvolvimento dos itens anteriores deverá ser postado na **Área Moodle** da disciplina **até a data de entrega** prevista nesta especificação.