

Digital Circuits Cheatsheet [Mid-term only]

Presented with ❤ by Turborocket. Good Luck!

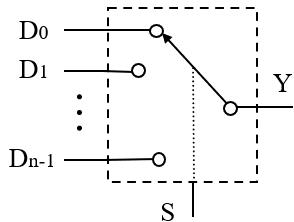
Module Sets Quick Search

数据选择器

- 数据选择器(Multiplexer, 简称MUX): 根据通道选择信号, 从多个通道(路)输入数据中选择一个通道数据输出, 也称多路选择器

- 常见集成数据选择器

- 2选1(74x157)
- 4选1(74x153)
- 8选1(74x151)
- 16选1(74x150)等

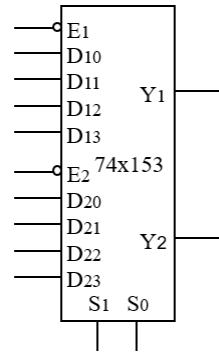


双4选1数据选择器74x153

- 公用通道选择控制
- 独立选通(使能)控制

功能表

\bar{E}	S_1	S_0	Y
1	x	x	0
0	0	0	D_0
0	0	1	D_1
0	1	0	D_2
0	1	1	D_3



2020/11/13

模拟与数字电路 — 组合逻辑电路(1)

10

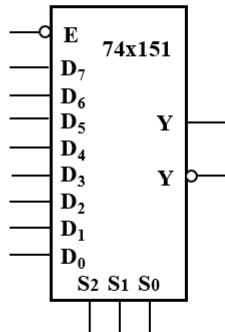
2020/11/13

模拟与数字电路 — 组合逻辑电路(1)

12

8选1数据选择器74x151

- 带使能和互补输出的8通道数据选择器
- $D_0 \sim D_7$: 8路数据输入
- Y 、 \bar{Y} : 互补输出
- $S_2 \sim S_0$: 通道选择输入, S_2 为最高位
- \bar{E} : 使能输入, 低电平有效
 - $\bar{E}=0$ 时, $Y=D_i$, $\bar{Y}=\bar{D}_i$
 - $\bar{E}=1$ 时, $Y=0$, $\bar{Y}=1$



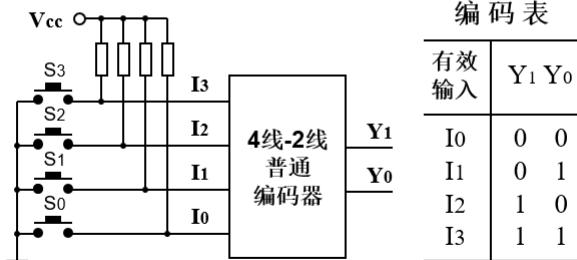
2020/11/13

模拟与数字电路 — 组合逻辑电路(1)

13

普通编码器

- 任何时刻只允许有一个输入信号处于有效状态
- 设计4线-2线普通编码器（设低电平为有效状态）



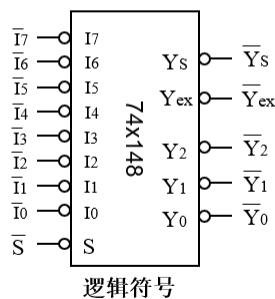
2020/11/13

模拟与数字电路 — 组合逻辑电路(2)

4

8线-3线优先编码器74x148

- 对8个输入信号按优先级编码，输出3位代码
- 通过多片级联，对多于8个输入信号进行编码
- $\bar{I}_7 \sim \bar{I}_0$: 待编码输入信号，低电平有效，优先级递减，即 \bar{I}_7 优先级最高， \bar{I}_0 最低
- $\bar{Y}_2 \sim \bar{Y}_0$: 二进制反码输出， \bar{Y}_2 为最高位
- \bar{Y}_{ex} : 扩展输出
- \bar{S} : 使能输入
- \bar{Y}_{s} : 使能输出



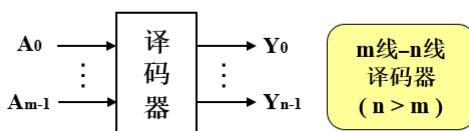
2020/11/13

模拟与数字电路 — 组合逻辑电路(2)

10

译码器

- 译码是编码的逆过程，将输入的二进制代码转换成高、低电平组合状态输出



常见译码器

- 二进制译码器 74x138、74x139
- 二十进制译码器 74x42
- 显示译码器 74x47 等

2020/11/13

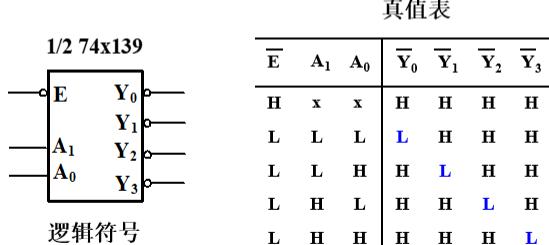
模拟与数字电路 — 组合逻辑电路(2)

14

双2线-4线译码器74x139

简称2-4译码器

- \bar{E} : 使能输入，低电平有效
- $\bar{Y}_0 \sim \bar{Y}_3$: 译码输出，低电平有效



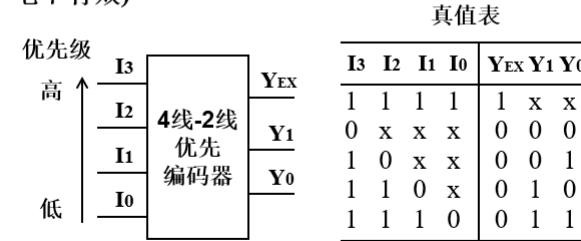
2020/11/13

模拟与数字电路 — 组合逻辑电路(2)

16

优先编码器

- 允许两个以上输入信号同时有效，并对其中优先级最高的一个进行编码
- 设计4线-2线优先编码器（输入和输出信号均为低电平有效）



2020/11/13

模拟与数字电路 — 组合逻辑电路(2)

7

74x148真值表

S	\bar{I}_0	\bar{I}_1	\bar{I}_2	\bar{I}_3	\bar{I}_4	\bar{I}_5	\bar{I}_6	\bar{I}_7	\bar{Y}_2	\bar{Y}_1	\bar{Y}_0	\bar{Y}_{ex}	\bar{Y}_s
1	x	x	x	x	x	x	x	x	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0
0	x	x	x	x	x	x	x	x	0	0	0	0	1
0	x	x	x	x	x	x	x	0	0	0	1	0	1
0	x	x	x	x	x	0	1	1	0	1	0	0	1
0	x	x	x	x	0	1	1	1	0	1	1	0	1
0	x	x	x	0	1	1	1	1	1	0	0	0	1
0	x	x	0	1	1	1	1	1	1	0	1	0	1
0	x	0	1	1	1	1	1	1	1	1	0	0	1
0	0	1	1	1	1	1	1	1	1	1	1	0	1

2020/11/13

模拟与数字电路 — 组合逻辑电路(2)

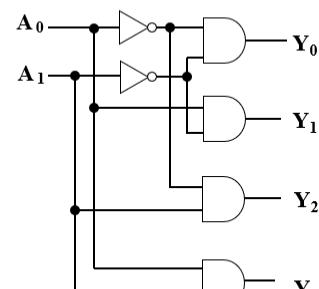
11

2线-4线译码器

- 设输出高电平有效

A ₁	A ₀	\bar{Y}_0	\bar{Y}_1	\bar{Y}_2	\bar{Y}_3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

$$\begin{aligned} Y_0 &= \bar{A}_1 \bar{A}_0 = m_0 \\ Y_1 &= A_1 \bar{A}_0 = m_1 \\ Y_2 &= A_1 A_0 = m_2 \\ Y_3 &= A_1 A_0 = m_3 \end{aligned} \quad \left. \begin{array}{l} \text{最小项译码} \\ \text{若输出低电平有效?} \end{array} \right.$$



2020/11/13

模拟与数字电路 — 组合逻辑电路(2)

14

15

3线-8线译码器74x138

- 简称3-8译码器

- A₂~A₀: 待译码输入信号

- A₂为最高位，A₀为最低位

- $\bar{Y}_0 \sim \bar{Y}_7$: 译码输出信号

- 低电平有效

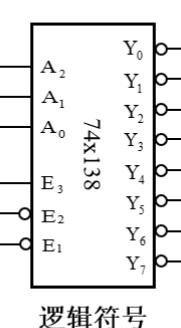
- 最多只有一个有效

- E₃, E₂, E₁: 使能输入信号

- 同时有效时才译码

- E₃高电平有效

- E₁、E₂低电平有效



2020/11/13

模拟与数字电路 — 组合逻辑电路(2)

16

17

74x138真值表

E_3	\bar{E}_2	\bar{E}_1	A_2	A_1	A_0	\bar{Y}_0	\bar{Y}_1	\bar{Y}_2	\bar{Y}_3	\bar{Y}_4	\bar{Y}_5	\bar{Y}_6	\bar{Y}_7
0	x	x	x	x	x	1	1	1	1	1	1	1	1
x	1	x	x	x	x	1	1	1	1	1	1	1	1
x	x	1	x	x	x	1	1	1	1	1	1	1	1
1	0	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	1	0	0	1	1	1	1	0	1	1	1
1	0	0	1	0	1	1	1	1	1	0	1	1	1
1	0	0	1	1	0	1	1	1	1	1	1	0	1
1	0	0	1	1	1	1	1	1	1	1	1	1	0

$$\bar{Y}_i = \overline{E_3} \overline{E_2} \overline{E_1} m_i \quad \text{当 } E_3 \bar{E}_2 \bar{E}_1 = 100 \text{ 时}, \quad \bar{Y}_i = \overline{m}_i$$

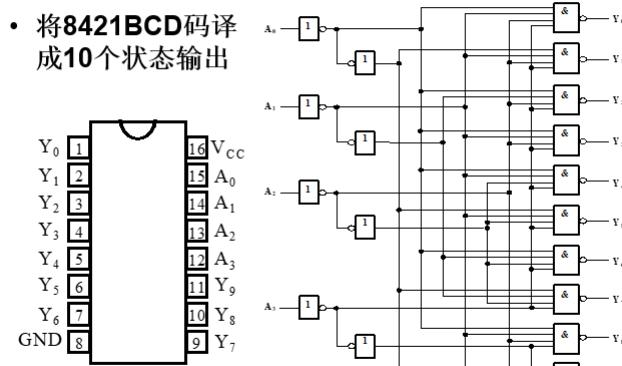
2020/11/13

模拟与数字电路 — 组合逻辑电路(2)

18

二-十进制译码器74x42

- 将8421BCD码译成10个状态输出

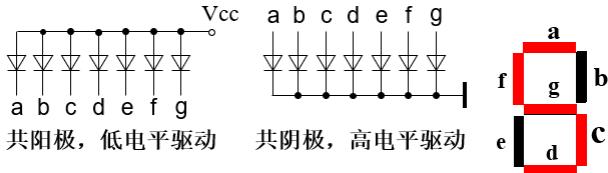


2020/11/13 模拟与数字电路 — 组合逻辑电路(2)

22

显示译码器

- 七段数码管：由七个发光二极管组成的显示器件



- 七段显示译码器

- 将BCD代码翻译成数码管所需的驱动信号
- 常见有74x48, 74x248, 74x4511等

2020/11/13

模拟与数字电路 — 组合逻辑电路(2)

23

74x4511功能表

十进制 或功能	输入						输出						字形	
	LE	\bar{BL}	\bar{LT}	D_3	D_2	D_1	D_0	a	b	c	d	e	f	g
0	0	1	1	0	0	0	0	1	1	1	1	1	1	0
1	0	1	1	0	0	0	1	0	1	1	0	0	0	1
2	0	1	1	0	0	1	0	1	1	0	1	0	1	1
3	0	1	1	0	0	1	1	1	1	1	0	0	1	1
4	0	1	1	0	1	0	0	1	1	0	0	1	1	1
5	0	1	1	0	1	0	1	1	0	1	0	1	1	1
6	0	1	1	0	1	1	0	0	1	1	1	1	1	1
7	0	1	1	0	1	1	1	1	1	0	0	0	0	1
8	0	1	1	1	0	0	1	1	1	1	1	1	1	1
9	0	1	1	1	0	1	1	1	1	1	0	1	1	1

2020/11/13

模拟与数字电路 — 组合逻辑电路(2)

25

74x4511功能表(续)

十进制 或功能	输入						输出						字形	
	LE	\bar{BL}	\bar{LT}	D_3	D_2	D_1	D_0	a	b	c	d	e	f	g
10	0	1	1	1	0	1	0	0	0	0	0	0	0	0
11	0	1	1	1	1	0	1	1	0	0	0	0	0	0
12	0	1	1	1	1	1	0	0	0	0	0	0	0	0
13	0	1	1	1	1	1	0	1	0	0	0	0	0	0
14	0	1	1	1	1	1	1	0	0	0	0	0	0	0
15	0	1	1	1	1	1	1	1	0	0	0	0	0	0
灯测试	x	x	0	x	x	x	x	1	1	1	1	1	1	1
灭灯	x	0	1	x	x	x	x	0	0	0	0	0	0	0
锁存	1	1	1	x	x	x	x	*	*	*	*	*	*	*

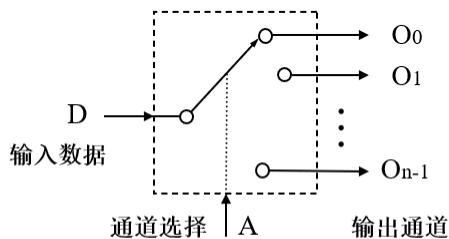
2020/11/13

模拟与数字电路 — 组合逻辑电路(2)

26

数据分配器

- 将一路输入数据分配到多路输出端的电路
 - 在通道选择信号控制下，可以将输入数据传送到多个输出通道中的任何一个通道输出



2020/11/13

模拟与数字电路 — 组合逻辑电路(3)

3

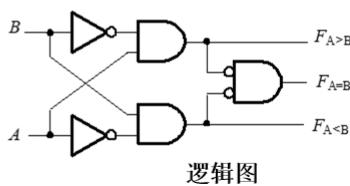
数值比较器

- 判断两个二进制数大小关系的逻辑电路

- 设计一位数值比较器

- 输入：2个1位数A和B
- 输出： $F_{A>B}$ 、 $F_{A<B}$ 、 $F_{A=B}$

$$\begin{aligned} F_{A>B} &= AB \\ F_{A<B} &= \overline{AB} \\ F_{A=B} &= \overline{A}\overline{B} + AB \end{aligned}$$



2020/11/13

模拟与数字电路 — 组合逻辑电路(3)

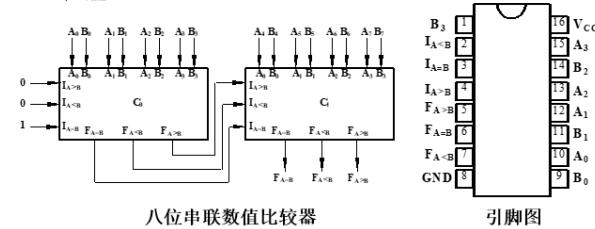
6

真值表

A	B	$F_{A>B}$	$F_{A=B}$	$F_{A<B}$
0	0	0	1	0
0	1	0	0	1
1	0	1	0	0
1	1	0	0	1

- 工作原理和两位数值比较器相同

- 提供附加输入端 $I_{A>B}$ 、 $I_{A=B}$ 和 $I_{A>B}$ ，便于扩展应用
 - 从高位组比起，若不等，出结果，否则还需比较次高位组



2020/11/13

模拟与数字电路 — 组合逻辑电路(3)

9

加法器

- 加法器是算术运算(加、减、乘、除)电路的基本单元

1位加法器

- 半加器
- 全加器

由1位加法器构成多位加法器

- 串行进位加法器
- 超前进位加法器

1	0	1	1	进位C
1	0	1	1	加数A
+ 1	0	1	1	加数B

和数S

基本原理

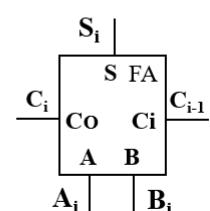
- C_{i-1} 是 $A_{i-1} \sim A_0$ 和 $B_{i-1} \sim B_0$ 的函数

- 设计每位进位信号产生电路：根据输入加数和被加数，同时获得该位全加的进位信号，无需等待最低位的进位信号

- 优点：速度快

- 缺点：电路复杂

- 4位超前进位加法器74x283



2020/11/13

模拟与数字电路 — 组合逻辑电路(3)

10

2020/11/13

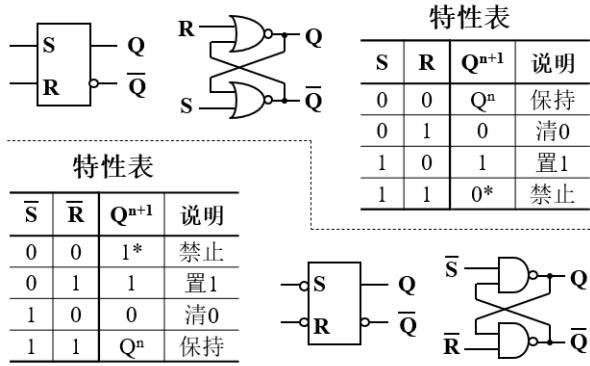
模拟与数字电路 — 组合逻辑电路(3)

17

乘法器

见组合逻辑电路 (3) P24

基本SR锁存器特性



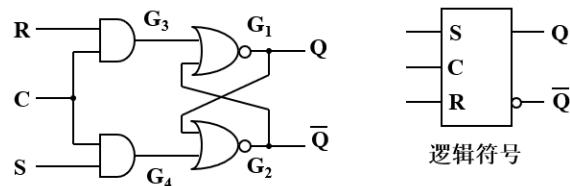
2020/11/13

模拟与数字电路 — 锁存器与触发器

10

门控SR锁存器

- 增加门控(Gated)信号，使得激励输入信号更新锁存器状态的时机可以受控



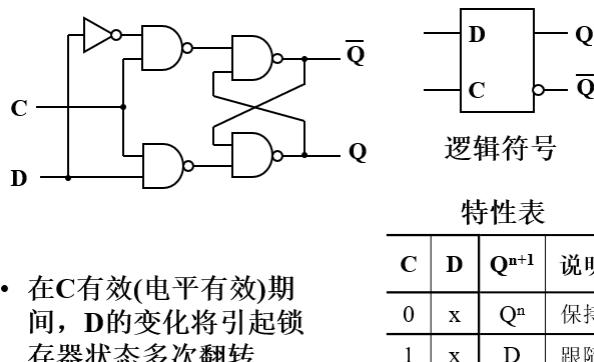
当C=0时：锁存器状态保持不变，不受R、S影响
当C=1时：与基本SR锁存器功能相同

2020/11/14

模拟与数字电路 — 锁存器与触发器

14

D锁存器



- 在C有效(电平有效)期间，D的变化将引起锁存器状态多次翻转

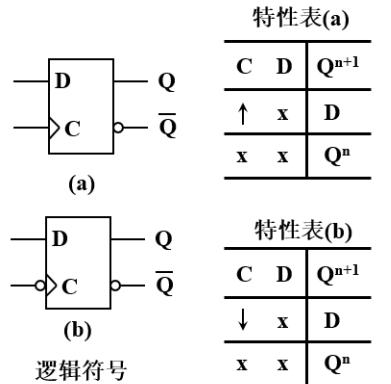
2020/11/14

模拟与数字电路 — 锁存器与触发器

17

D触发器

- 只在时钟信号的上升沿或下降沿变化瞬间，根据输入信号更新状态
 - 最多一次翻转
- 在其他时间状态保持不变



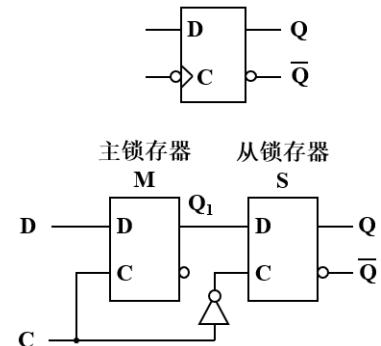
2020/11/14

模拟与数字电路 — 锁存器与触发器

19

主从结构D触发器

- 当C=1时，主锁存器M随D变化而变化，从锁存器S保持原先状态不变
- 当C从1变为0(下降沿)时，主锁存器M锁存此时D的值，从锁存器S按M状态更新



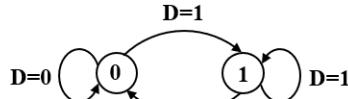
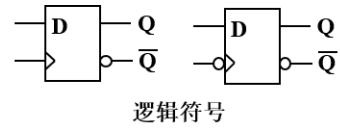
2020/11/14

模拟与数字电路 — 锁存器与触发器

21

D触发器

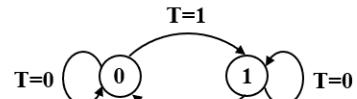
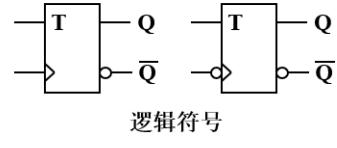
特性表			
D	Q ⁿ	Q ⁿ⁺¹	说明
0	0	0	清0
0	1	0	
1	0	1	置1
1	1	1	



$$\text{特性方程} \quad Q^{n+1} = D$$

T触发器

特性表			
T	Q ⁿ	Q ⁿ⁺¹	说明
0	0	0	保持
0	1	1	
1	0	1	翻转
1	1	0	



$$\begin{aligned} Q^{n+1} &= \overline{T}Q^n + T\overline{Q}^n \\ &= T \oplus Q^n \end{aligned}$$

2020/11/14

模拟与数字电路 — 锁存器与触发器

26

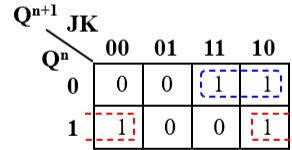
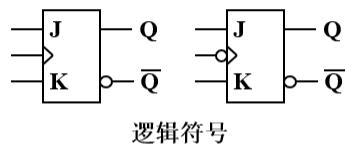
2020/11/14

模拟与数字电路 — 锁存器与触发器

27

JK触发器

特性表				
J	K	Q ⁿ	Q ⁿ⁺¹	说明
0	0	0	0	保持
0	0	1	1	
0	1	0	0	
0	1	1	0	清0
1	0	0	1	置1
1	0	1	1	
1	1	0	1	翻转
1	1	1	0	



$$\text{特性方程} \quad Q^{n+1} = J \overline{Q}^n + \overline{K}Q^n$$

2020/11/14

模拟与数字电路 — 锁存器与触发器

28

数字逻辑基础与Verilog设计

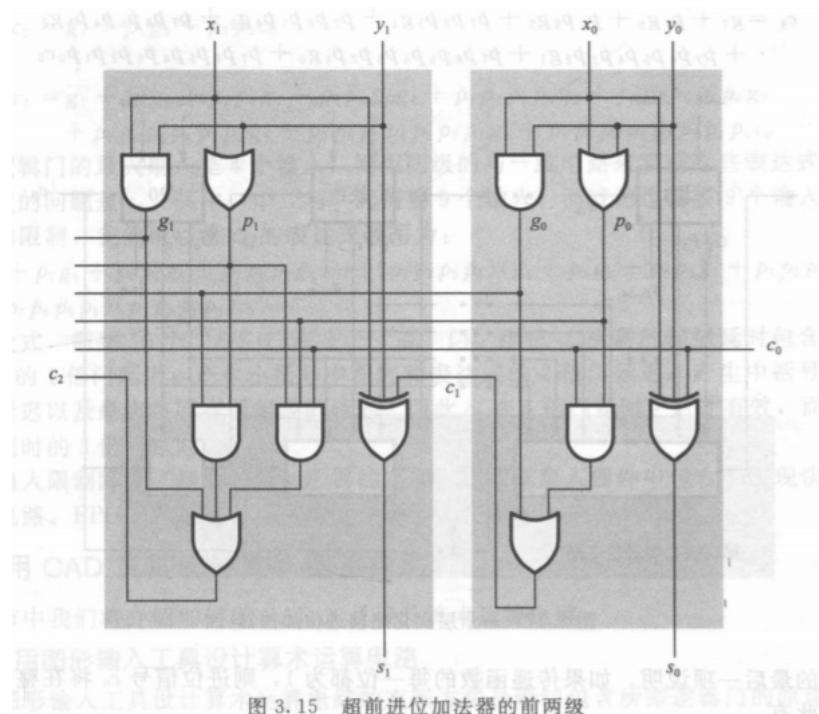


图 3.15 超前进位加法器的前两级

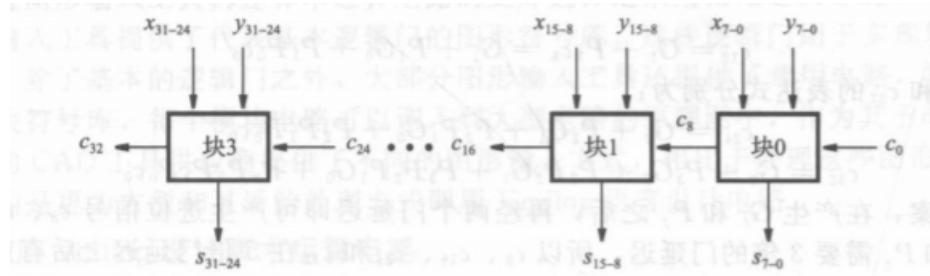


图 3.16 块之间用行波进位方式的层次化超前进位加法器

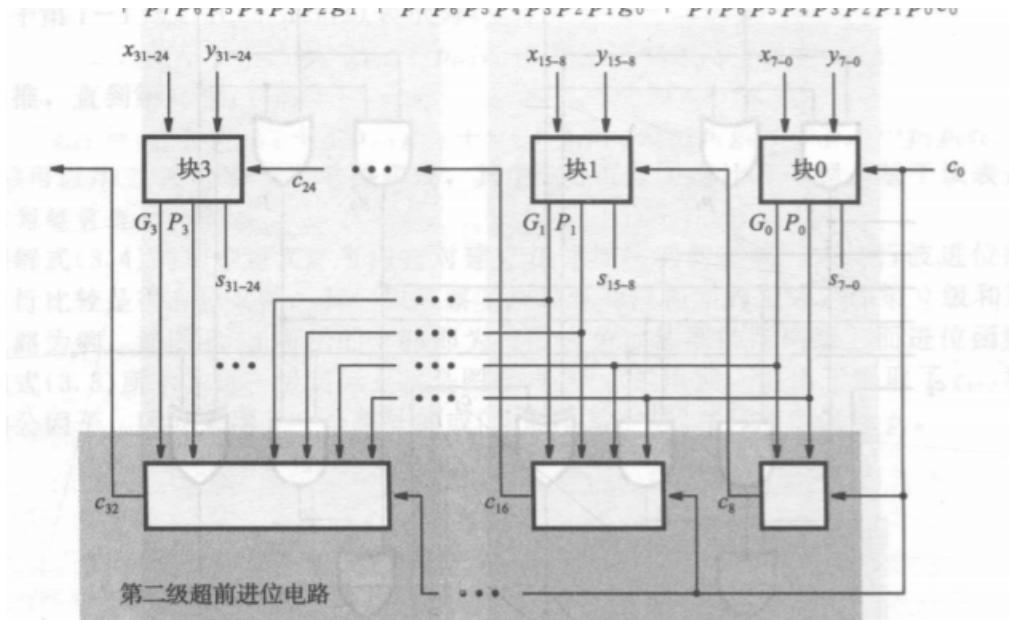


图 3.17 一个层次化超前进位加法器

实现上述运算的电路可以排列成如图 3.35 所示的一个阵列。与图 3.34c 中用浅灰色表示的行一样，图 3.35 中产生部分积的与门和全加器也用浅灰色显示，这些全加器连接成行波进位加法器。也可以使用其他类型的加法器以获得更快的乘法器。^[1]

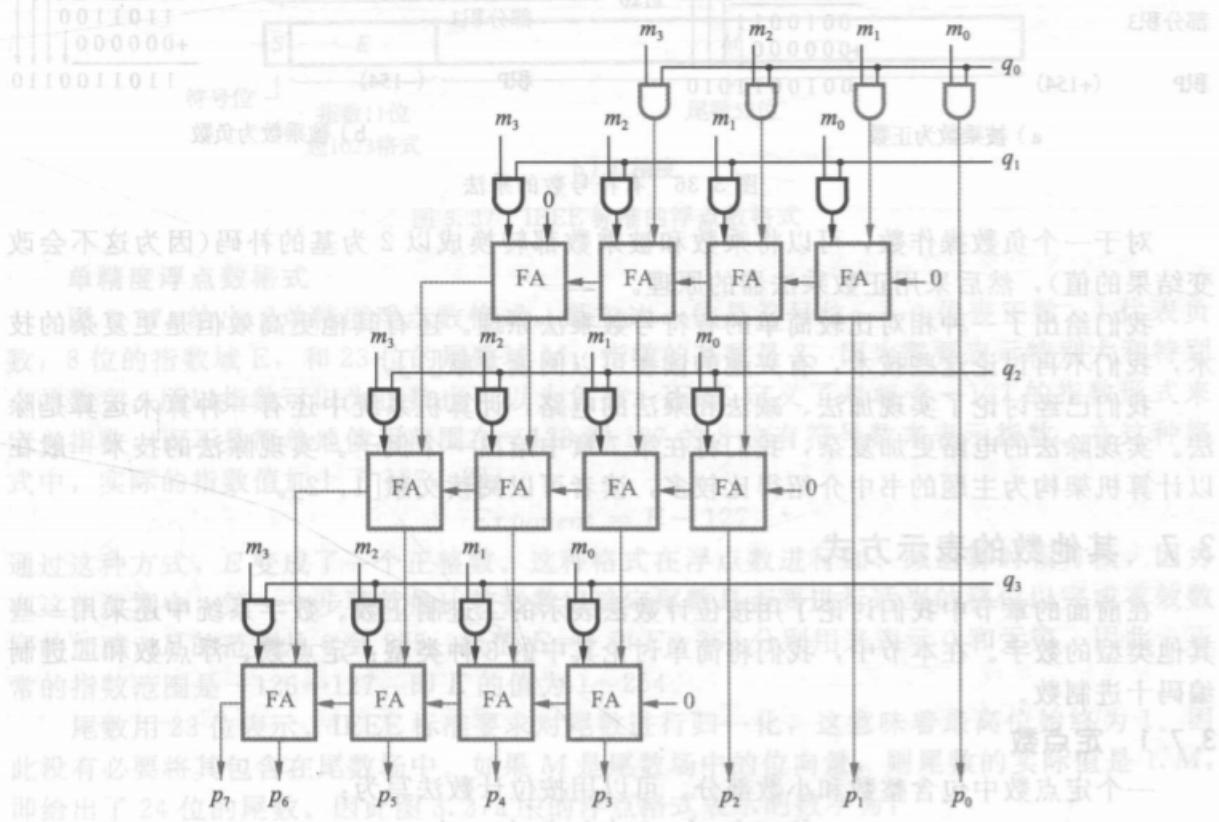


图 3.35 4×4 的乘法器电路

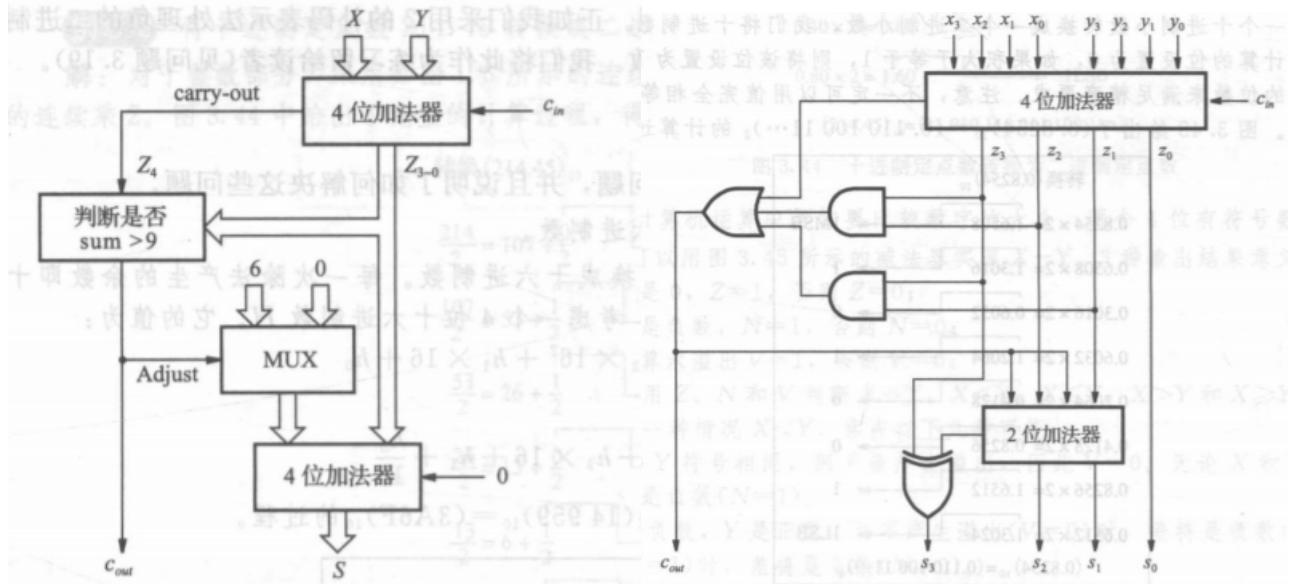


图 3.39 1 位 BCD 加法器原理框图

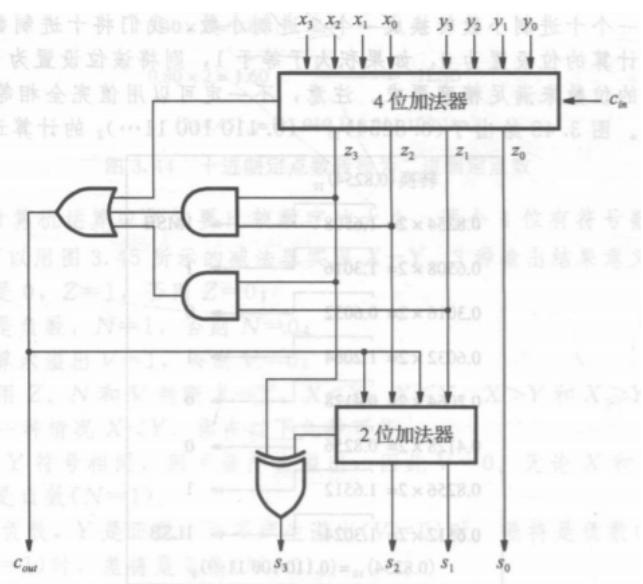


图 3.41 1 位 BCD 加法器电路图

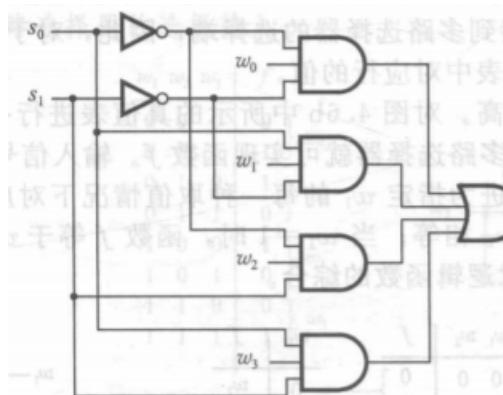


图 4.2 一个 4 选 1 选择器

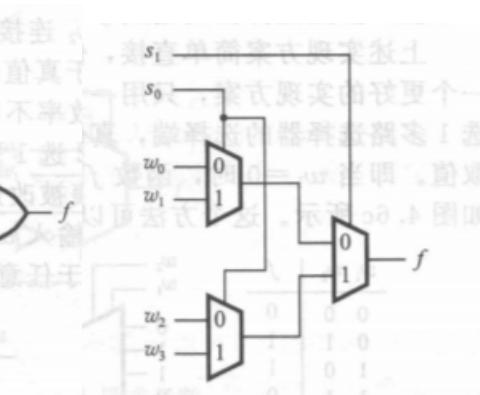


图 4.3 用 2 选 1 多路选择器构建的 4 选 1 多路选择器

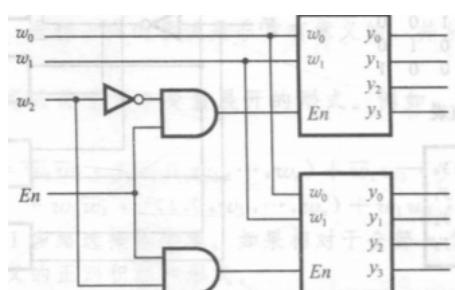


图 4.15 采用 2-4 译码器构建的 3-8 译码器

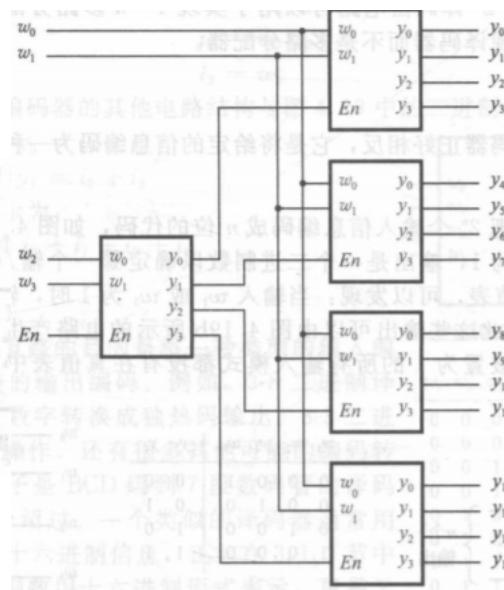


图 4.16 采用译码器树构建的 4-16 译码器

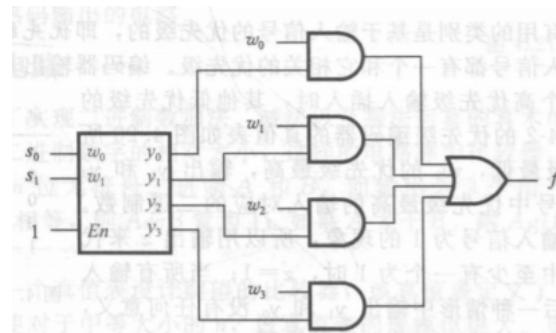


图 4.17 采用译码器构建的 4 选 1 多路选择器

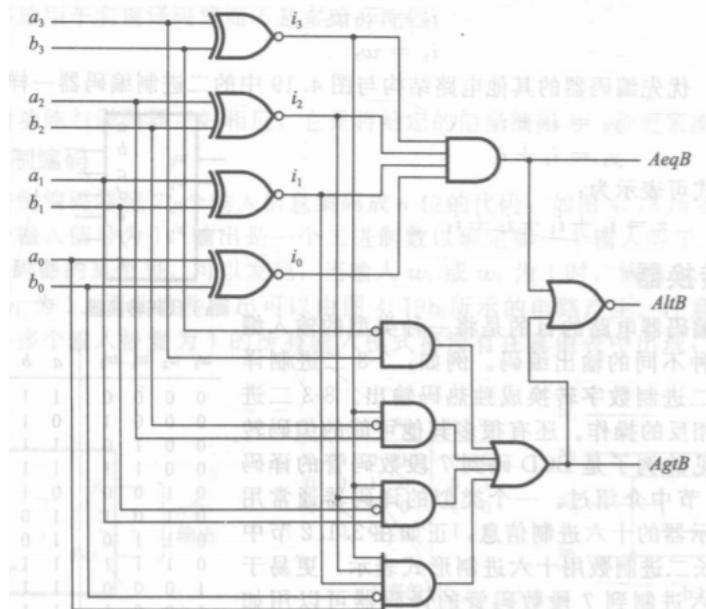


图 4.22 一个 4 位比较器电路

AeqB: $A=B$; AgtB: $A>B$; AltB: $A<B$;

- 一个简单的移位寄存器

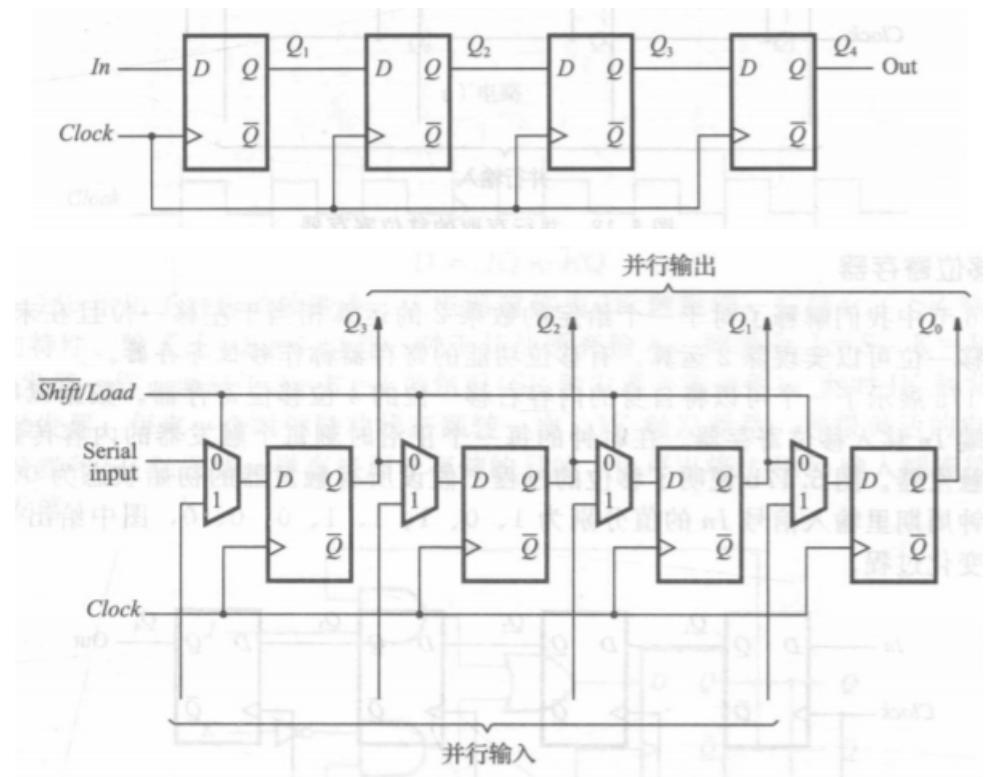
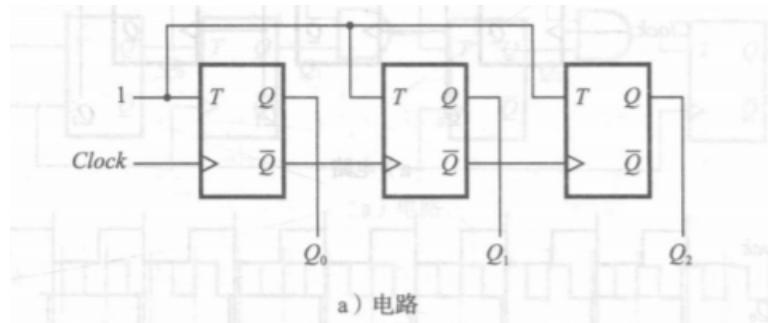
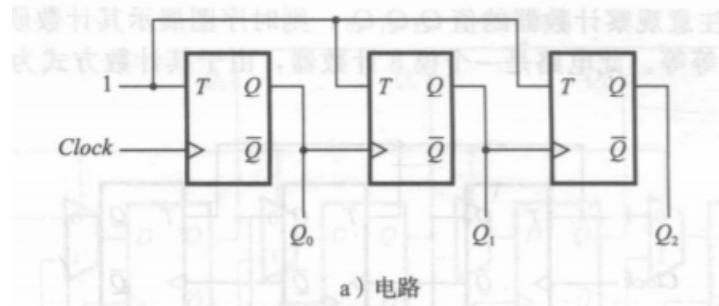


图 5.18 并行存取的移位寄存器

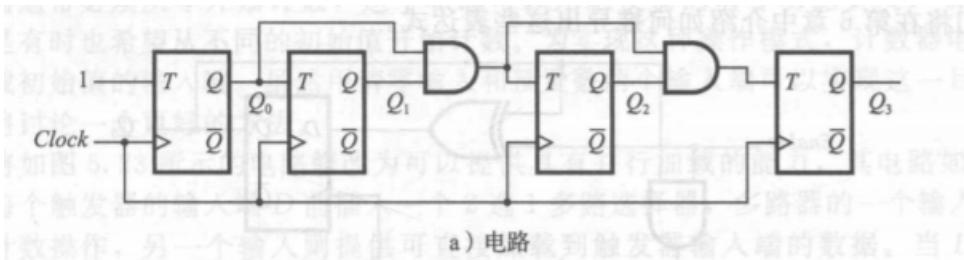
- 三位递增计数器



- 三位递减计数器



- T_ff 四位同步递增计数器



↑图 5.21

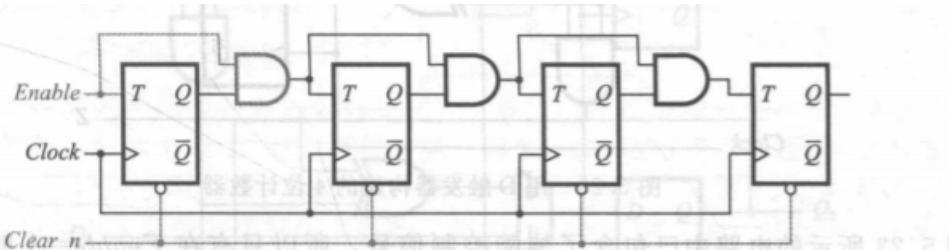
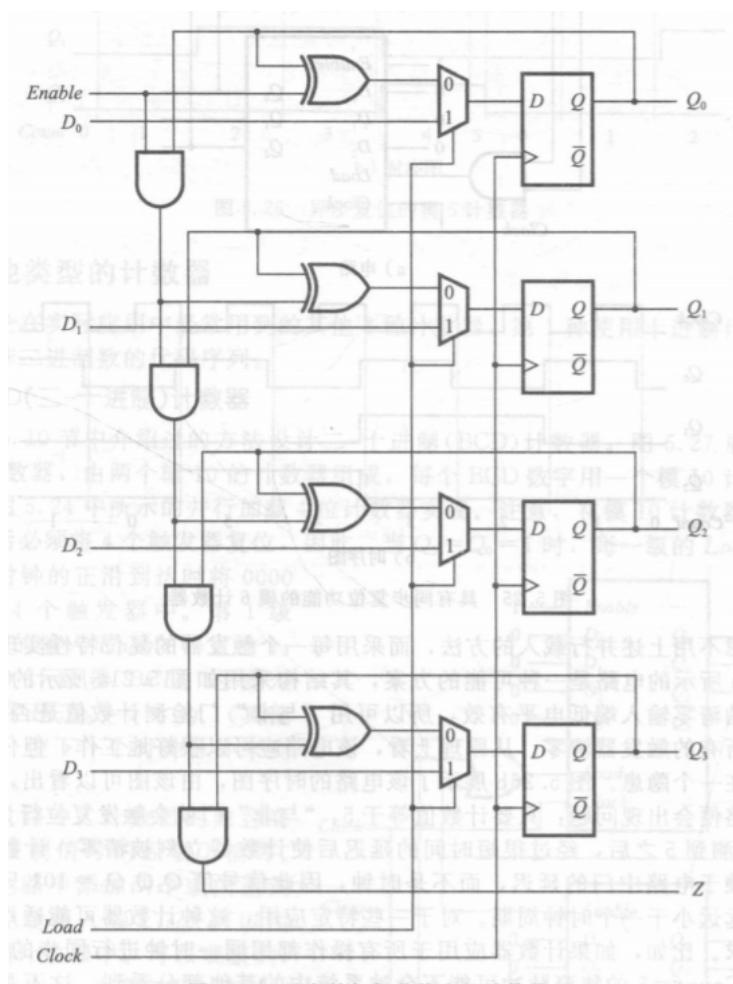
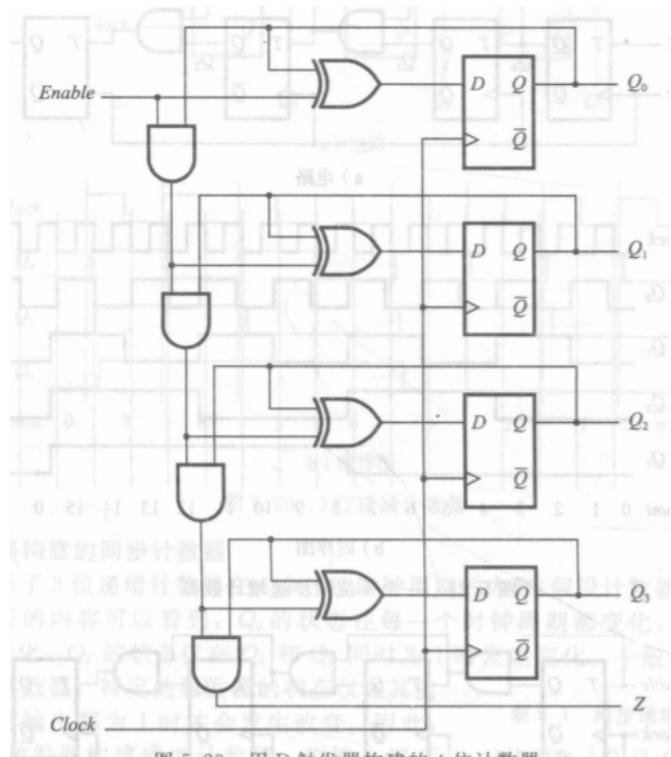
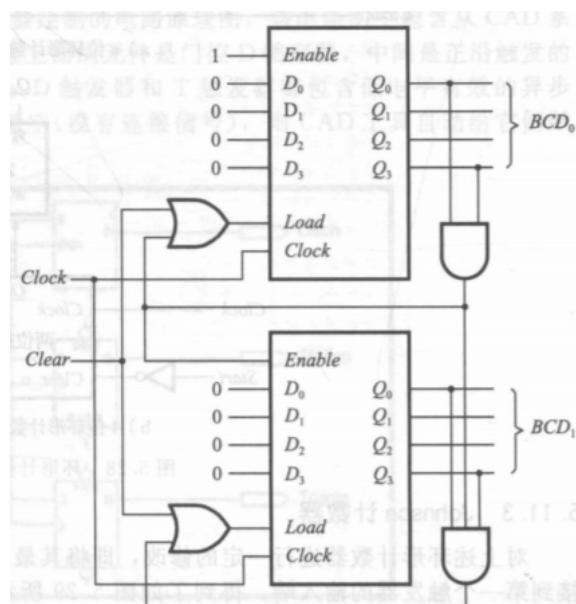
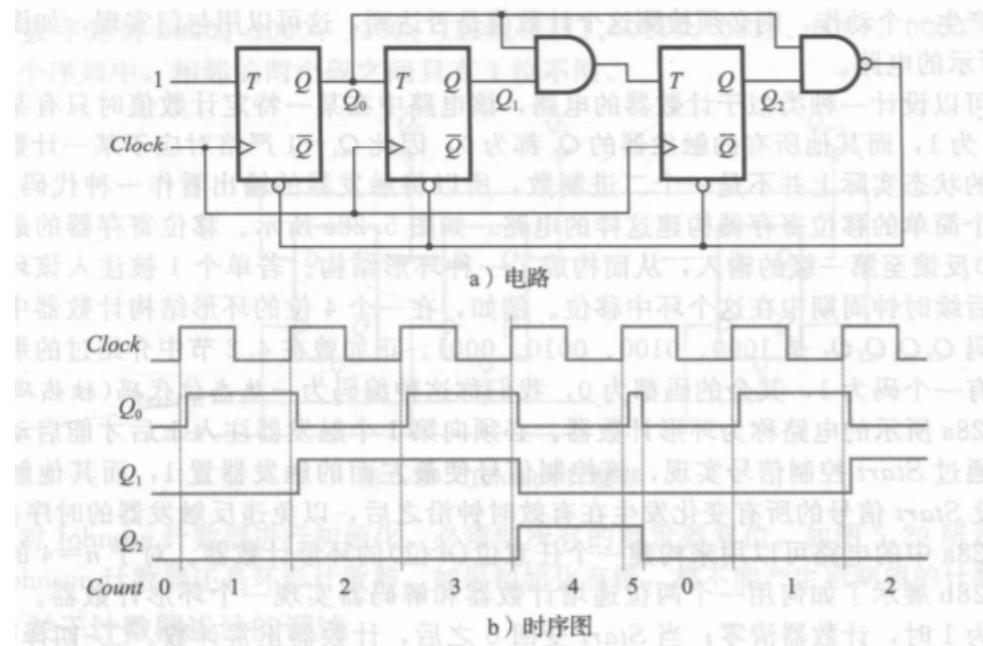


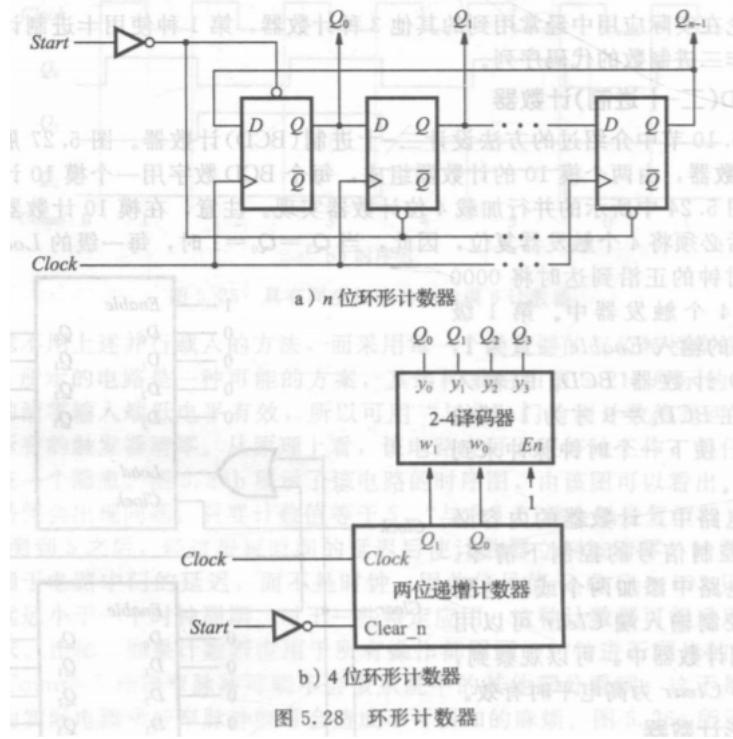
图 5.22 包含使能和清零功能的递增计数器

如图 5.22 所示。该电路是在图 5.21 的计数器的基础上增加了 1 个与门，使能信号直接输入第 1 个触发器的 T 输入端。使能端也连接到各级的与门链路中，这意味着如果 $Enable=0$ ，则所有触发器的输入 T 都等于 0；若 $Enable=1$ ，则该电路为如前所述的计数器。





- 环形计数器：用One-Hot码存储（eg.00001000）



- Johnson计数器：

