

# Projeto PC-PO e HLS

Aline Hommerding Amorim - 301570  
Bruna Casagrandra Cagliari - 290515

## SUMÁRIO

01

### PC-PO

Implementação em ASM  
e PC-PO.

02

### HLS

Implementação em HLS  
sem otimizações.

03

### HLS

Implementação em HLS  
com otimizações

04

### Comparação

Comparação das 3  
implementações.

# PC-PO





# MEMÓRIA

*Matriz entrada*

0	1	2
3	4	5
6	7	8

*Matriz peso*

9	10	11
12	13	14
15	16	17

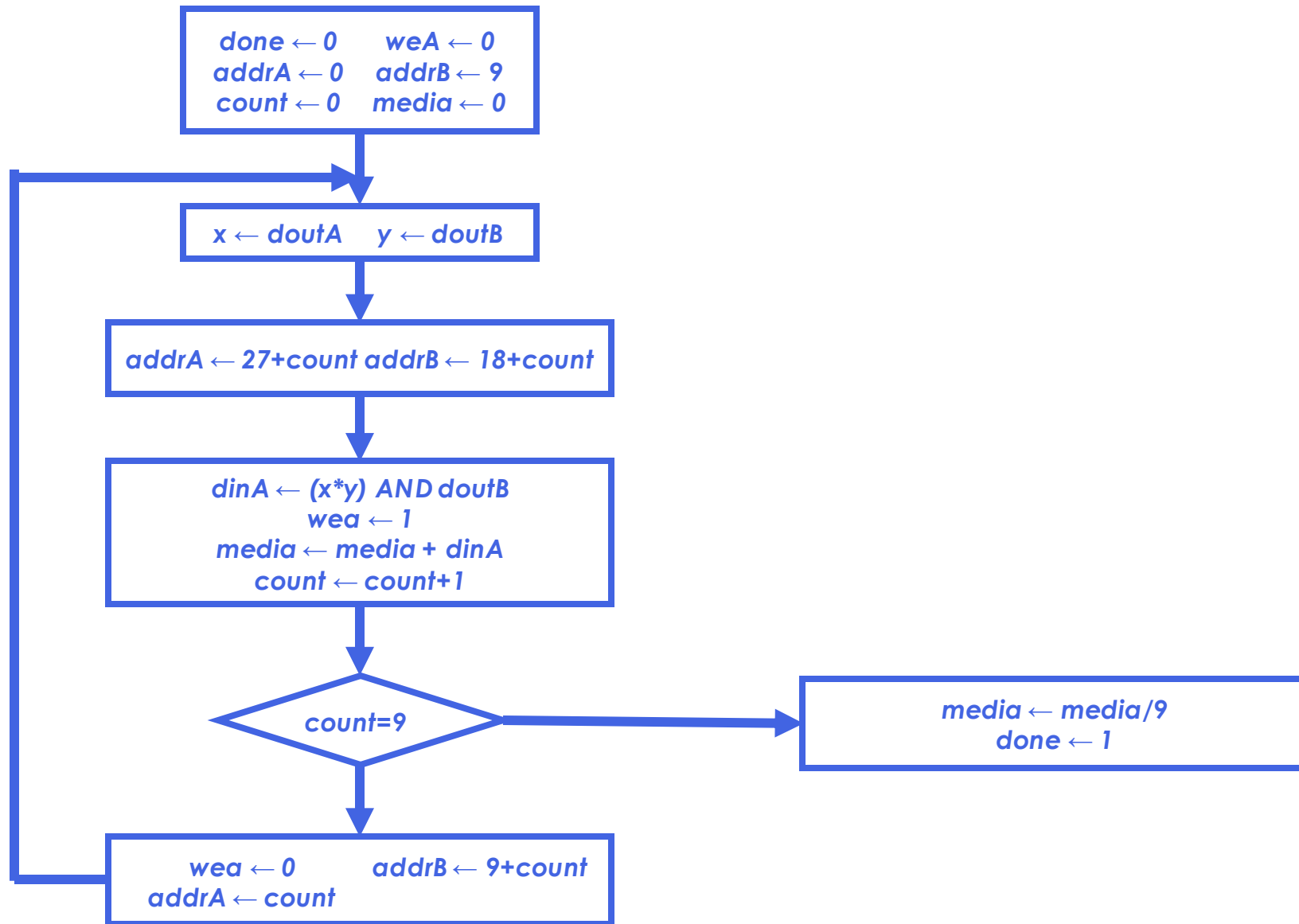
*Matriz máscara*

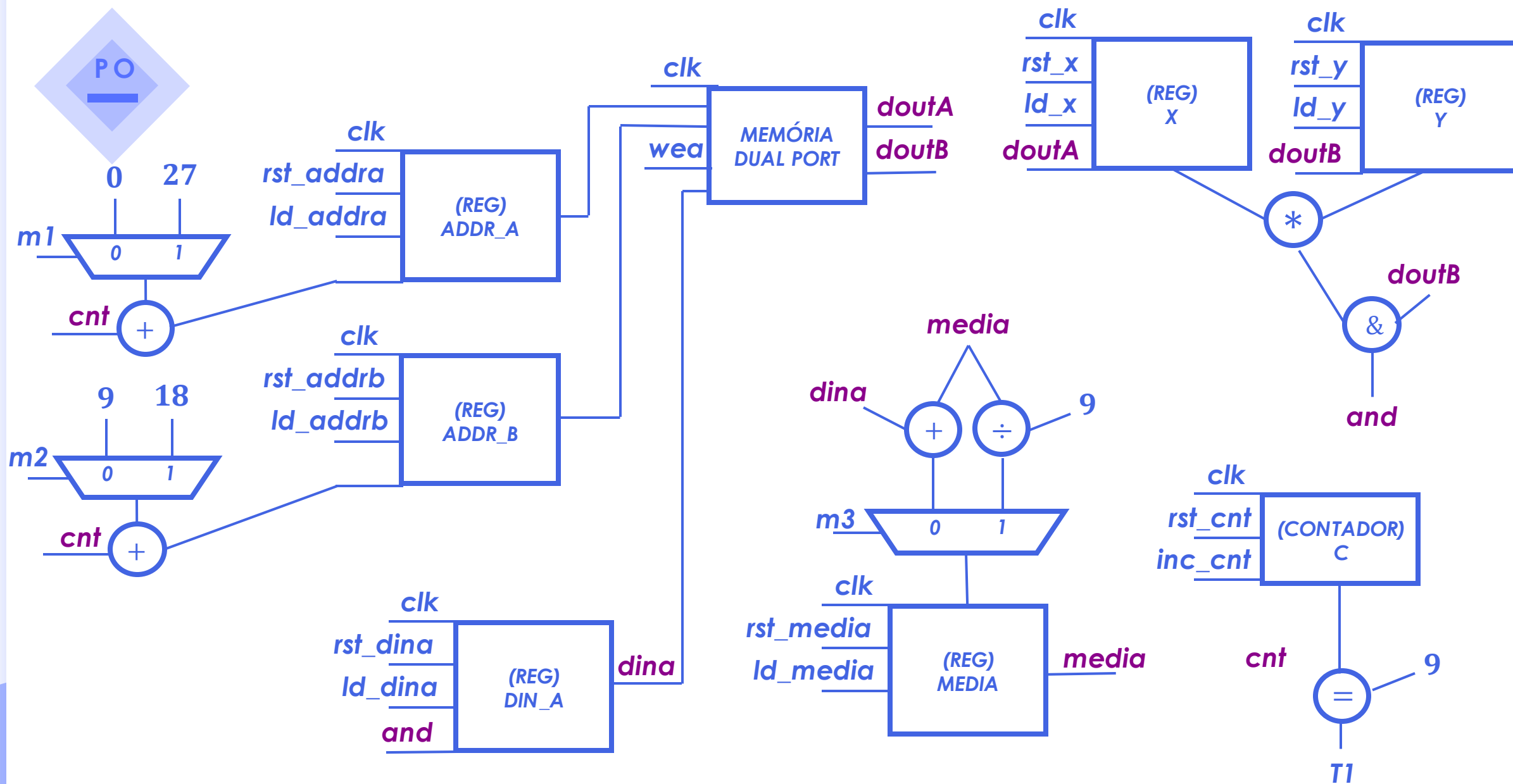
18	19	20
21	22	23
24	25	26

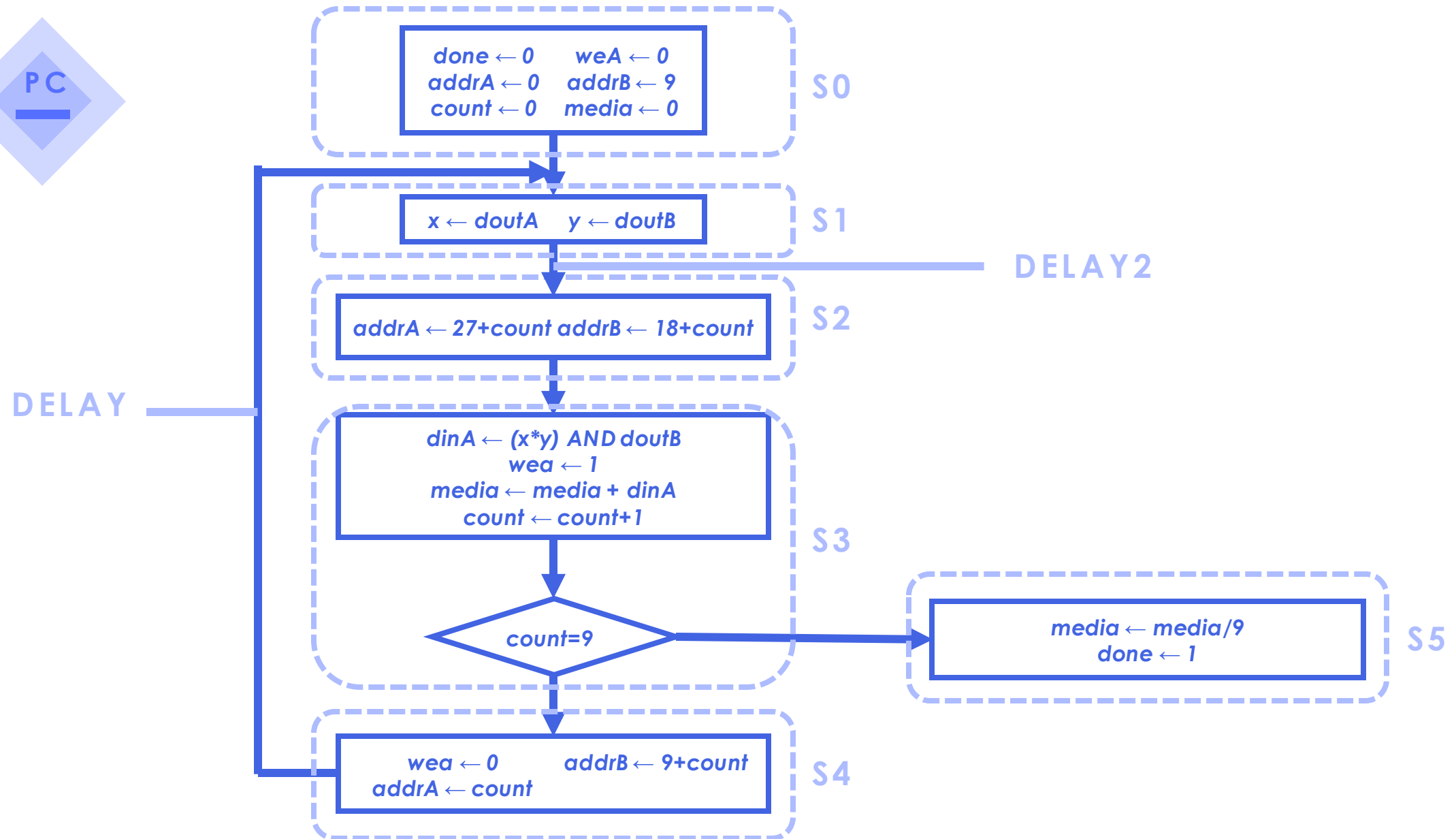
*Matriz saída*

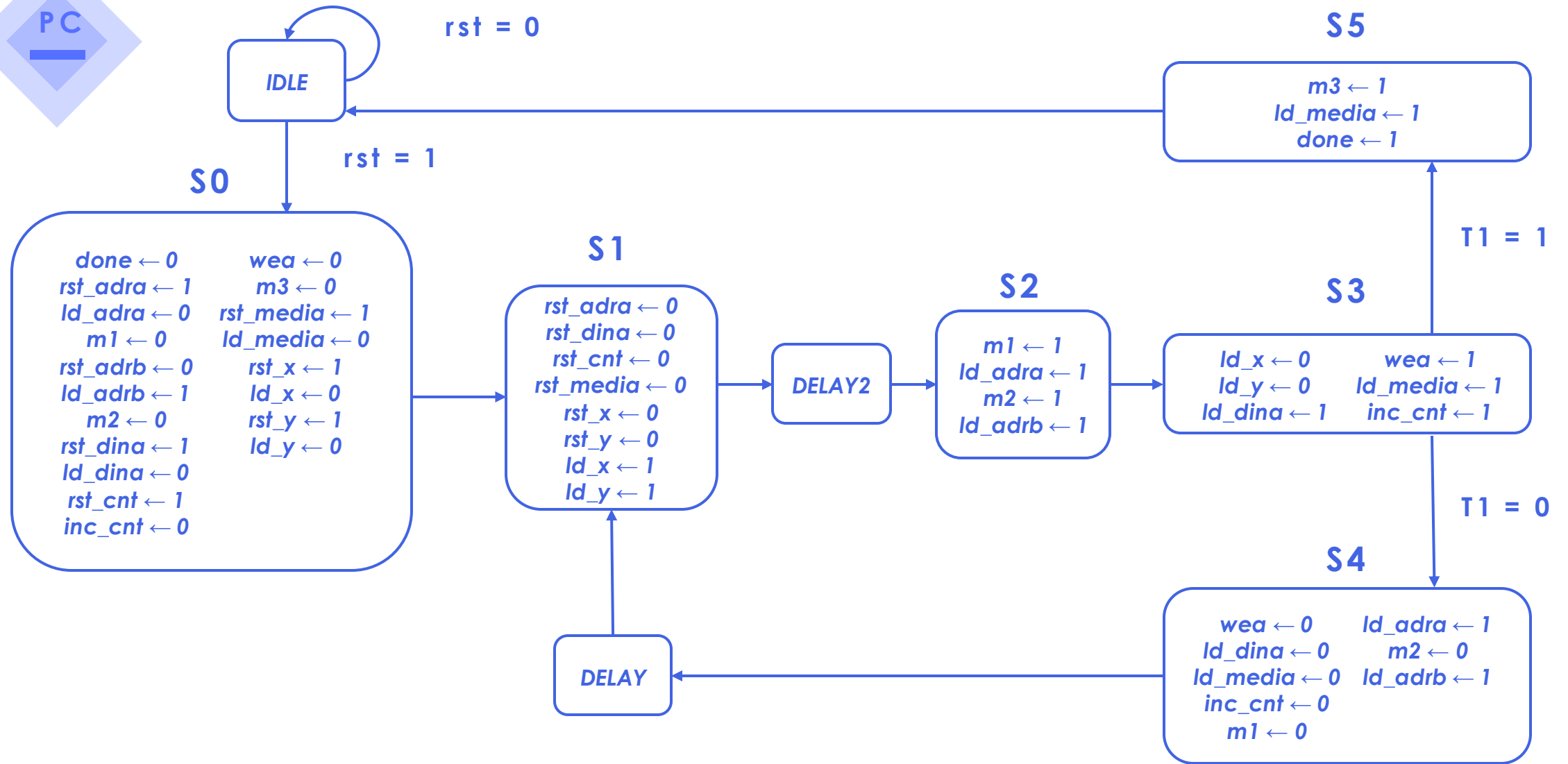
27	28	29
30	31	32
33	34	35

# ASM











## TESTE

*Matriz entrada*

1	2	3
3	2	1
2	3	1

*Matriz peso*

3	5	7
3	5	7
3	5	7

*Matriz máscara*

254	253	254
252	252	252
248	248	248

*Matriz saída*

2	8	20
8	8	4
0	8	0

*Média = 6.444*



```
stim_proc: process
begin
    rst <= '1';
    wait for 100 ns;
    rst <= '0';
    wait;
end process;
```

SIMULAÇÃO S/  
ATRASSO

	0	1	2
0x0	1	2	3
0x3	3	2	1
0x6	2	3	1
0x9	3	5	7
0xC	3	5	7
0xF	3	5	7
0x12	254	253	254
0x15	252	252	252
0x18	248	248	248
0x1B	2	8	20
0x1E	8	8	4
0x21	0	8	0

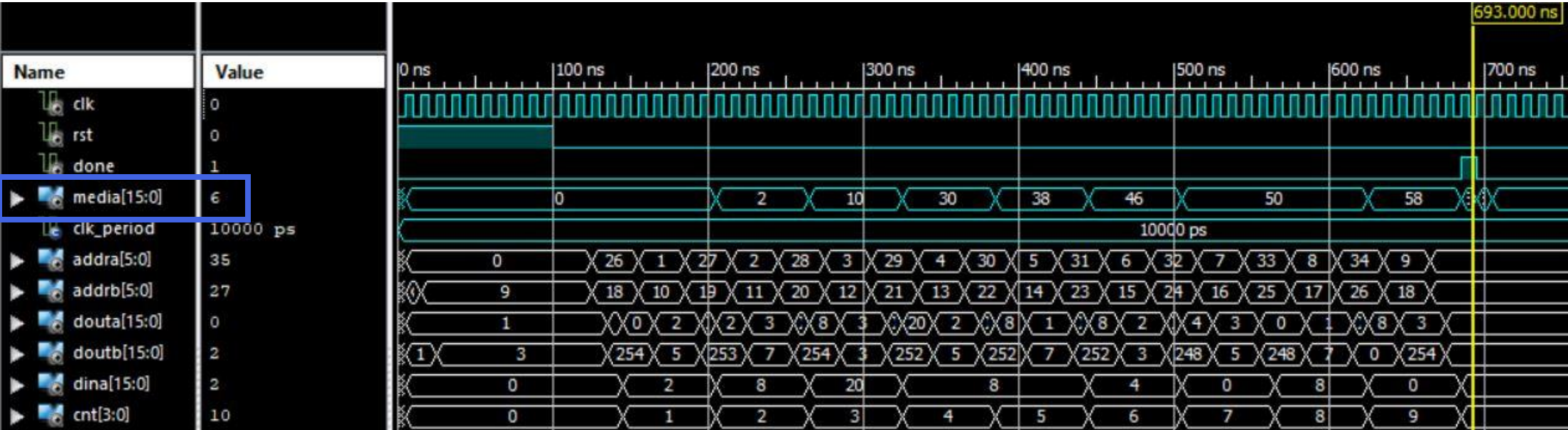
Matriz entrada

Matriz peso

Matriz máscara

Matriz saída

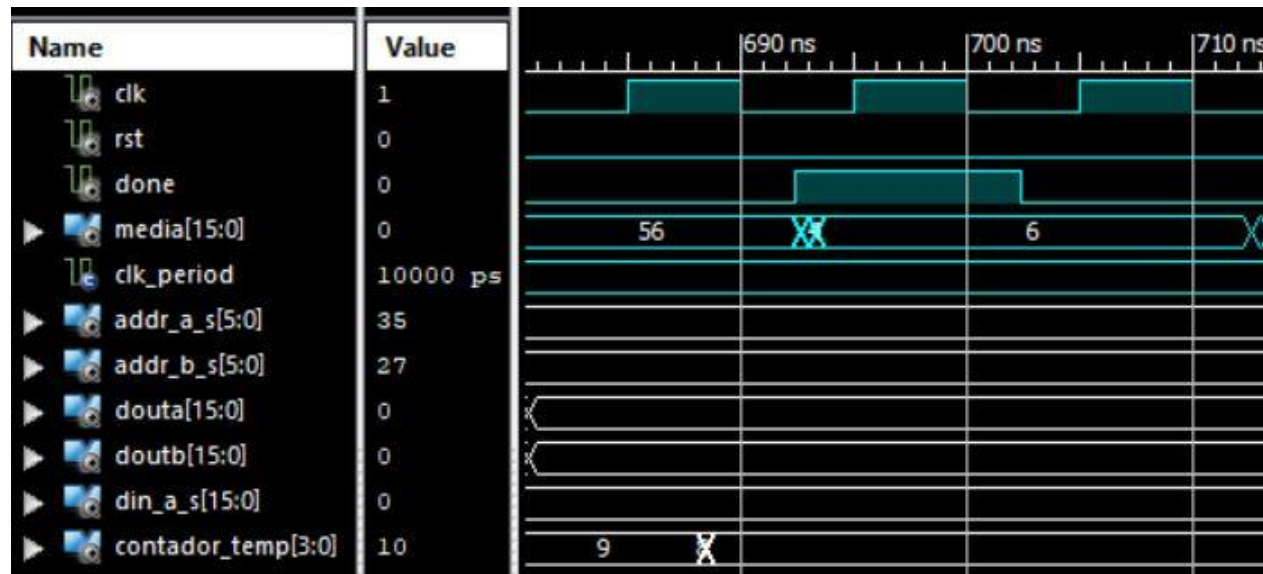
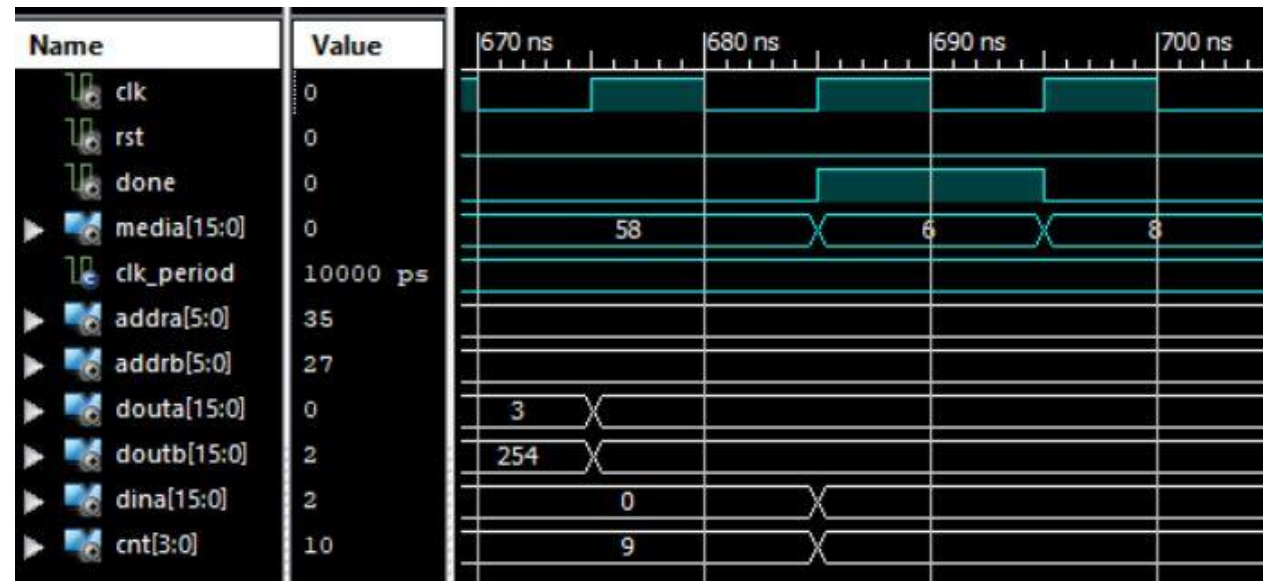
Média



# SIMULAÇÃO C/ ATRASSO

Média





# HLS (SEM OTIMIZAÇÃO)

---





```
short matrixmul(  
    mat_input input[MAT_A_ROWS][MAT_A_COLS],  
    mat_peso peso[MAT_B_ROWS][MAT_B_COLS],  
    mat_resultado res[MAT_A_ROWS][MAT_B_COLS],  
    mat_mascara masc[MAT_A_ROWS][MAT_B_COLS])  
{  
    short media=0;  
    Row: for(int i = 0; i < MAT_A_ROWS; i++) {  
        Col: for(int j = 0; j < MAT_B_COLS; j++) {  
            res[i][j] = 0;  
            res[i][j] = input[i][j] * peso[i][j]  
            res[i][j] = res[i][j] & masc[i][j];  
            media = media + res[i][j];  
        }  
    }  
    media = media/9;  
    return media;  
}
```



```
stim_proc: process
begin
    rst <= '1';
    wait for 100 ns;
    rst <= '0';
    start <= '1';
    wait for 100 ns;
    start <= '0';
    wait;
end process;
```



# SIMULAÇÃO S/ ATRASSO

	0	1	2
0	1	2	3
3	3	2	1
6	2	3	1
9	0	0	0
12	0	0	0
15	0		

*Matriz entrada*

	0	1	2
0	3	5	7
3	3	5	7
6	3	5	7
9	0	0	0
12	0	0	0
15	0		

*Matriz peso*

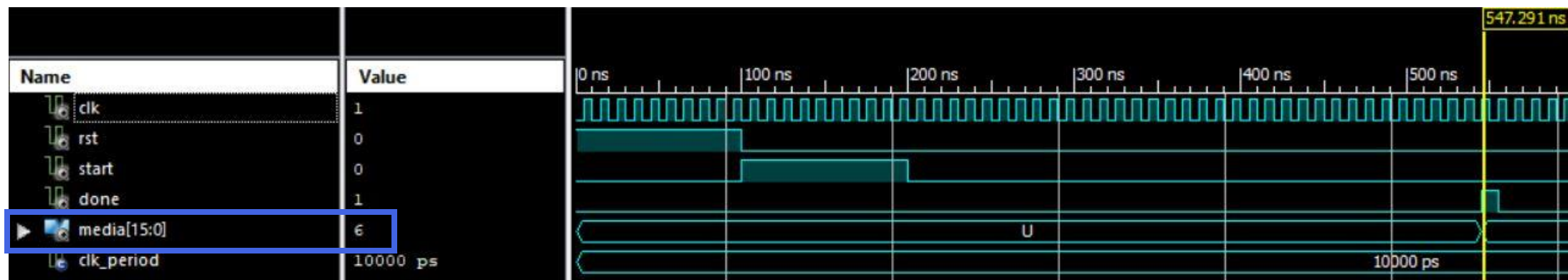
	0	1	2
0	254	253	254
3	252	252	252
6	248	248	248
9	0	0	0
12	0	0	0
15	0		

*Matriz máscara*

	0	1	2
0	2	8	20
3	8	8	4
6	0	8	0
9	0	0	0
12	0	0	0
15	0		

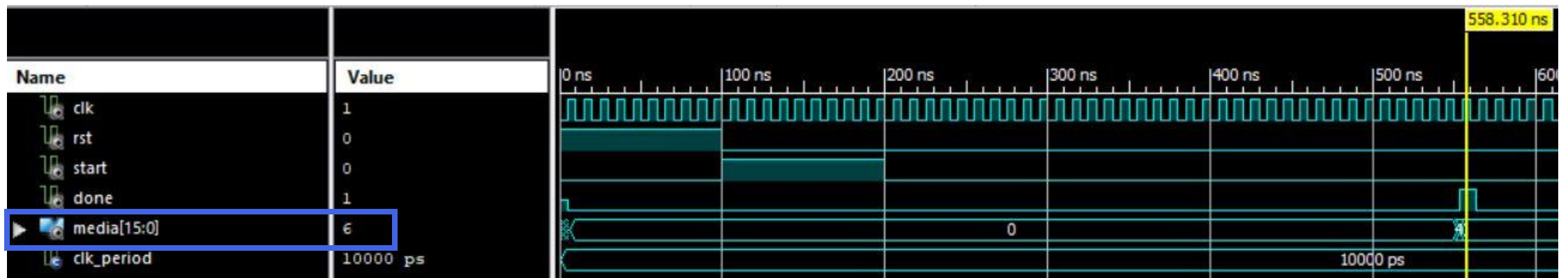
*Matriz saída*

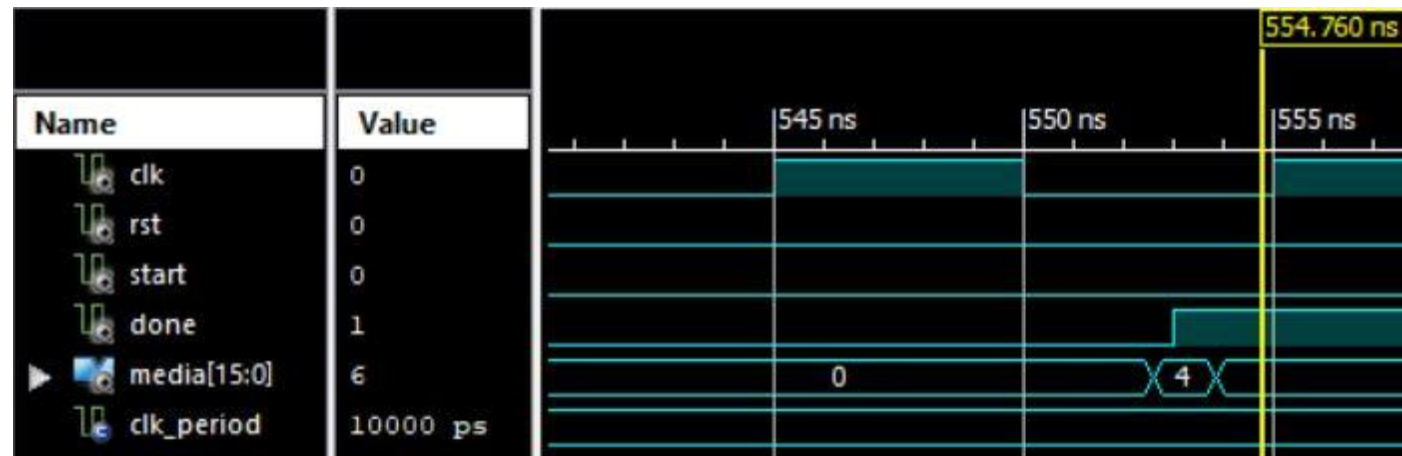
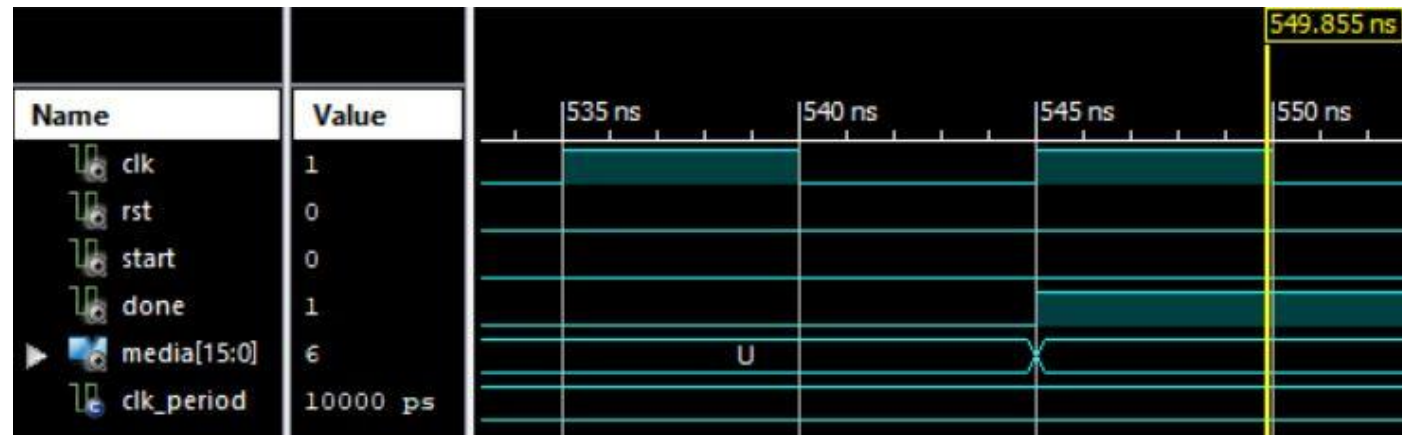
*Média*



# SIMULAÇÃO C/ ATRASSO

Média





# HLS (COM OTIMIZAÇÃO)



### Otimização: Loop Flattening

Explora o paralelismo das operações para otimizar o tempo de execução. Para tal, são feitas cópias do corpo do loop e o contador de iterações é ajustado de acordo.

É possível diminuir o loop overhead evitando a aritmética de ponteiros e os testes de fim de loop.

### Otimização: Flattening

Sabendo-se que cada porta lógica resultante da síntese da descrição RTL de um circuito possui um atraso específico que é adicionado na propagação do sinal, busca-se reduzir ao máximo este atraso paralelizando-se ou eliminando-se níveis de lógica intermediários.

### Otimização: Loop Unroll

Permite que os loops aninhados sejam nivelados em uma hierarquia de loop único com latência aprimorada, economizando ciclos de relógio..

# SIMULAÇÃO S/ ATRASSO

	0	1	2
0	1	2	3
3	3	2	1
6	2	3	1
9	0	0	0
12	0	0	0
15	0		

*Matriz entrada*

	0	1	2
0	3	5	7
3	3	5	7
6	3	5	7
9	0	0	0
12	0	0	0
15	0		

*Matriz peso*

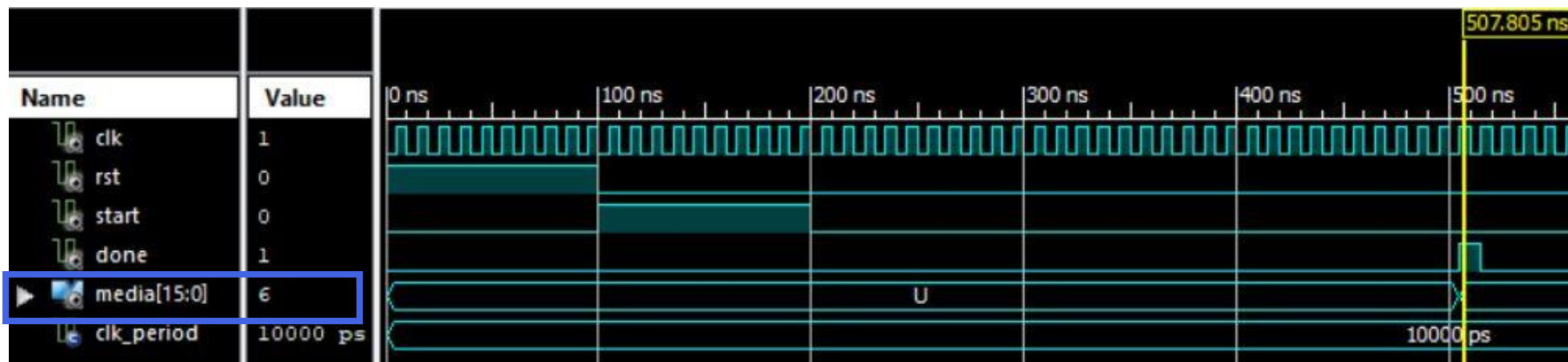
	0	1	2
0	254	253	254
3	252	252	252
6	248	248	248
9	0	0	0
12	0	0	0
15	0		

*Matriz máscara*

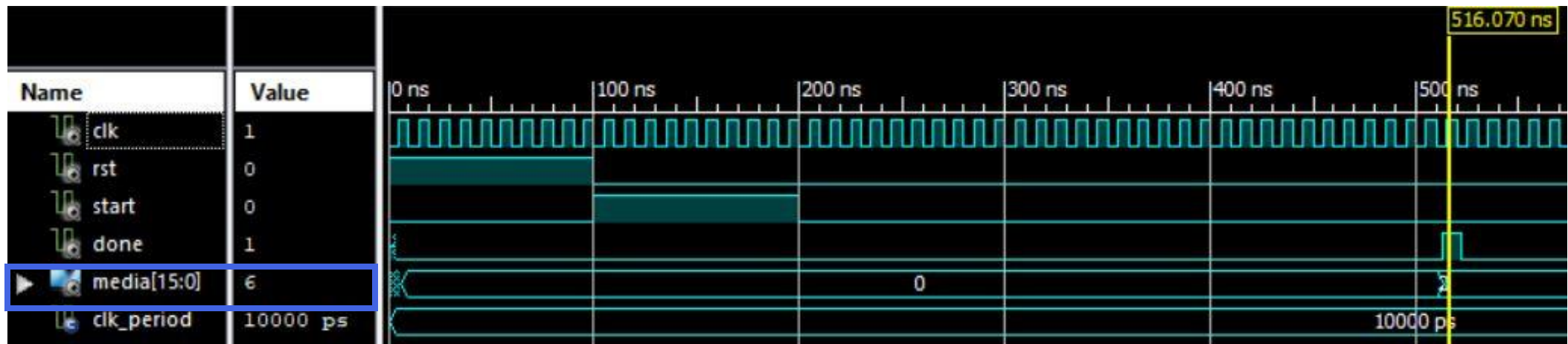
	0	1	2
0	2	8	20
3	8	8	4
6	0	8	0
9	0	0	0
12	0	0	0
15	0		

*Matriz saída*

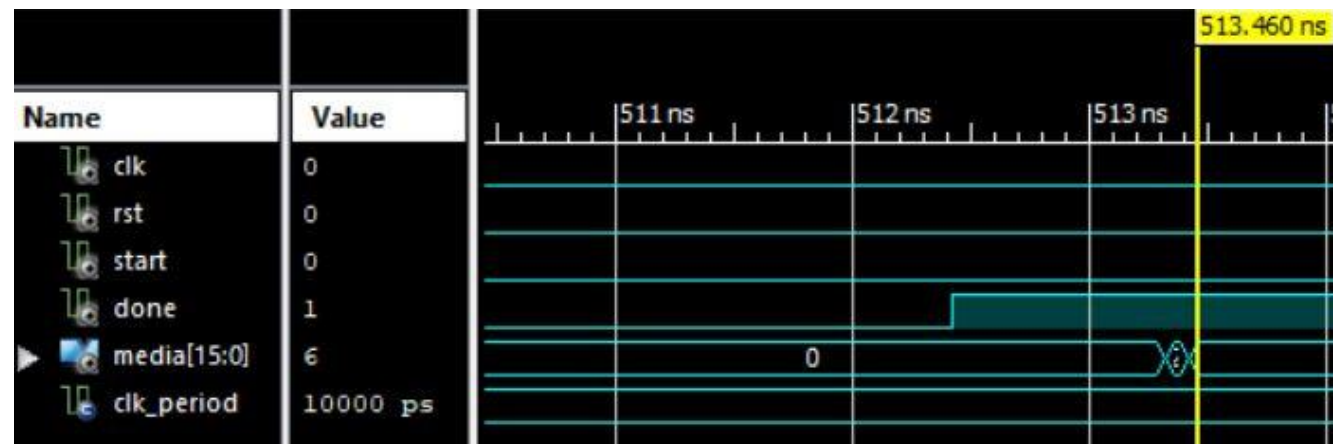
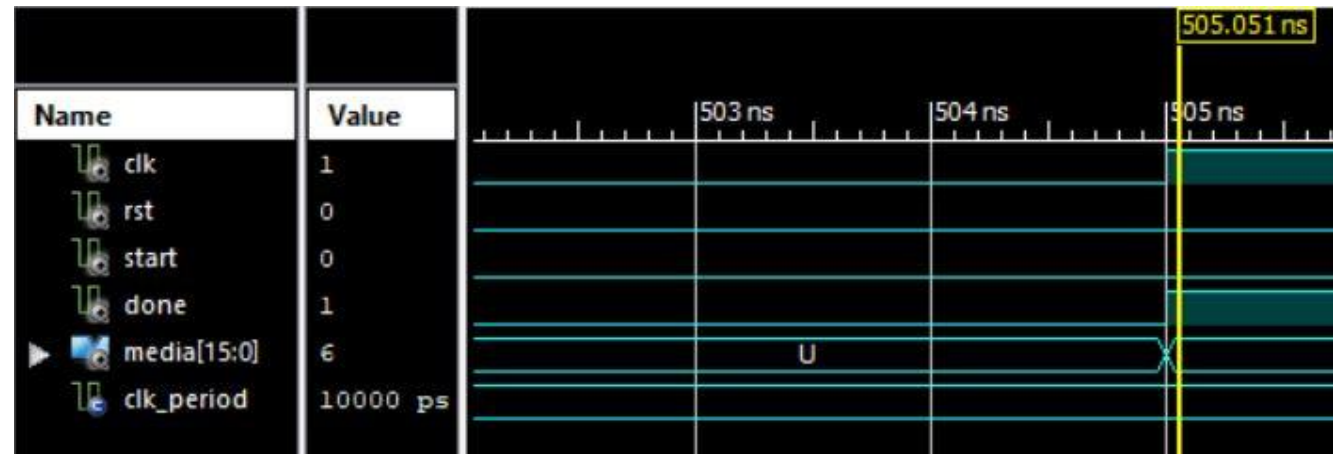
*Média*



# SIMULAÇÃO C/ ATRASSO



Média





# COMPARAÇÃO





# COMPARAÇÃO

	Latência	Frequência	Tempo
PCPO	62 cc.	86MHz	685ns
HLS (s/)	45 cc.	124MHz	545ns
HLS (c/)	41 cc.	128MHz	505ns



Device Utilization Summary			
Logic Utilization	Used	Available	Utilization
Total Number Slice Registers	92	1,920	4%
Number used as Flip Flops	76		
Number used as Latches	16		
Number of 4 input LUTs	94	1,920	4%
Number of occupied Slices	67	960	6%
Number of Slices containing only related logic	67	67	100%
Number of Slices containing unrelated logic	0	67	0%
Total Number of 4 input LUTs	109	1,920	5%
Number used as logic	94		
Number used as a route-thru	15		
Number of bonded IOBs	32	83	38%
Number of RAMB16s	1	4	25%
Number of BUFGMUXs	1	24	4%
Number of MULT18X18SIOs	2	4	50%
Average Fanout of Non-Clock Nets	2.67		

Device Utilization Summary			
Logic Utilization	Used	Available	Utilization
Number of Slice Flip Flops	85	4,896	1%
Number of 4 input LUTs	115	4,896	2%
Number of occupied Slices	71	2,448	2%
Number of Slices containing only related logic	71	71	100%
Number of Slices containing unrelated logic	0	71	0%
Total Number of 4 input LUTs	116	4,896	2%
Number used as logic	115		
Number used as a route-thru	1		
Number of bonded IOBs	20	92	21%
Number of RAMB16s	3	12	25%
Number of BUFGMUXs	1	24	4%
Number of MULT18X18SIOs	2	12	16%
Average Fanout of Non-Clock Nets	2.02		

## Performance Estimates

### Timing (ns)

#### Summary

Clock	Target	Estimated	Uncertainty
ap_clk	10.00	8.58	1.25

### Latency (clock cycles)

#### Summary

Latency		Interval		Type
min	max	min	max	
45	45	46	46	none

#### Detail

##### Instance

##### Loop

## Utilization Estimates

### Summary

Name	BRAM_18K	FF	LUT	MULT18x18
DSP	-	-	-	-
Expression	-	0	131	2
FIFO	-	-	-	-
Instance	-	-	-	-
Memory	-	-	-	-
Multiplexer	-	-	28	-
Register	-	165	-	-
<b>Total</b>	<b>0</b>	<b>165</b>	<b>159</b>	<b>2</b>
Available	36	29504	29504	36
Utilization (%)	0	~0	~0	5

Device Utilization Summary (estimated values)				[1]
Logic Utilization	Used	Available	Utilization	
Number of Slices	117	2448	4%	
Number of Slice Flip Flops	115	4896	2%	
Number of 4 input LUTs	222	4896	4%	
Number of bonded IOBs	20	92	21%	
Number of BRAMs	4	12	33%	
Number of MULT18X18SIOs	4	12	33%	
Number of GCLKs	1	24	4%	

## Performance Estimates

### Timing (ns)

#### Summary

Clock	Target	Estimated	Uncertainty
ap_clk	10.00	8.13	1.25

### Latency (clock cycles)

#### Summary

Latency		Interval		Type
min	max	min	max	
41	41	42	42	none

#### Detail

##### Instance

##### Loop

## Utilization Estimates

### Summary

Name	BRAM_18K	FF	LUT	MULT18x18
DSP	-	-	-	-
Expression	-	0	195	4
FIFO	-	-	-	-
Instance	-	-	-	-
Memory	-	-	-	-
Multiplexer	-	-	134	-
Register	-	236	-	-
<b>Total</b>	<b>0</b>	<b>236</b>	<b>329</b>	<b>4</b>
Available	36	29504	29504	36
Utilization (%)	0	~0	1	11

The background is a solid blue color. It features several abstract geometric elements: a small diamond shape in the top left, a square shape in the middle right, and a tilted square shape in the middle left. At the bottom, there are three overlapping, wavy, light blue shapes that resemble hills or water ripples.

# Fim