

การทดลองที่ 1: การใช้งานโปรแกรม WebPACK (8.1i)

วัตถุประสงค์

1. เพื่อให้นักศึกษาฝึกใช้งานโปรแกรม สำหรับการออกแบบวงจรดิจิทัล
2. เพื่อศึกษาตัวอย่างการเขียนโปรแกรมภาษา VHDL
3. เพื่อให้นักศึกษาสามารถนำโปรแกรมตัวอย่างลงทดสอบบนบอร์ดทดสอบได้

หมายเหตุ

1. นักศึกษาที่มีหนังสือ ให้พิมพ์เฉพาะหน้าแรกของเอกสารการทดลองนี้ก็พอ
2. ทำการทดลองตามหนังสือหัวข้อที่ 1.7 หน้า 18 – 21, หัวข้อที่ 2.17 หน้า 148 – 174 ก่อน

การทดลอง

1. ทำการทดลองตามรายละเอียดด้านล่างนี้ โดยตัวอย่างจะเป็นโปรแกรมภาษา VHDL ของการบวกเลข 3 บิต
2. ทำการโปรแกรมตัวอย่างลงบอร์ดทดลอง แล้วเรียกอาจารย์ผู้คุมการทดลองมาตรวจ

รายละเอียดการทดลอง

1.7 การติดตั้งซอฟต์แวร์

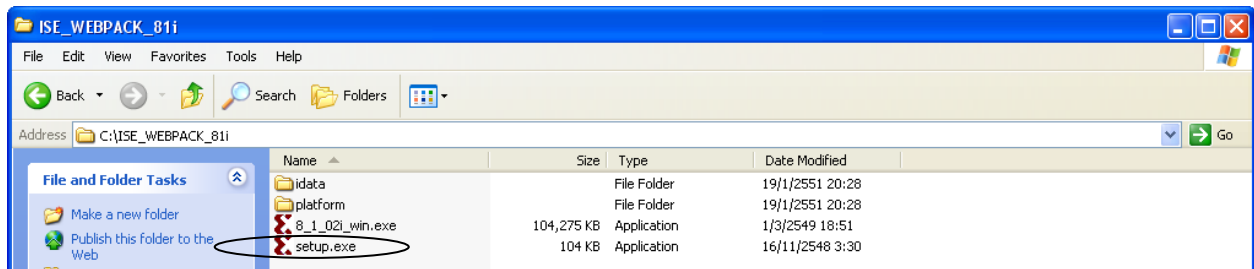
1) ขั้นตอนการขอและดาวน์โหลดซอฟต์แวร์

ในหนังสือเล่มนี้จะมีแผ่น DVD ให้ไปด้วย 1 แผ่น ซึ่งจะมีซอฟต์แวร์ ISE WebPACK 8.1i และ Service Pack 2 (ชื่อ 8_1_02i_win.exe) อยู่ใน Folder ชื่อ C:\ISE_WebPACK_81i ส่วน Folder อื่นจะเป็นซอฟต์แวร์ ISE WebPACK 10.1i และ Service Pack 3 อยู่ใน Folder ชื่อ C:\ISE_WebPACK_101i และ Folder ที่เป็นไฟล์การทดลองต่างๆ รวมทั้งไฟล์บทที่ 2 ของหนังสือเล่มนี้ที่เป็นภาพสีเพื่อความสะดวกในการอ่านโค้ด ไฟล์เกี่ยวกับบอร์ดทดลองรุ่นต่างๆ และ ข้อมูลไอซีที่เกี่ยวข้อง

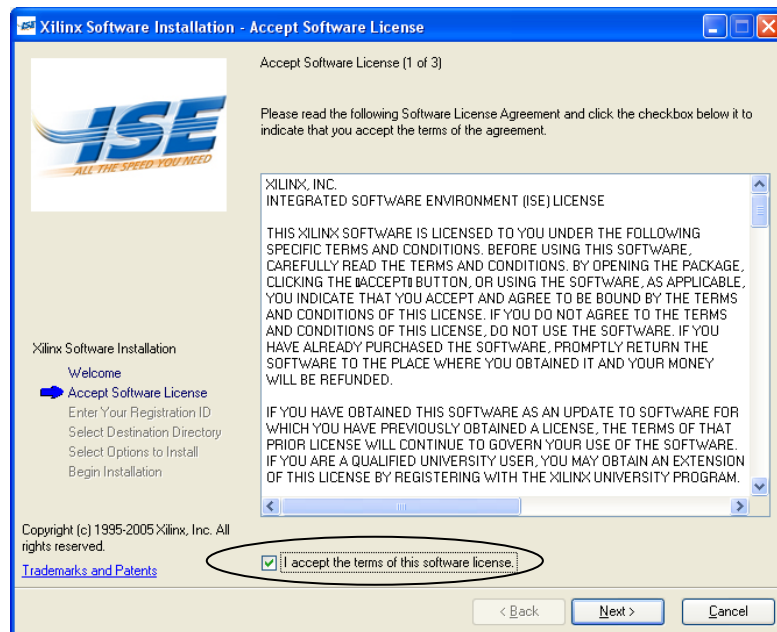
สำหรับซอฟต์แวร์ ISE WebPACK 10.1i หรือเวอร์ชันล่าสุดสามารถดาวน์โหลดได้ที่ <http://www.xilinx.com> โดยจะต้องลงทะเบียนก่อน จากนั้นทาง Xilinx จะยืนยัน User name และ Pass word โดยส่งมาทางอีเมล แล้วนำไป Sign in เพื่อดาวน์โหลดซอฟต์แวร์ ถ้ามีไฟล์ ISE WebPACK 10.1i แล้วก็เอาเฉพาะ Registration ID ไปใช้เฉพาะตอนติดตั้งซอฟต์แวร์

2) วิธีการติดตั้ง ISE WebPACK 8.1i

- 1) ทำการ Uninstall ซอฟต์แวร์เวอร์ชันก่อน (ถ้าเคยติดตั้งมาแล้ว) ที่ จากนั้น Copy ไฟล์ใน Folder ชื่อ ISE_WebPACK_81i จากแผ่น DVD ไปไว้ในไดรฟ์ C เมื่อดับเบิลคลิก Folder ชื่อ ISE_WebPACK_81i (ในไดรฟ์ C) แล้วจะได้ดังรูปที่ 1.12
- 2) ดับเบิลคลิกที่ไฟล์ setup.exe แล้วจะได้หน้าต่าง Accept Software License ให้คลิก “√” ที่หน้า “I accept the term of this software license” ดังรูปที่ 1.13 แล้วคลิกปุ่ม Next แล้วจะได้หน้าต่างถัดไป (ทำซ้ำจนครบ 3 ครั้ง) เสร็จแล้วคลิกปุ่ม Next ไปอีก 2 ครั้งและคลิกปุ่ม Install แล้วโปรแกรมจะเริ่มติดตั้งไฟล์ต่างๆ ลงในคอมพิวเตอร์ ดังรูปที่ 1.14



รูปที่ 1.12 ไฟล์ ISE WebPACK 8.1i (ที่แตกไฟล์แล้ว) และ Service Pack 2 (ชื่อ 8_1_02i_win.exe)

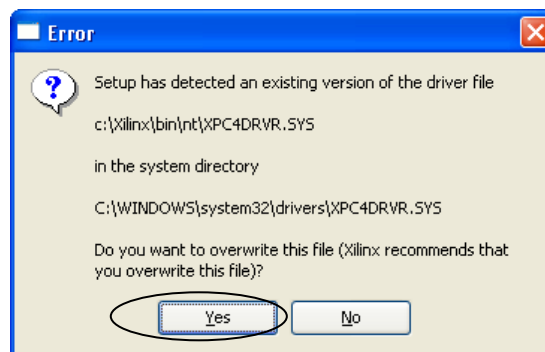


รูปที่ 1.13 หน้าต่าง Accept Software License (มี 3 หน้า)



รูปที่ 1.14 เริ่มติดตั้งซอฟต์แวร์

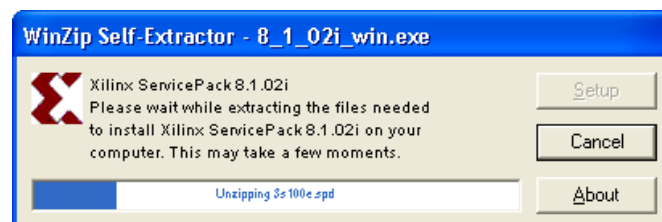
3) ในกรณีที่คอมพิวเตอร์เคยติดตั้งซอฟต์แวร์เวอร์ชันก่อนหน้านั้นในระหว่างติดตั้งอาจมีหน้าต่าง Error ปรากฏขึ้นดังรูปที่ 1.15 ให้คลิก Yes แล้วจะได้หน้าต่างถัดไปเพื่อทำการ Setup เมื่อ Setup แล้วเสร็จให้คลิก OK ก็จะถือว่าติดตั้งซอฟต์แวร์แล้วเสร็จ



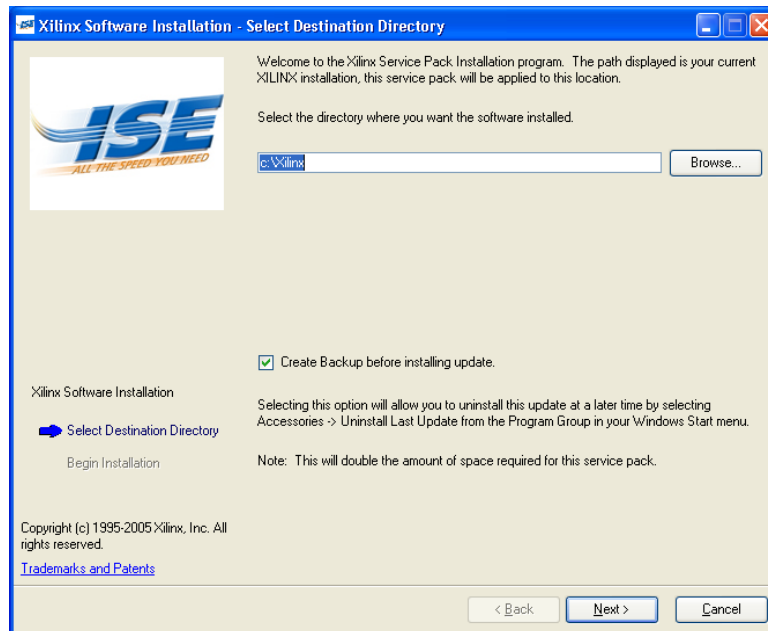
รูปที่ 1.15 ขกเลิกไฟล์ Driver ของซอฟต์แวร์เวอร์ชันเก่า

3) วิธีการติดตั้ง Service Pack 2

3.1) ในรูปที่ 1.12 จะมีไฟล์ Service Pack 2 (ชื่อ 8_1_02i_win.exe) อยู่ จากนั้นดับเบิลคลิกไฟล์ 8_1_02i_win.exe แล้วจะได้ดังรูปที่ 1.16 แล้วโปรแกรมจะทำการแตกไฟล์ .exe ออกโดยอัตโนมัติ เมื่อแตกไฟล์เสร็จแล้วจะได้ดังรูปที่ 1.17



รูปที่ 1.16 โปรแกรมจะแตกไฟล์ 8_1_02i_win.exe



รูปที่ 1.17 เลือก Directory และ Create Backup before installing update

3.2) คลิก Next ในรูปที่ 1.17 เพื่อเริ่มแบ็คอัปไฟล์ก่อนทำการติดตั้ง เมื่อแบ็คอัปไฟล์เสร็จแล้วให้คลิก OK จากนั้นคลิก Install เพื่อเริ่มติดตั้งซอฟต์แวร์ดังรูปที่ 1.18 ไปจนแล้วเสร็จ คลิก OK ก็จะถือว่าติดตั้งซอฟต์แวร์แล้วเสร็จสมบูรณ์

หมายเหตุ การใช้ซอฟต์แวร์ ISE WebPACK 8.1i นั้นมีความจำเป็นต้องติดตั้งซอฟต์แวร์ชื่อ Adobe Reader 7 ขึ้นไปควบคู่กันไป ด้วยเพื่อใช้สำหรับอ่านไฟล์ .pdf ดังนั้นหากยังไม่ได้ติดตั้งก็ให้ผู้ใช้ติดตั้งซอฟต์แวร์ชื่อ Adobe Reader นี้ด้วย



รูปที่ 1.18 หน้าต่าง Begin Installation ขณะกำลังติดตั้ง

2.17 การใช้ซอฟต์แวร์ทุลออกแบบวงจรดิจิทัลโดยใช้ FPGA

ขั้นตอนการใช้ซอฟต์แวร์ทุล ISE WebPACK 8.1i ในการออกแบบวงจรดิจิทัลด้วย FPGA โดยใช้ภาษา VHDL นั้นเกือบจะเหมือนกับ CPLD ทุกประการ เสร็จแล้วจึงดาวน์โหลดบอร์ด FPGA Discovery-III XC3S200F (หรือบอร์ด FPGA

Discovery-III XC3S200F4) ซึ่งขั้นตอนดาวน์โหลดนี้จะแตกต่างจาก CPLD ส่วนคนที่ใช้ OS ที่เป็น Microsoft Vista Business (32-bit) ให้ใช้ซอฟต์แวร์ ISE WebPACK 10.1i ซึ่งลักษณะการใช้งานแตกต่างกันเล็กน้อย

ตัวอย่างที่ 2.36 ให้ออกแบบวงจรบวกขนาด 3 บิตด้วย FPGA โดยมี Entity ชื่อ ex2vf และโค้ด VHDL แสดงดังรูป E2.1


```

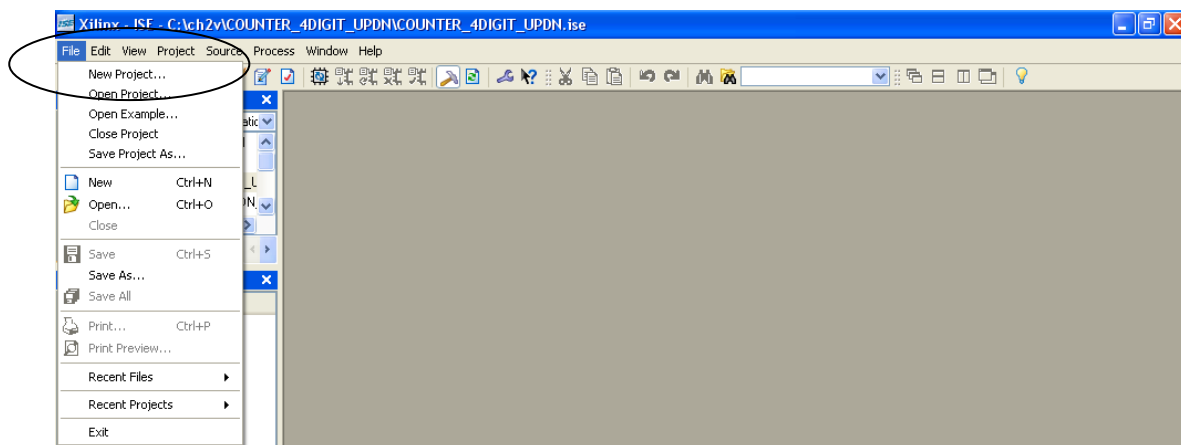
2  library IEEE;
3  use IEEE.STD_LOGIC_1164.ALL;
4  use IEEE.STD_LOGIC_UNSIGNED.ALL;
5
6  entity ex2vf is
7      Port ( A,B : in  STD_LOGIC_VECTOR (2 downto 0);
8            C : out  STD_LOGIC_VECTOR (3 downto 0));
9  end ex2vf;
10
11 architecture Behavioral of ex2vf is
12 begin
13
14     C <= ('0' & A) + ('0' & B);
15
16 end Behavioral;

```

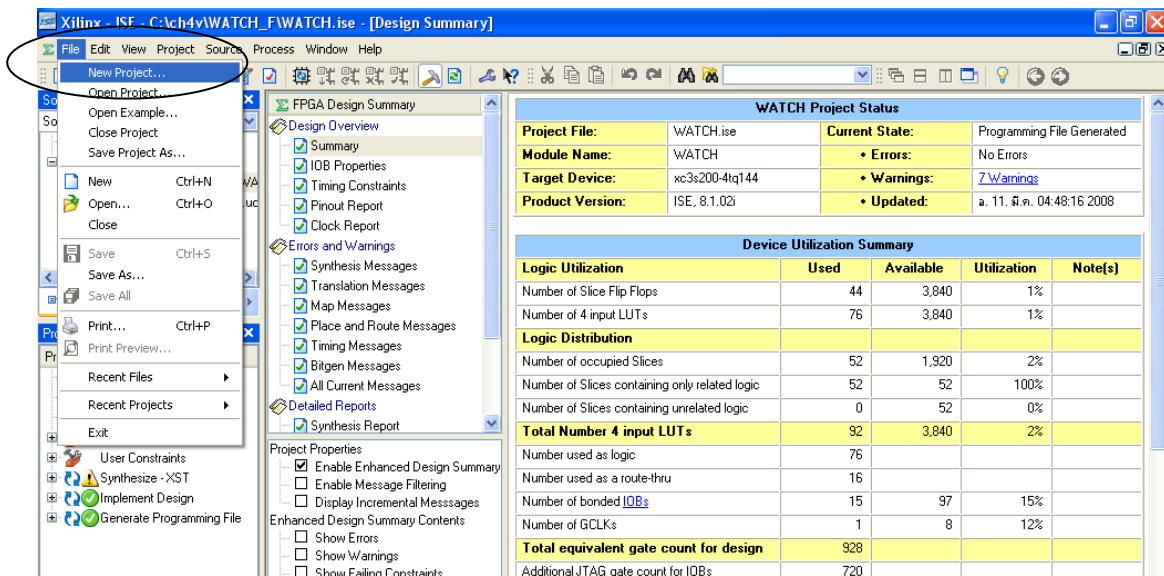
รูปที่ E2.1 โค้ดวงจรบวก 3 บิต

2.17.1 ขั้นตอนการออกแบบวงจร (Design entry)

1) ก่อนใช้ ISE WebPACK 8.1i ให้ตั้งความละเอียดจอภาพที่ 1024 x 768 pixels คอมพิวเตอร์ควรมี RAM ไม่น้อยกว่า 512 MB และควรปิดโปรแกรมอื่นๆ ที่ไม่เกี่ยวข้องทั้งหมดเพื่อป้องกันความผิดพลาดเนื่องจาก RAM เพียงไม่พอ เพื่อความสะดวกผู้เขียนแนะนำให้มี RAM ไม่น้อยกว่า 1-2 GB และควรมีพื้นที่ว่างในฮาร์ดดิสก์ประมาณไม่น้อยกว่า 10 GB ส่วนคนที่ใช้ซอฟต์แวร์ ISE WebPACK 10.1i นั้นควรมีพื้นที่ว่างในฮาร์ดดิสก์ประมาณไม่น้อยกว่า 15-20 GB จากนั้นจึงสร้าง Folder ชื่อ ch2v (หรือชื่ออื่น) ไว้ในไดรฟ์ C จากนั้นเริ่มที่จอคอมพิวเตอร์โดยคลิกปุ่ม Start -> Programs -> Xilinx ISE 8.1i -> Project Navigator หรือดับเบิลคลิกที่  Xilinx ISE 8.1i แล้วจะได้หน้าต่าง Xilinx-ISE (ถ้ามีหน้าต่าง Tip of the Day ซ้อนขึ้นมาให้คลิก OK) คลิกที่ File -> New Project ดังรูปที่ E2.2a) หรือรูปที่ E2.2b) แล้วจะได้หน้าต่าง (หรือ Dialog box) New Project Wizard-Create New Project



E2.2a) หน้าต่าง Xilinx-ISE

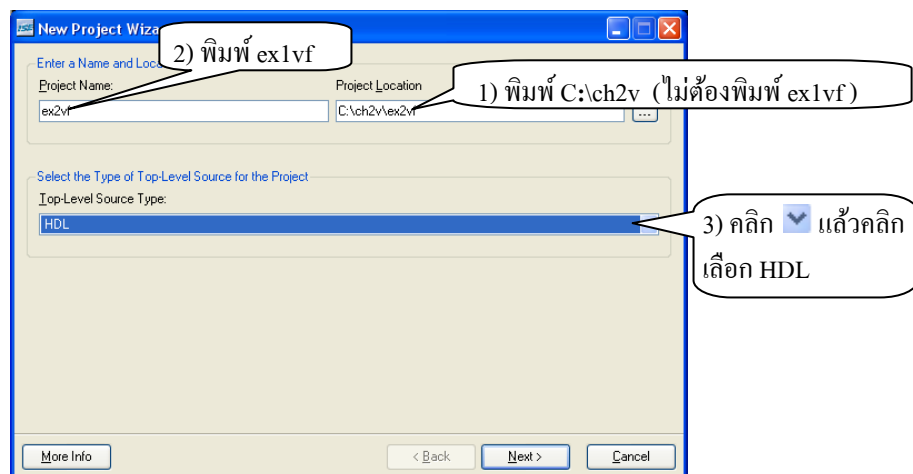


E2.2b) หน้าต่าง Xilinx-ISE

รูปที่ E1.2 หน้าต่าง Xilinx-ISE ที่ความละเอียดจอภาพ 1024 by 768 pixels อาจจะเป็นดังรูป E1.2a) หรือ E1.2b)

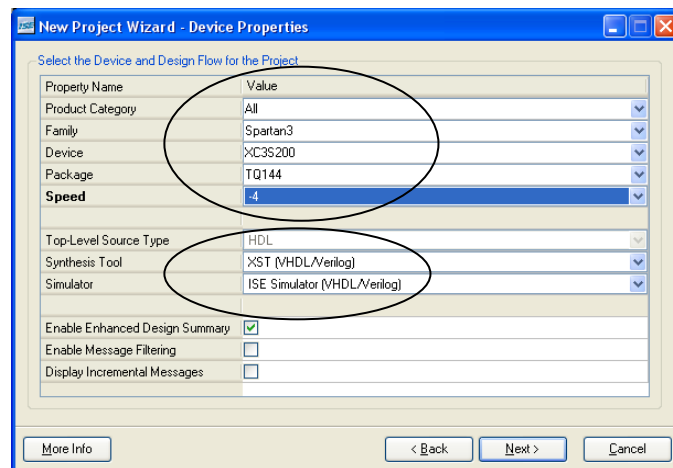
2) ที่หน้าต่าง New Project Wizard-Create New Project สร้างโปรเจกต์ไฟล์ (Project File) ใหม่โดยพิมพ์ชื่อ ch2v (ชื่อ Folder) ลงในช่องว่างของ Project Location ก่อน แล้วจึงพิมพ์ชื่อ ex2vf ลงในช่องว่างของ Project Name คลิกที่ Top-Level Source Type เป็น HDL แล้วจะได้ดังรูปที่ E2.3 คลิก Next แล้วจะได้หน้าต่าง New Project Wizard-Device Properties

หมายเหตุ การตั้งชื่อจะใช้กฎเกณฑ์ที่กำหนดในภาษา VHDL ในข้อ 2.4 คือ จะต้องขึ้นต้นด้วย A-Z, a-z และตัวถัดไปอาจเป็น A-Z, a-z, 0-9 หรือ Underscores (_) แต่ห้ามจบด้วย (_) และห้ามเว้นช่องว่างระหว่างตัวอักษร

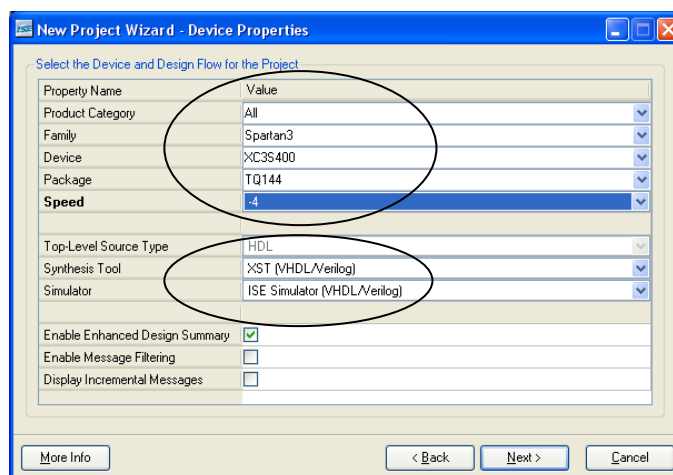


รูปที่ E2.3 หน้าต่าง New Project Wizard-Create New Project

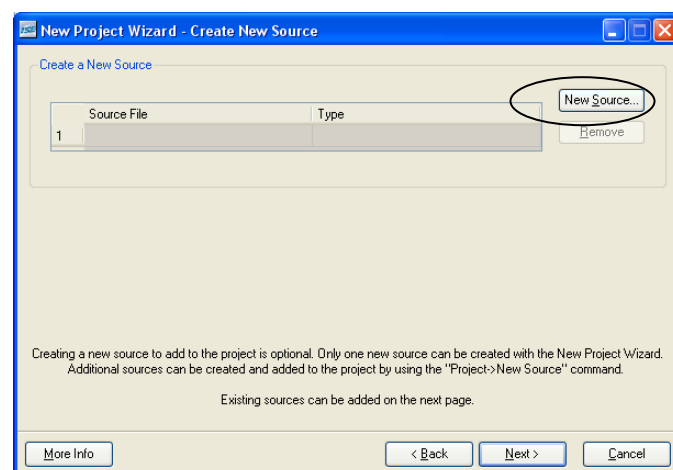
3) ในกรณีที่ใช้ออร์ด FPGA Discovery-III XC3S200F ให้คลิกดังรูปที่ E2.4 คือ FPGA ตระกูล (Family) Spartan3, เบอร์ (Device) XC3S200, Package แบบ 144 ขา (Package : TQ144) และ Speed Grade : -4 แต่ถ้าใช้ออร์ด FPGA Discovery-III XC3S200F4 ให้คลิกเป็นเบอร์ XC3S400 ดังรูปที่ E2.5 แล้วเลือกที่ Synthesis tool เป็น XST (VHDL/Verilog) และ Simulator เป็น ISE Simulator (VHDL/Verilog) จากนั้นคลิก Next ในรูปที่ E2.4 (หรือในรูปที่ E2.5) แล้วจะได้หน้าต่างดังรูปที่ E2.6



รูปที่ E2.4 หน้าต่าง New Project Wizard–Device Properties ในกรณีที่ใช้ FPGA เบอร์ XC3S200-4TQ144C

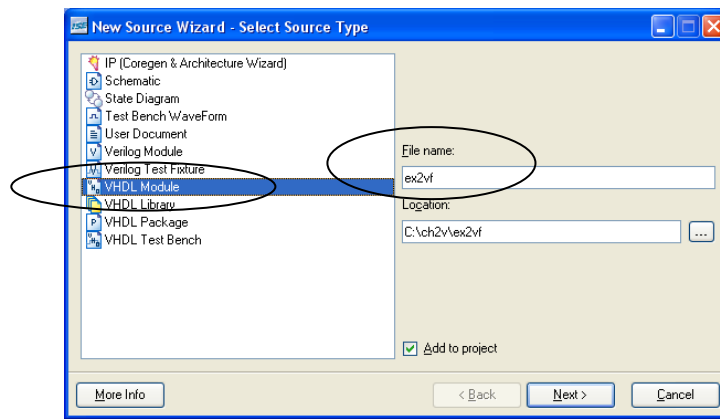


รูปที่ E2.5 หน้าต่าง New Project Wizard–Device Properties ในกรณีที่ใช้ FPGA เบอร์ XC3S400-4TQ144C

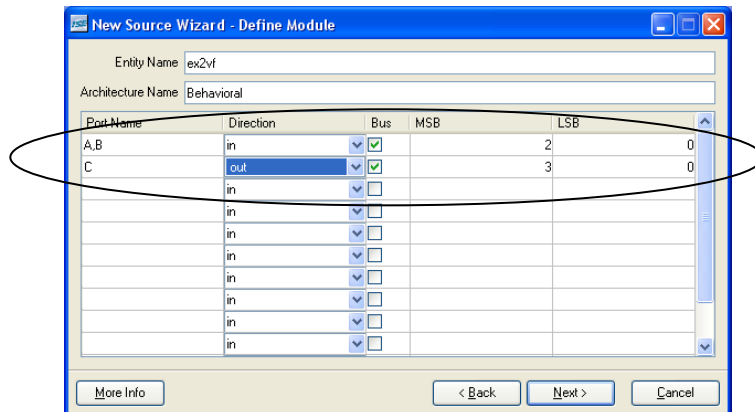


รูปที่ E2.6 หน้าต่าง New Project Wizard–Create New Source

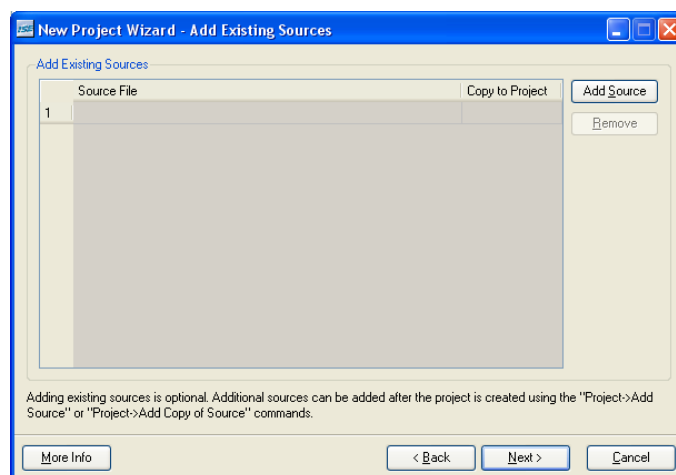
4) คลิกปุ่ม New Source ในรูปที่ E2.6 แล้วจะได้หน้าต่างถัดไป พิมพ์ชื่อ Source File ชื่อ ex2vf ลงในช่อง File Name แล้วคลิกที่ VHDL Module ดังรูปที่ E2.7 คลิก Next แล้วจะได้หน้าต่างดังรูปที่ E2.8 เมื่อกำหนดคอนฟิกร์ A,B และเอาต์พุต C เรียบร้อยแล้วคลิก Next 1 ครั้ง คลิก Finish 1 ครั้ง แล้วคลิก Next อีก 1 ครั้งก็จะได้นหน้าต่าง New Project Wizard-Add Existing Source ดังรูปที่ E2.9 (ซึ่งจะอธิบายในภายหลัง)



รูปที่ E2.7 หน้าต่าง New Source Wizard–Select Source Type

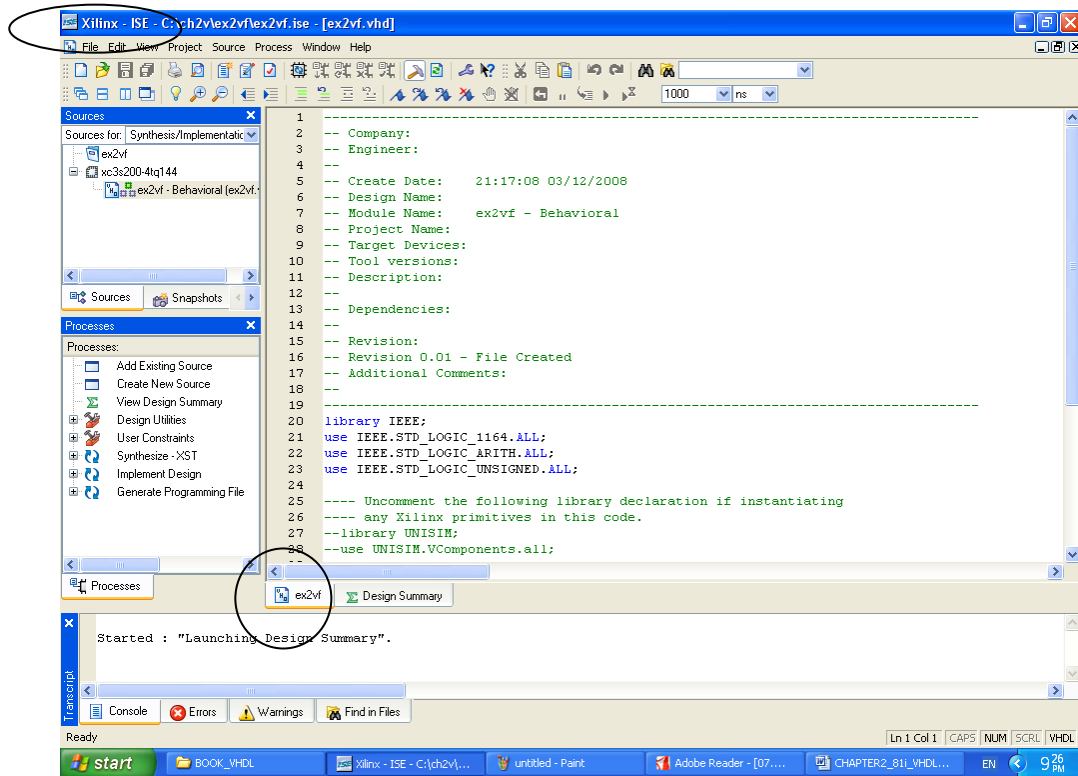


รูปที่ E2.8 หน้าต่าง New Source Wizard–Define Module ซึ่งกรณีเป็นบัสให้คลิก “√” ที่คอลัมน์ Bus ด้วย

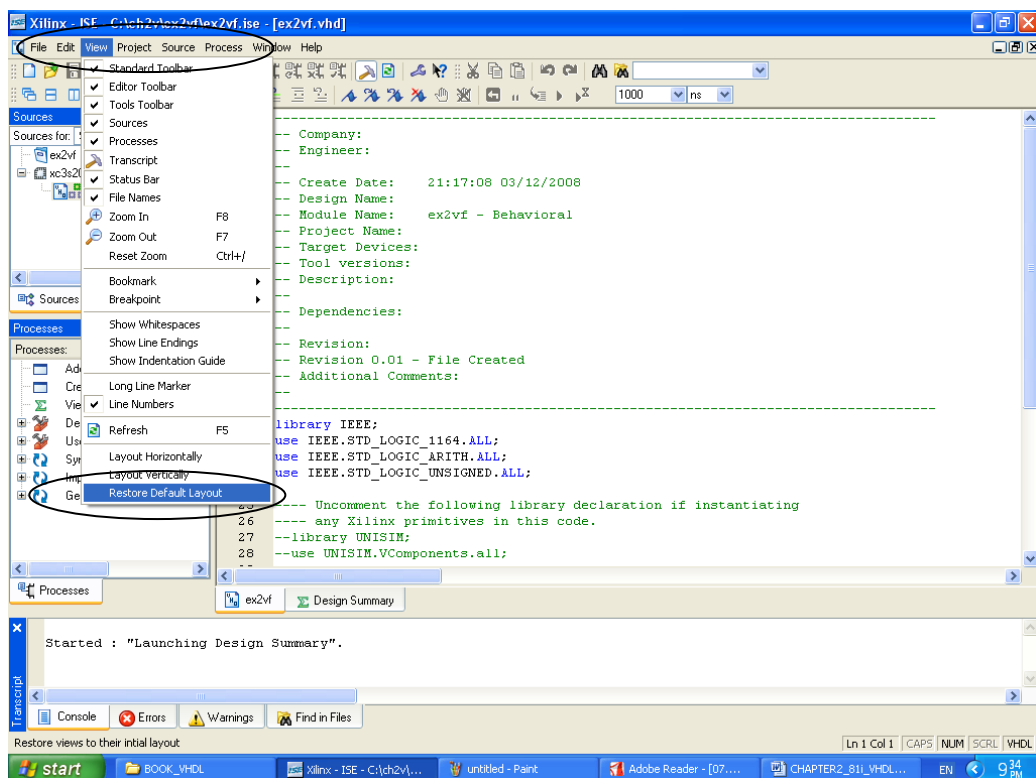


รูปที่ E2.9 หน้าต่าง New Project Wizard–Add Existing Source

- 5) จากรูปที่ E2.9 คลิก Next 1 ครั้ง คลิก Finish อีก 1 ครั้งแล้วจะได้หน้าต่าง Xilinx–ISE จากนั้นคลิก Tab ex2vf ที่อยู่ด้านล่างแล้วจะได้หน้าต่างสำหรับเขียนโค้ด VHDL (โปรแกรม Text Editor) ดังรูปที่ E2.10
- 6) ที่หน้าต่าง Xilinx-ISE ดังรูปที่ E2.10 ให้ผู้อ่านทำความเข้าใจเกี่ยวกับหน้าต่างนี้ โดยคลิก View ดังรูปที่ E2.11 แล้วคลิกที่แถบของข้อความต่างๆ คู่มือพร้อมกับการเปลี่ยนแปลงในส่วนของหน้าต่างย่อยต่างๆ ว่ามีหน้าต่างใดหายไปบ้าง และถ้าต้องการให้หน้าต่างต่างๆ กลับมามีลักษณะเหมือนเดิมให้คลิกที่แถบล่างสุดคือ Restore Default Layout

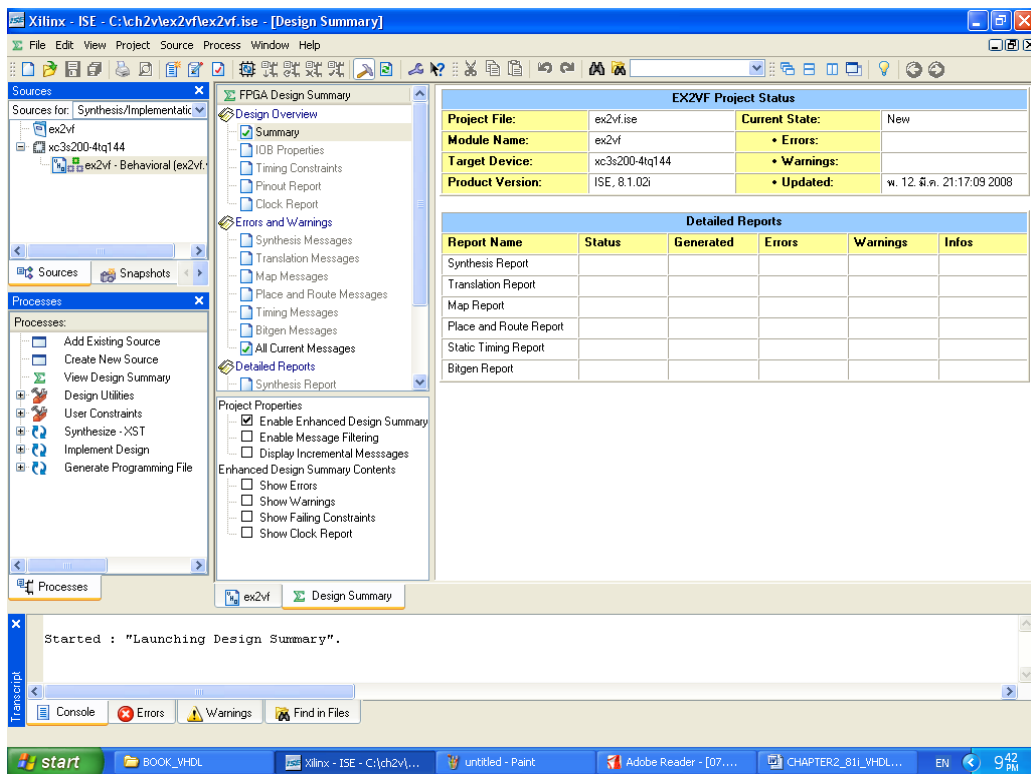


รูปที่ E2.10 หน้าต่าง Xilinx-ISE สำหรับเขียนโค้ด VHDL (โปรแกรม Text Editor)



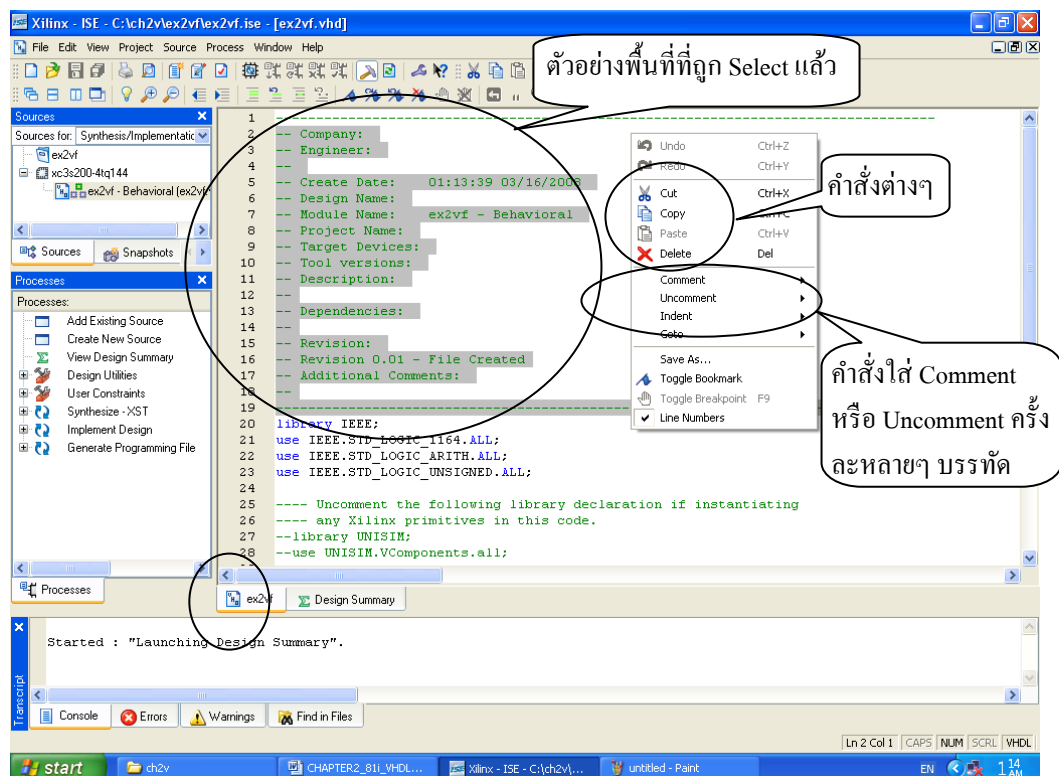
รูปที่ E2.11 การใช้ View

7) ก่อนทำขั้นตอนต่อไปควรทำความรู้จักกับหน้าต่างหลัก Xilinx-ISE (Project Navigator main window) ดังรูปที่ E2.12 ซึ่งจะเหมือนกับกรณี CPLD ทุกประการดังที่ได้อธิบายในรูปที่ E1.12




รูปที่ E2.12 หน้าต่างหลัก Project Navigator (ความละเอียดจอภาพ 1024 x 768 pixels)

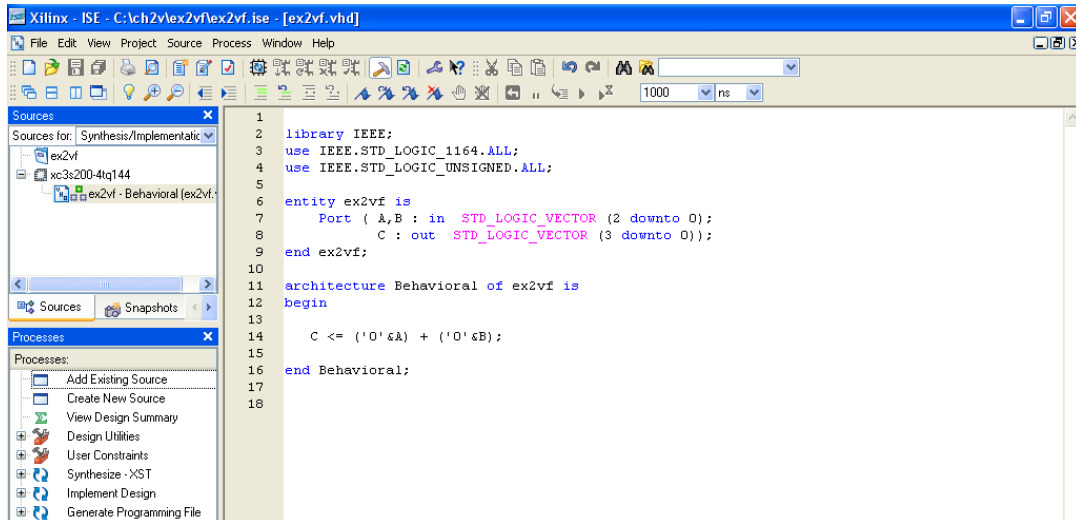
8) จากนั้นให้ลองคลิกขวาที่หน้าต่างหลัก (Workspace) ก็จะพบว่ามีคำสั่งต่างๆ ที่เราคุ้นเคยกันดีอยู่แล้วดังในรูปที่ E2.13






รูปที่ E2.13 หน้าต่างหลัก (Workspace)

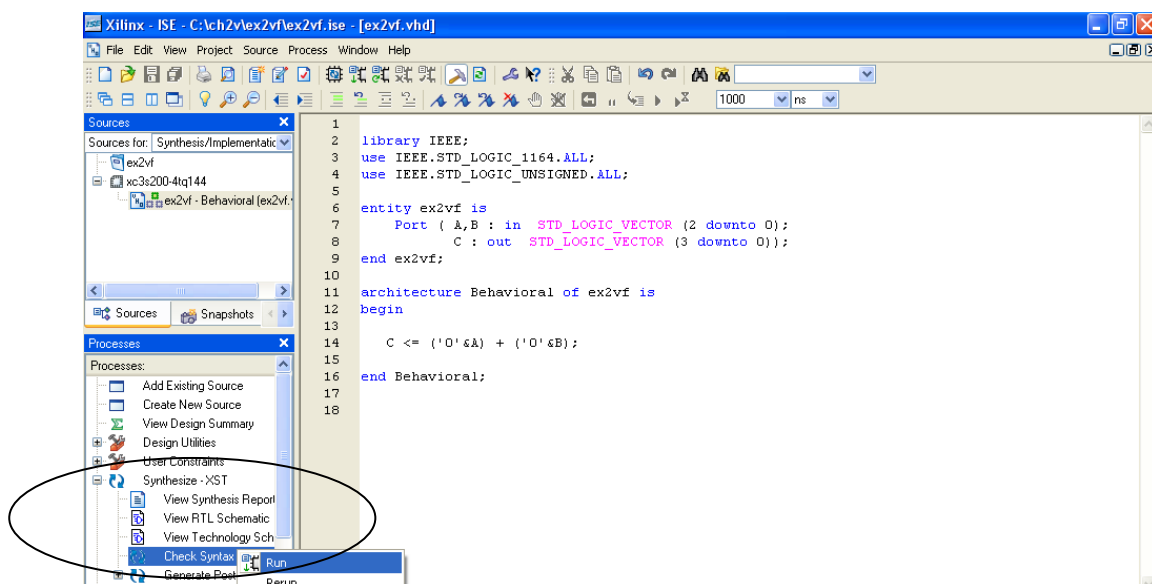
หมายเหตุ ในรูปที่ E2.13 การใส่ Comment แบบหลายๆ บรรทัดสามารถทำได้เช่นเดียวกับการออกแบบด้วย CPLD ทุกประการ

9) ทำการปรับปรุงแก้ไขโค้ดให้เป็นตามรูปที่ E2.1 ซึ่งจะเห็นว่าตัวซอฟต์แวร์เป็นคนที่จัดการให้เราเกือบทั้งหมด โดยเราเขียนเฉพาะบรรทัดที่ 14 เพียงบรรทัดเดียวเท่านั้น เมื่อเสร็จแล้วจะได้ดังรูปที่ E2.14 แล้วคลิก  บันทึกไฟล์

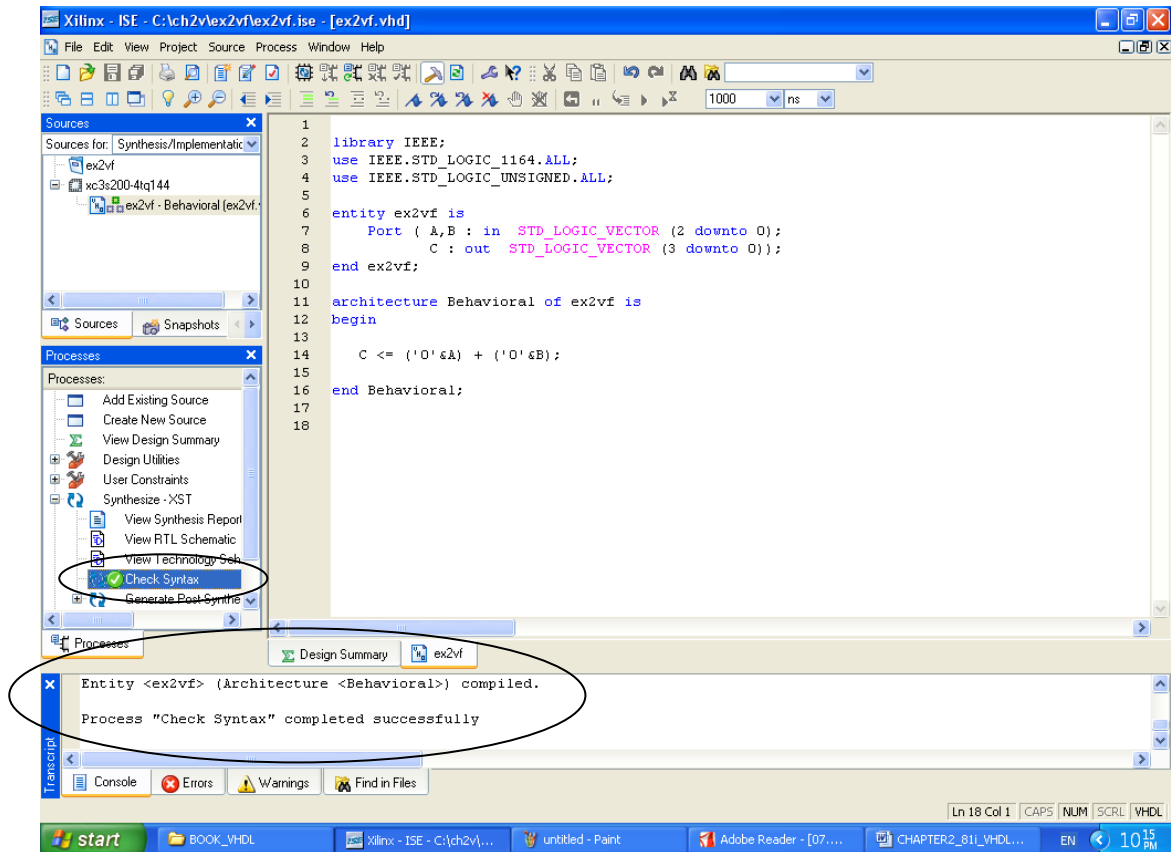


รูปที่ E2.14 โค้ด VHDL ของวงจรบวก 3 บิตที่เขียนเสร็จเรียบร้อยแล้ว

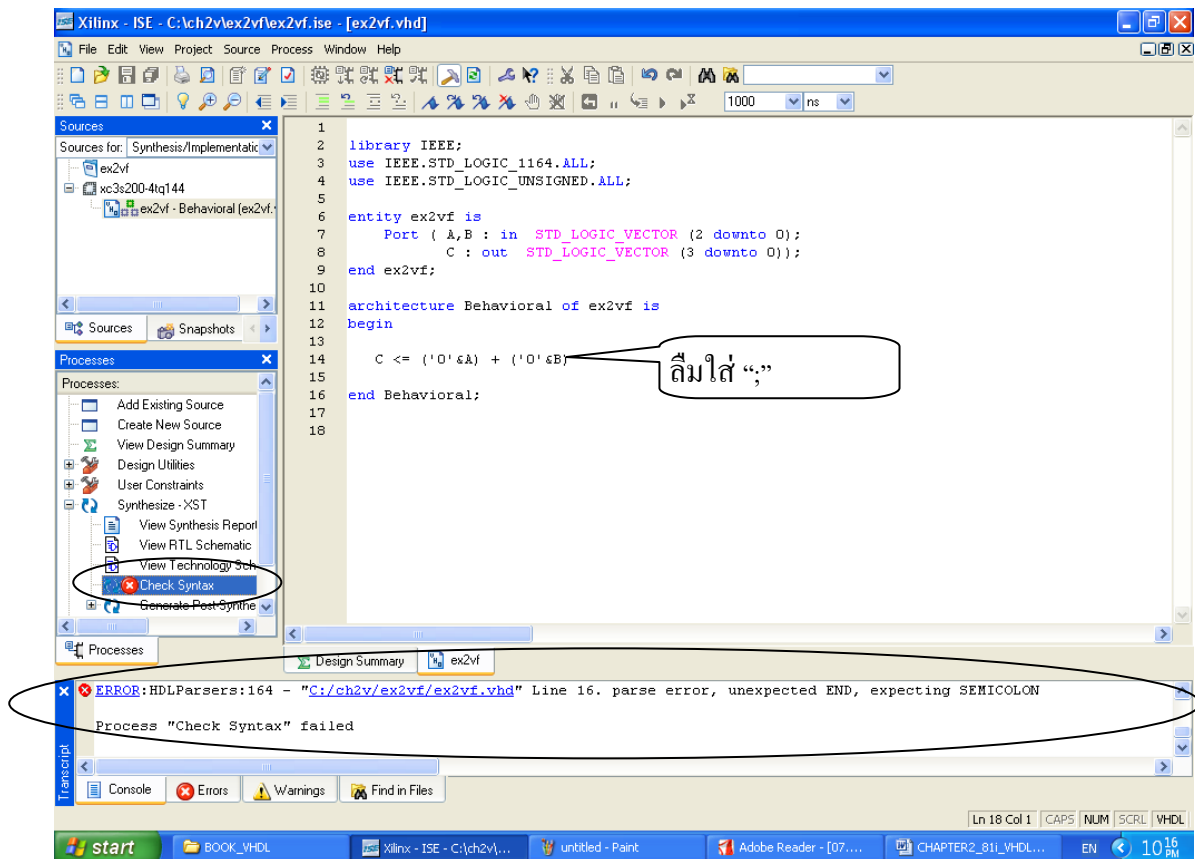
10) การตรวจสอบความถูกต้อง (Syntax) ของโค้ด คลิกที่ “+” หน้า Synthesize-XST ในหน้าต่าง Process จนเป็น “-” คลิกขวาที่ Check Syntax แล้วคลิก Run ดังรูปที่ E2.15 ถ้าไม่มีข้อผิดพลาดจะปรากฏข้อความในหน้าต่าง Transcript ว่า Process “Check Syntax” completed successfully ดังรูปที่ E2.16 ในขั้นตอนนี้อธิบายว่าโค้ดถูก Compiled เรียบร้อยแล้ว แต่ถ้ามีข้อผิดพลาด เช่น ดังรูปที่ E2.17 บอกว่า Line 16. parse error, unexpected END, expecting SEMICOLON ซึ่งลืมใส่ “;” (Semicolon) ตอนจบบรรทัดที่ 14 เมื่อแก้ไขแล้วคลิก  บันทึกไฟล์ แล้วให้ตรวจสอบความถูกต้องซ้ำอีกครั้ง ถ้าไม่มีข้อผิดพลาดอีกก็ถือว่าขั้นตอน Design entry นี้เสร็จสมบูรณ์แล้ว คลิก  (สีแดง) เพื่อปิดโปรแกรม Text Editor และกลับไปหน้าต่าง Xilinx-ISE แล้วจะได้ดังรูปที่ E2.18 หรือคลิก  (สีแดง) หากมีความต้องการออกจากโปรแกรม ISE WebPACK 8.1i



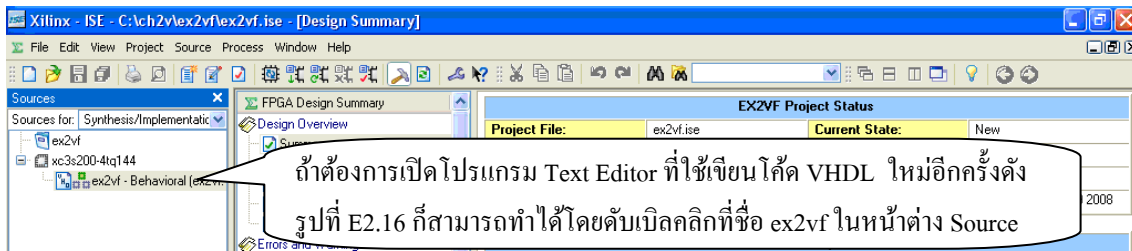
รูปที่ E2.15 การตรวจสอบความถูกต้อง



รูปที่ E2.16 หน้าต่าง Xilinx-ISE เมื่อ Check syntax ผ่าน



รูปที่ E2.17 การเขียนโค้ดที่มีข้อผิดพลาด



รูปที่ E2.18 หน้าต่าง Xilinx-ISE

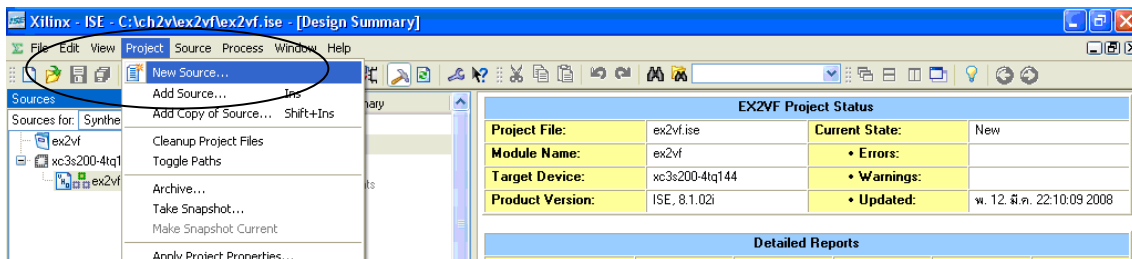
2.17.2 การตรวจสอบความถูกต้องของวงจรที่ออกแบบ (Design Verification)

การตรวจสอบความถูกต้องของวงจรที่ออกแบบนั้นทำได้โดยนำโค้ด VHDL ที่ได้ไปจำลองการทำงาน (Simulation) ซึ่งการจำลองการทำงานในเบื้องต้นที่อธิบายในข้อนี้จะใช้ Waveform Editor ส่วนการจำลองการทำงานที่ซับซ้อนนั้นจำเป็นต้องเขียน Testbench โดยจะอธิบายในบทที่ 6 การจำลองเฉพาะพฤติกรรม (Behavioral simulation) นั้นจะไม่คำนึงผลเวลาล่าช้า (Delay time) ต่างๆ โค้ดที่เขียนนี้อาจนำไปสังเคราะห์วงจร (Synthesis) ได้หรือไม่ก็ได้ก็ได้ แต่สามารถเขียนโค้ดได้รวดเร็ว

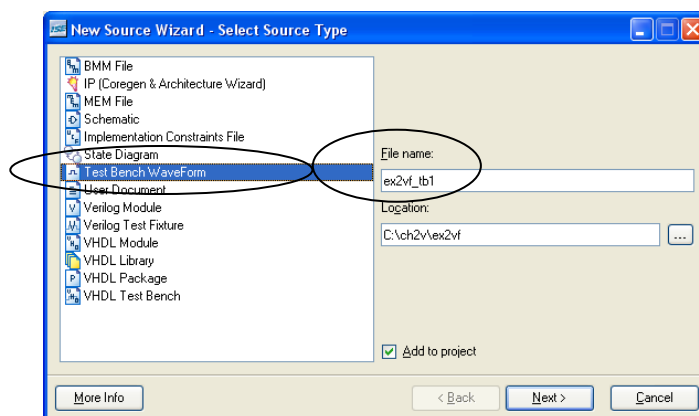
การออกแบบวงจรที่ไม่มีความซับซ้อนนั้นอาจไม่จำเป็นต้องทำขั้นตอนการตรวจสอบความถูกต้องของวงจรที่ออกแบบ (Design Verification) ผู้อ่านสามารถข้ามไปทำหัวข้อ 2.17.3 ซึ่งเป็นขั้นตอนการสังเคราะห์วงจร (Design synthesis) ได้เลย

หลังจากที่เราเขียนโค้ด VHDL และตรวจสอบความถูกต้อง (Syntax) ของโค้ดเรียบร้อยแล้ว ขั้นตอนจำลองเฉพาะพฤติกรรม (Behavioral simulation) ของวงจรโดยใช้ Waveform Editor สามารถทำได้ดังนี้

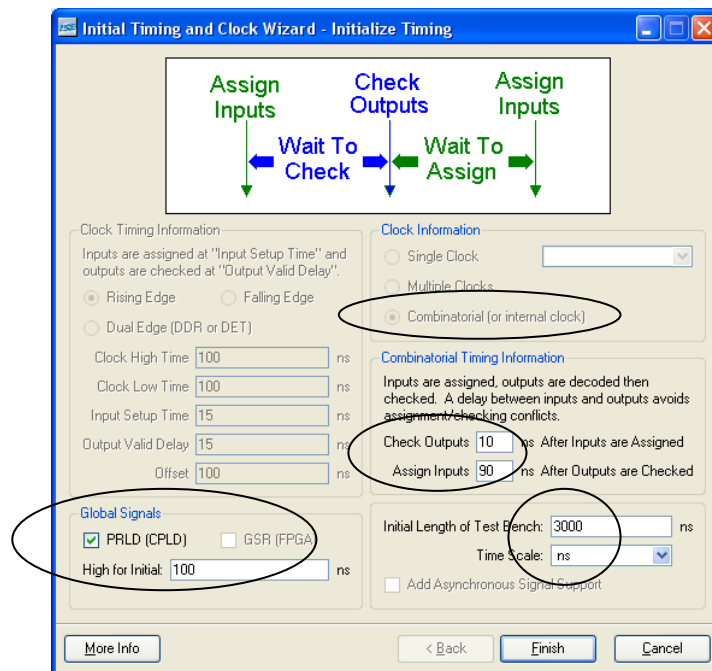
1) คลิก Project->New Source ดังรูปที่ E2.19 แล้วจะได้หน้าต่าง New Source Wizard-Select Source Type พิมพ์ชื่อ ex2vf_tb1 (ห้ามตั้งชื่อไปซ้ำกับชื่อ ex2vf) แล้วคลิกที่ Test Bench Waveform ดังรูปที่ E2.20 จากนั้นคลิก Next 2 ครั้งและคลิก Finish อีก 1 ครั้งแล้วจะได้หน้าต่างถัดไป จากนั้นเลือกและกำหนดค่าต่างๆ ดังรูปที่ E2.21



รูปที่ E2.19 หน้าต่าง Xilinx-ISE



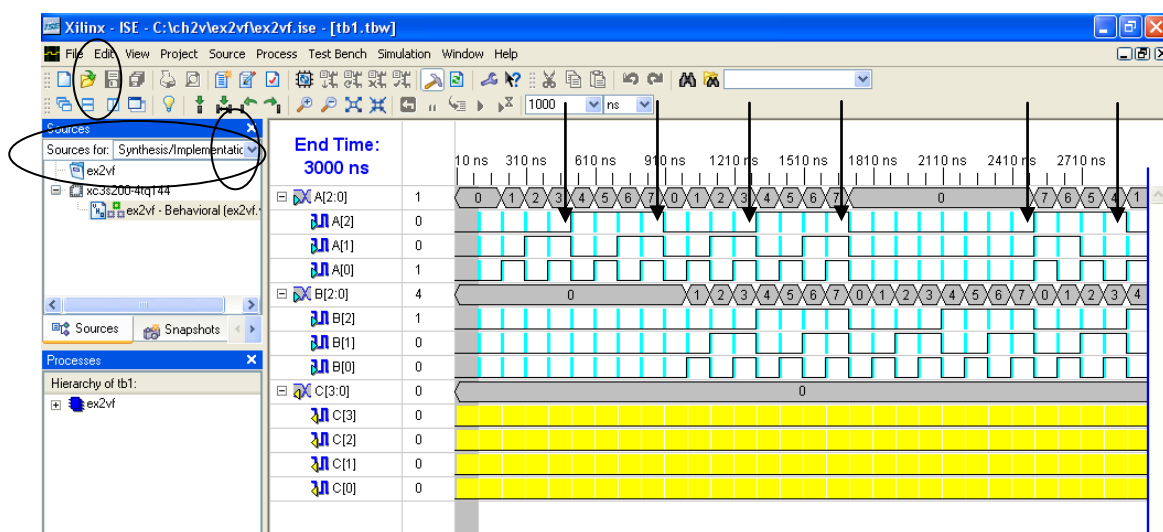
รูปที่ E2.20 หน้าต่าง New Source Wizard-Select Source Type



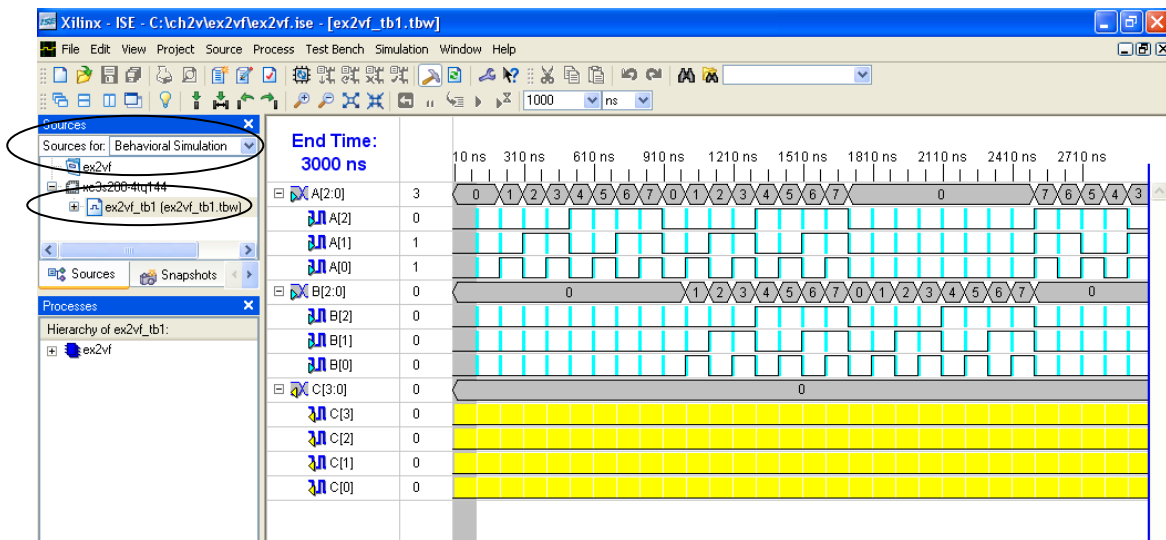
รูปที่ E2.21 หน้าต่าง Initial Timing and Clock Wizard

หมายเหตุ ในทางปฏิบัติเมื่อเราป้อนอินพุตให้กับวงจรต่างๆ แล้วจะไม่ได้เอาต์พุตทันที เวลาที่รอปจนกระทั่งได้เอาต์พุตออกมาเรียกว่า Propagation delay time ซึ่งเป็นเวลาล่าช้าที่เกิดในวงจร ในรูปที่ E2.21 นั้นเราสมมุติให้เวลาล่าช้านี้เท่ากับ 10 ns

2) ทำการป้อนอินพุต A[2:0] และ B[2:0] เช่น การป้อนอินพุต A[2:0] ก็ให้เริ่มป้อนลักษณะรูปคลื่น (Waveform) โดยคลิกเครื่องหมาย “+” หน้า A[2:0] จนเป็น “-” แล้วจะปรากฏแถว A[2], A[1] และ A[0] จากนั้นจึงป้อนลักษณะรูปคลื่นในแต่ละแถวจาก A[0], A[1] และ A[2] ตามลำดับ เช่น ถ้าป้อน A[2] ก็สามารทำได้โดยคลิกที่พื้นที่สีขาวที่อยู่บริเวณระหว่างแถบสีฟ้าอ่อน (คลิกตรงช่องที่ปลายลูกศรชี้) จากนั้นจึงป้อน B[0], B[1] และ B[2] ตามลำดับ เมื่อป้อนลักษณะรูปคลื่นทั้งหมดเสร็จแล้วจะได้ดังรูปที่ E2.22 แล้วจึงคลิก บันทึกไฟล์ จากนั้นคลิก แล้วคลิกที่ Behavior Simulation เพื่อเพิ่มไฟล์ ex1vcx1_tb1 เข้าไปโดยอัตโนมัติดังรูปที่ E2.23 คลิก (สีแดง) เพื่อปิดโปรแกรมและกลับไปหน้าจอ Xilinx-ISE (ดูรูปที่ E2.24)

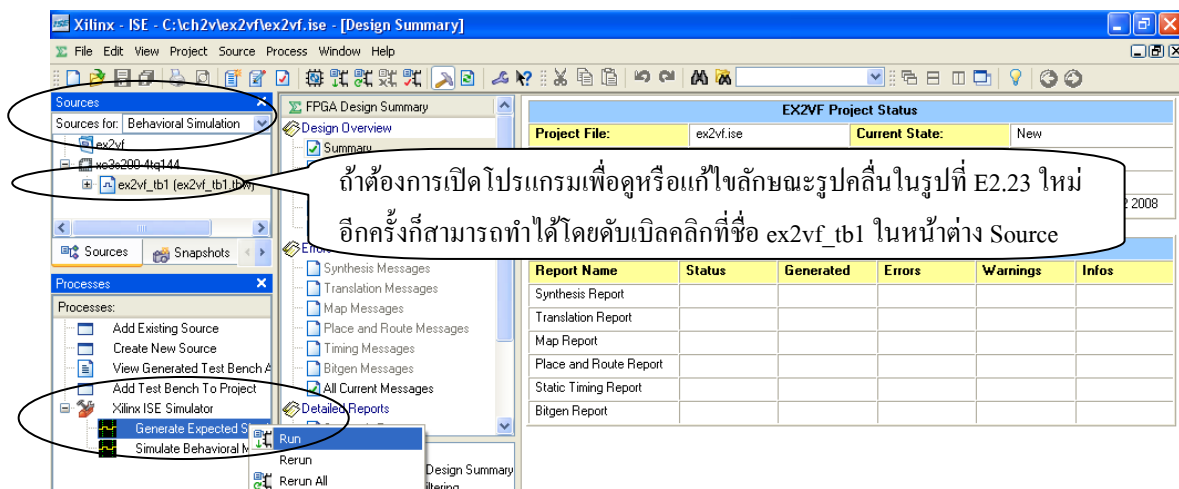


รูปที่ E2.22 หน้าต่างสำหรับกำหนดสัญญาณต่างๆ ที่ป้อนให้กับอินพุตของวงจรที่เราต้องการทดสอบ

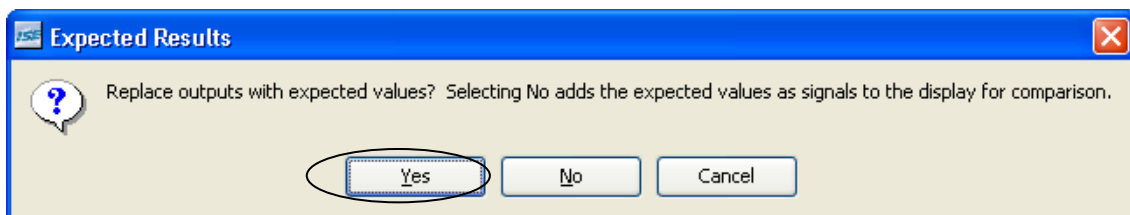


รูปที่ E2.23 หน้าต่างสำหรับกำหนดสัญญาณต่างๆที่ป้อนให้กับอินพุตของวงจรที่เราต้องการทดสอบ

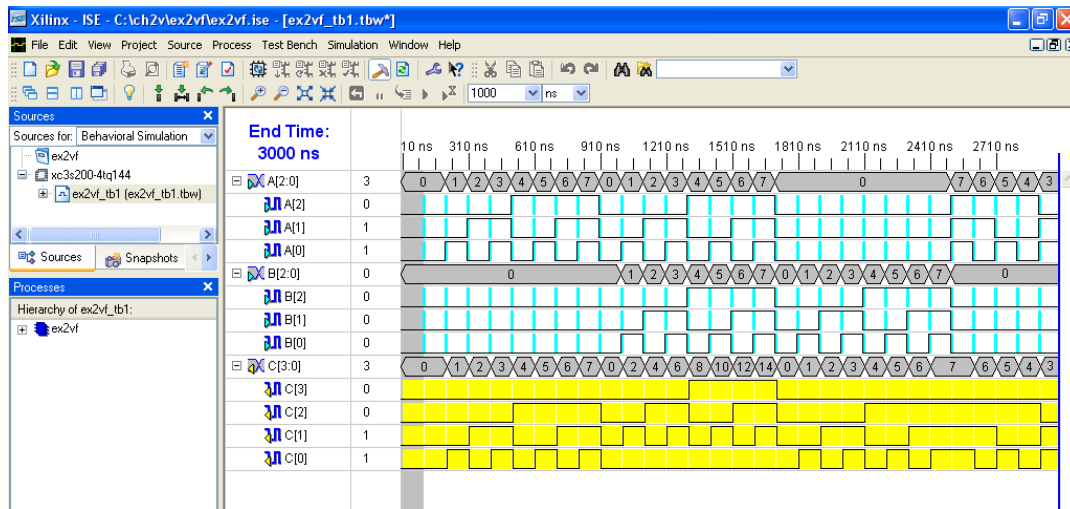
- 3) ขั้นตอน Create a self-checking test bench เพื่อสร้างสัญญาณเอาต์พุตโดยอัตโนมัติ เริ่มที่หน้าต่าง Xilinx-ISE คลิก แล้วคลิกที่แถบ Behavior Simulation และคลิกเลือกไฟล์ชื่อ ex2vf_tb1 ในหน้าต่าง Source คลิกเครื่องหมาย “+” หน้า Xilinx ISE Simulator และคลิกขวาที่แถบ Generate Expected Simulation Results แล้วคลิก Run ในหน้าต่าง Processes ดังรูปที่ E2.24 แล้วจะได้ดังรูปที่ E2.25 เมื่อคลิก Yes แล้วจะได้ดังรูปที่ E2.26 คลิก บันทึกไฟล์ คลิก (สีแดง) เพื่อปิดโปรแกรมและกลับไปหน้าต่าง Xilinx-ISE อีกครั้ง



รูปที่ E2.24 หน้าต่าง Xilinx-ISE

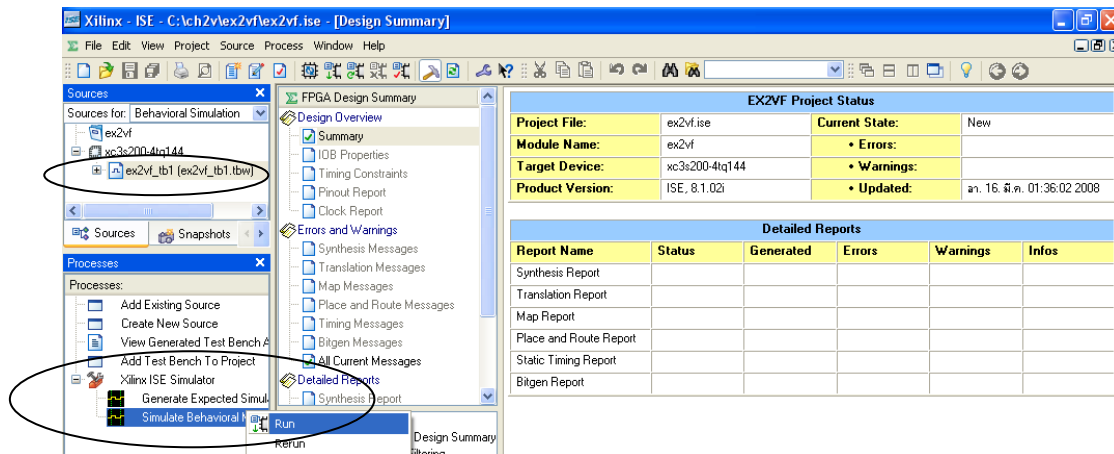


รูปที่ E2.25 หน้าต่าง Expected Results

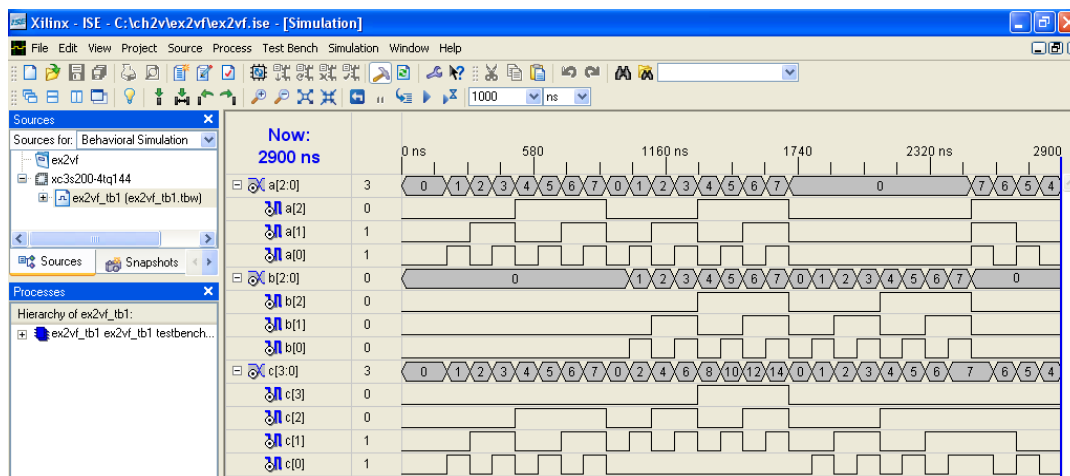


รูปที่ E2.26 ผลที่ได้ในขั้นตอน Create a self-checking test bench

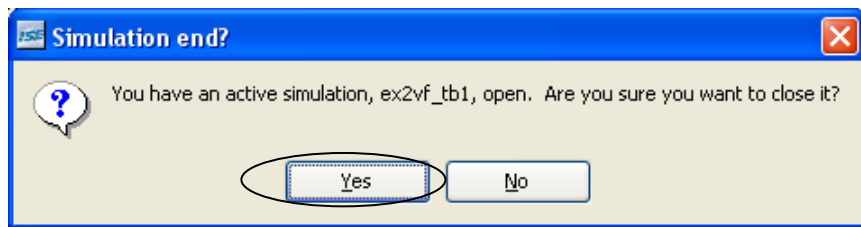
4) ในรูปที่ E2.26 ถ้าได้เอาต์พุตตรงตามที่จะทำ Behavioral simulation โดยคลิกขวาที่ Simulate Behavioral Model แล้วคลิก Run ดังรูปที่ E2.27 แล้วจะได้ดังรูปที่ E2.28 ซึ่งการ Simulation นี้จะไม่นำผลของเวลาล่าช้าหรือ Delay ต่างๆ มาคิด จึงเป็นการตรวจสอบความถูกต้องขั้นต้นเท่านั้น คลิก **X** (สีดำ) ปิดโปรแกรมแล้วคลิก Yes ในรูปที่ E2.29 เพื่อกลับไปหน้าจอ Xilinx-ISE จากนั้นคลิก **V** แล้วคลิกที่ Synthesis/Implementation ดังรูปที่ E2.30 เพื่อเตรียมพร้อมที่จะทำขั้นตอนต่อไป



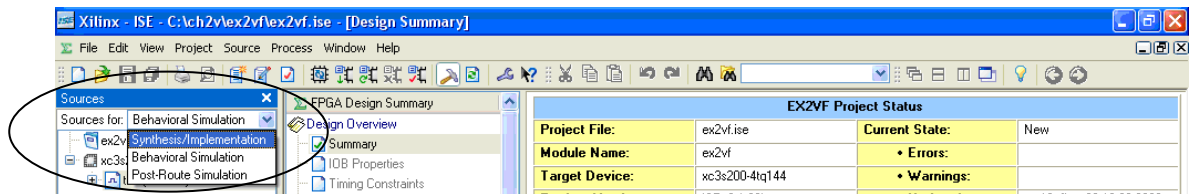
รูปที่ E2.27 ขั้นตอน Behavioral simulation



รูปที่ E2.28 แสดงผล Behavioral simulation ของวงจรบวก 3 บิต (ซึ่งในขั้นตอนนี้จะไม่นำผลของเวลาล่าช้ามาคิด)



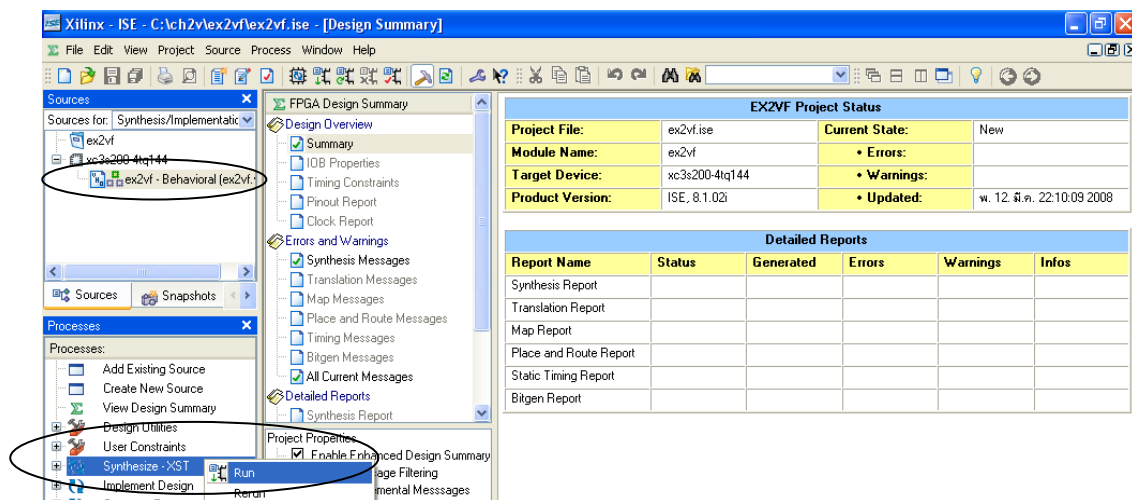
รูปที่ E2.29 หน้าต่าง Simulation end



รูปที่ E2.30 หน้าต่าง Xilinx-ISE

2.17.3 การสังเคราะห์วงจร (Design synthesis)

1) ขั้นตอนสังเคราะห์วงจร ให้คลิกที่ชื่อไฟล์ ex2vf ในหน้าต่าง Source แล้วเลื่อนเมาส์ไปที่หน้าต่าง Processes คลิกขวาแล้วคลิก Run ที่ Synthesize-XST ดังรูปที่ E2.31 (หรือดับเบิลคลิก) เสร็จแล้วถ้าได้ หรือ ดังรูปที่ E2.32 จะถือว่าสังเคราะห์วงจรผ่าน ซึ่งถ้าไม่ต้องการดูรายละเอียดผลการสังเคราะห์วงจรก็ให้ข้ามไปทำหัวข้อ 2.17.4 ขั้นตอน Design Implementation

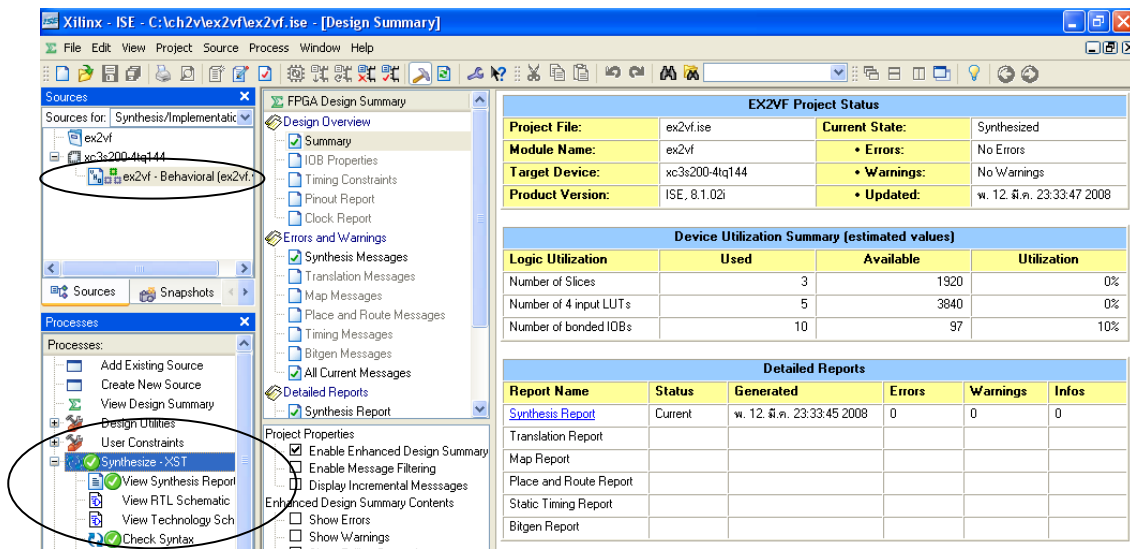


รูปที่ E2.31 ขั้นตอนสังเคราะห์วงจร

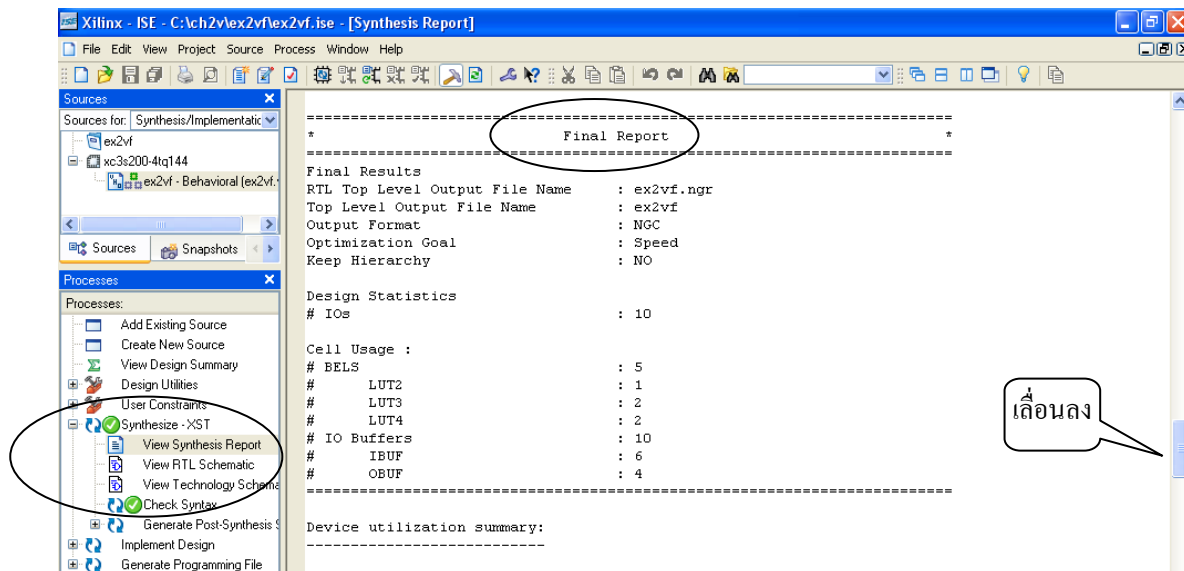
ความหมายของเครื่องหมายต่างๆ เป็นดังนี้ คือ = Running, = Up-to-date(ถือว่าผ่าน), = Warnings Reported (ถือว่าผ่าน), = Errors Reported (ไม่ผ่าน), = Out-of-Date (ให้ทำขั้นตอนนี้ซ้ำอีกครั้ง)

2) ถ้าต้องการดูรายงานผลการสังเคราะห์วงจร คลิก "+" ที่หน้า Synthesize-XST ให้เป็น "-" คลิกขวาที่ View Synthesis Report แล้วคลิก Rerun ในรูปที่ E2.32 เสร็จแล้วให้เลื่อนบาร์ลงไปดูด้านล่างที่ Final Reports ดังรูปที่ E2.33 ซึ่งแสดงรายการอุปกรณ์พื้นฐานที่นำมาสร้างวงจรที่เราออกแบบ จากนั้นคลิก (สีดำ) ที่มุมบนขวาเพื่อกลับไปหน้าต่าง Xilinx-ISE อีกครั้ง

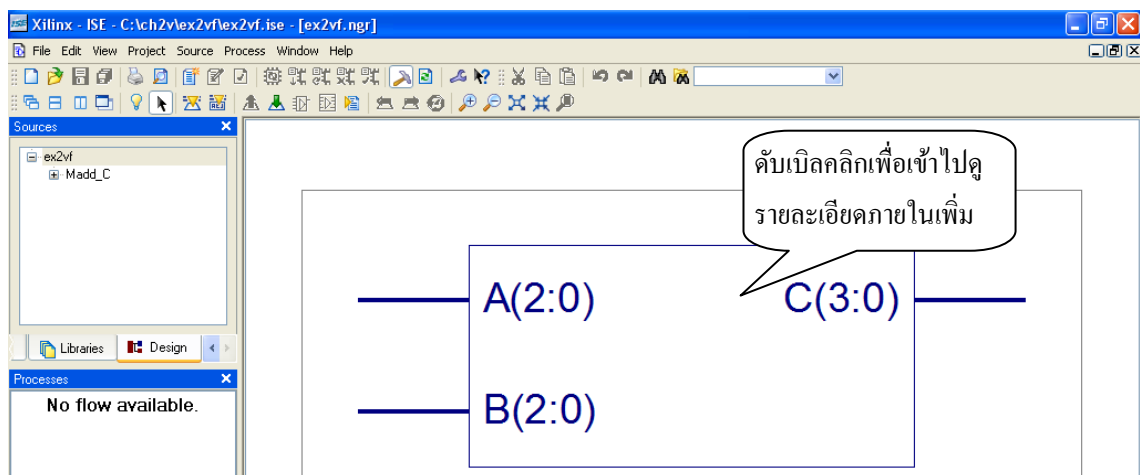
3) ถ้าต้องการดู View RTL Schematic ให้คลิกขวาที่ View RTL Schematic แล้วคลิก Run ในรูปที่ E2.32 เสร็จแล้วให้ดับเบิลคลิกที่รูป Schematic ในรูปที่ E2.34 แล้วจะได้รูปที่ E2.35 ซึ่งแสดงรายการอุปกรณ์พื้นฐานที่นำมาสร้างวงจรที่เราออกแบบ จากนั้นคลิก (สีดำ) ที่มุมบนขวาเพื่อกลับไปหน้าต่าง Xilinx-ISE อีกครั้ง



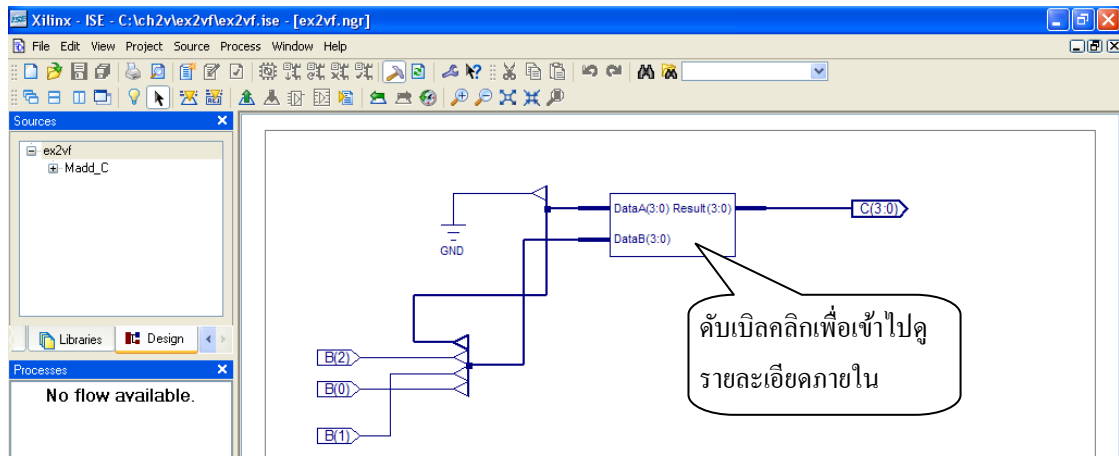
รูปที่ E2.32 หน้าต่าง Processes เมื่อสังเคราะห์วงจรเสร็จเรียบร้อยแล้ว



รูปที่ E2.33 Synthesis Report

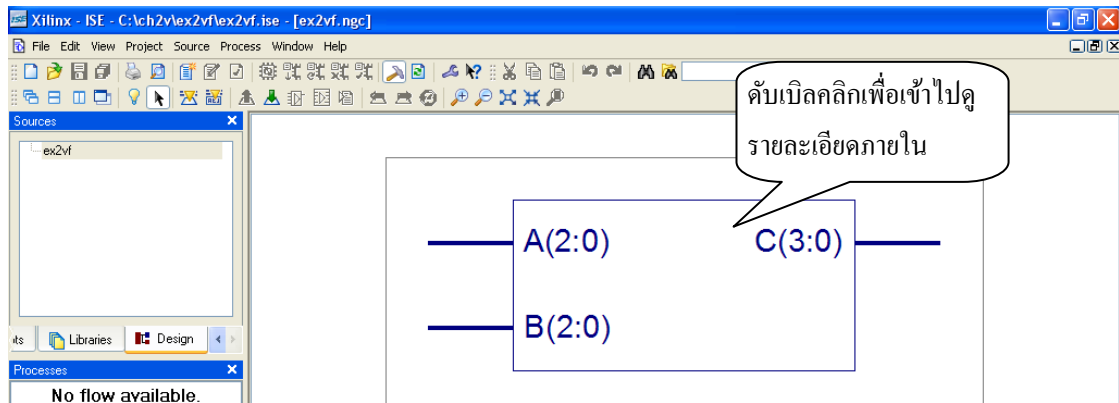


รูปที่ E2.34 View RTL Schematic

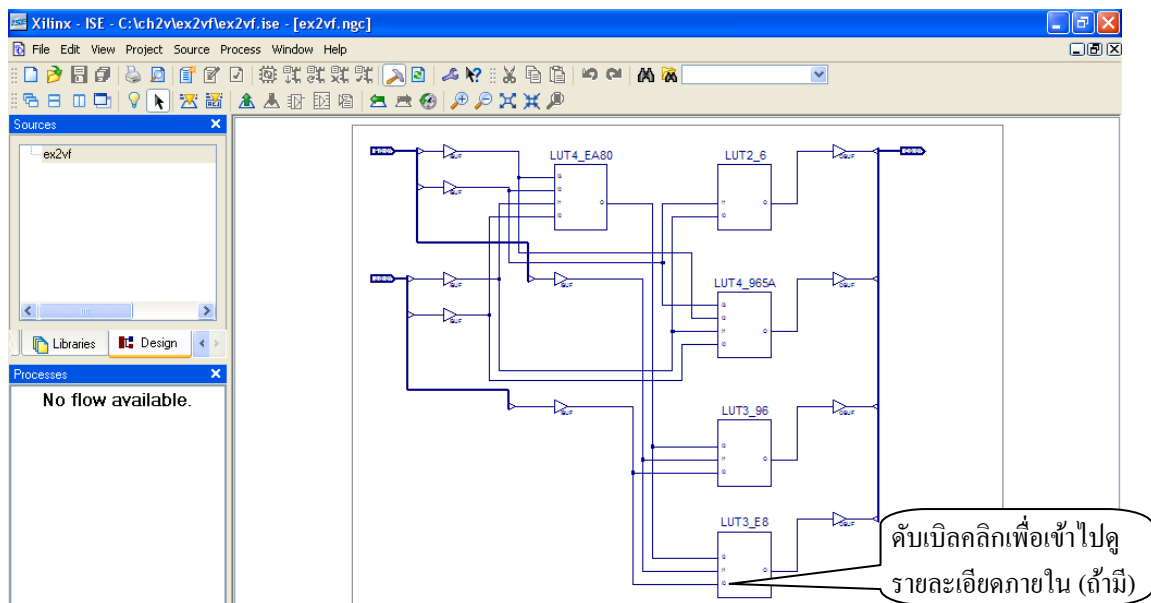


รูปที่ E2.35 View RTL Schematic ที่บอกรายละเอียดภายใน

4) ถ้าต้องการดู View Technology Schematic ให้คลิกขวาที่ View Technology Schematic แล้วคลิก Run ในรูปที่ E2.32 เสร็จแล้วให้ดับเบิลคลิกที่รูป Schematic ในรูปที่ E2.36 แล้วจะได้ดังรูปที่ E2.37 ซึ่งแสดงรายการอุปกรณ์พื้นฐานที่นำมาสร้างวงจรที่เราออกแบบ จากนั้นคลิก **X** (สีแดง) ที่มุมบนขวาเพื่อกลับไปหน้าจอ Xilinx-ISE อีกครั้ง



รูปที่ E2.36 View Technology Schematic

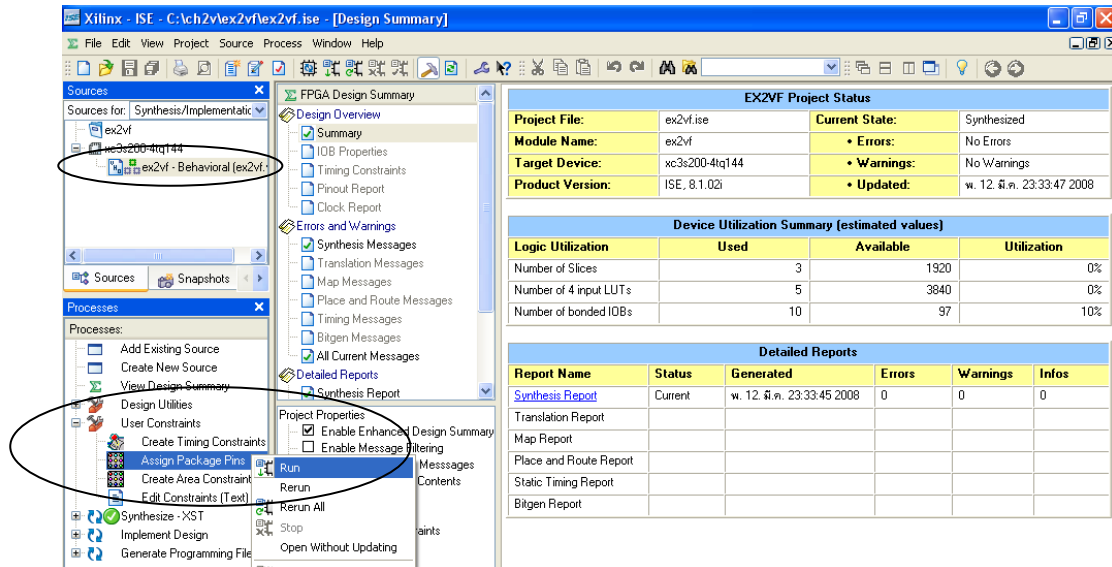


รูปที่ E2.37 View Technology Schematic ที่บอกรายละเอียดภายใน

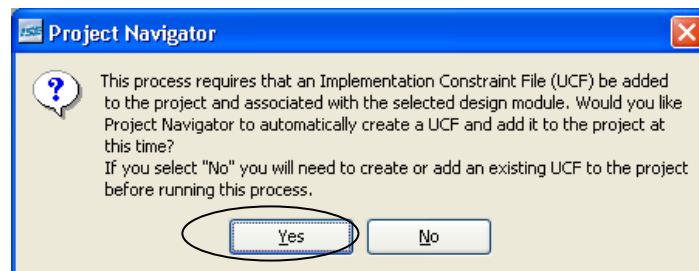
2.17.4 Design Implementation

1) ขั้นตอน Implementation constraint file (UCF) เพื่อสร้างไฟล์ที่ระบุว่าจะให้อินพุต/เอาต์พุตต่อเข้ากับขา (Pin) ของ FPGA

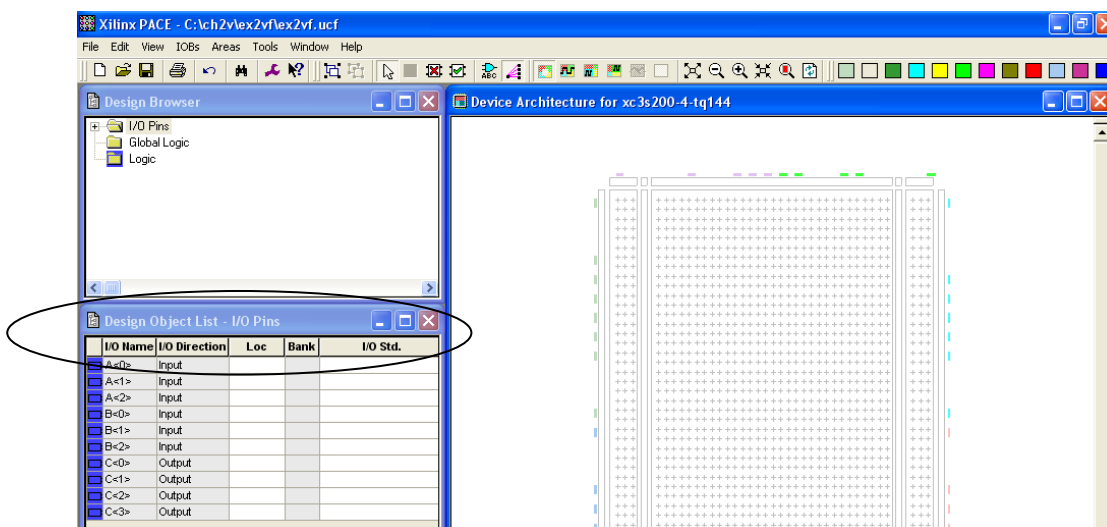
a) ให้คลิกที่ชื่อไฟล์ ex2vf ในหน้าต่าง Source แล้วเลื่อนเมาส์ไปที่หน้าต่าง Processes คลิก “+” หน้า User Constraints ในหน้าต่าง Processes จนเป็น “-” คลิกขวาที่ Assign Package Pins แล้วคลิก Run ดังรูปที่ E2.38 จะได้หน้าต่างดังรูปที่ E2.39 คลิก Yes เพื่อยืนยันที่จะสร้าง Implementation constraint file (UCF) โดยอัตโนมัติแล้วจะได้หน้าต่าง Xilinx-PACE ดังรูปที่ E2.40



รูปที่ E2.38 ขั้นตอน Assign Package Pins



รูปที่ E2.39 หน้าต่าง Project Navigator



รูปที่ E2.40 หน้าต่าง Xilinx-PACE




บ) การกำหนดขาสัญญาณ ในกรณีนี้เราใช้บอร์ด FPGA Discovery-III XC3S200F (หรือ FPGA Discovery-III XC3S200F4) จะต้องกำหนดคอนฟิกร์/เอาต์พุตของ FPGA ให้สอดคล้องกับอุปกรณ์ที่เตรียมไว้ที่บอร์ดทดลองตามตารางที่ 1.7 ในบทที่ 1 ซึ่งเราใช้ Dip SW1-Dip SW3 เป็นอินพุตของ A, Dip SW4-Dip SW6 เป็นอินพุตของ B และใช้ LED L0-L3 เป็นเอาต์พุตของ C กล่าวคือ

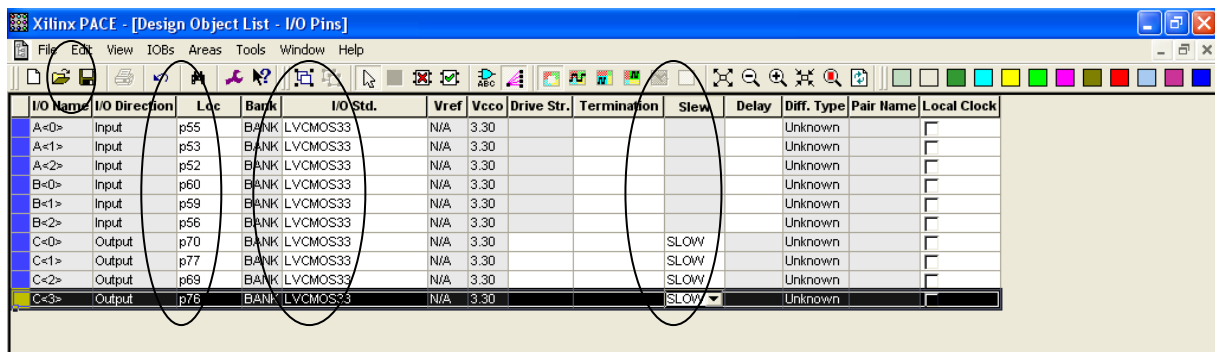
A(2) = Dip SW1 = INPUT = p52 B(2) = Dip SW4 = INPUT = p56 C(3) = L3 = OUTPUT = p76

A(1) = Dip SW2 = INPUT = p53 B(1) = Dip SW5 = INPUT = p59 C(2) = L2 = OUTPUT = p69

A(0) = Dip SW3 = INPUT = p55 B(0) = Dip SW6 = INPUT = p60 C(1) = L1 = OUTPUT = p77

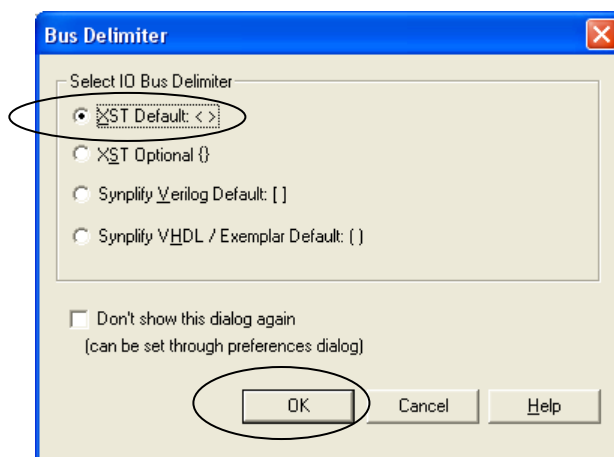
C(0) = L0 = OUTPUT = p70

ที่หน้าต่าง Design Object List-I/O Pins ในรูปที่ E2.40 คลิก  เพื่อขยายหน้าต่างให้ใหญ่ขึ้น จากนั้นกำหนดคอนฟิกร์และเอาต์พุตลงในคอลัมน์ Loc กำหนดชนิดอินพุต/เอาต์พุตมาตรฐานเป็น CMOS 3.3V (LVCMOS33) หรือ Low Voltage TTL 3.3V (LVTTTL) ก็ได้ โดยระดับแรงดันอินพุต/เอาต์พุตของ LVCMOS33 จะสูงกว่า LVTTTL เล็กน้อยแต่สามารถเข้ากันได้หรือต่อกันได้โดยตรง ในตัวอย่างนี้จะใช้ CMOS 3.3V เนื่องจากแรงดันเอาต์พุตสูงกว่าจึงต้องคลิกคอลัมน์ I/O Std. เป็น LVCMOS33 ทั้งหมด จากนั้นคลิกในคอลัมน์ Slew เป็น Slow เพื่อลดคออสซิลเลชันและลดการสะท้อนในสายสัญญาณเอาต์พุต เสร็จแล้วจะได้ดังรูปที่ E2.41 คลิก  บันทึกไฟล์แล้วจะปรากฏหน้าต่าง Bus Delimiter ซ้อนขึ้นมา ให้คลิกเลือกที่ XST Default ดังรูปที่ E2.42 แล้วคลิก OK จากนั้นคลิก  (สีแดง) เพื่อปิดหน้าต่าง Xilinx-PACE และกลับไปหน้าต่าง Xilinx-ISE





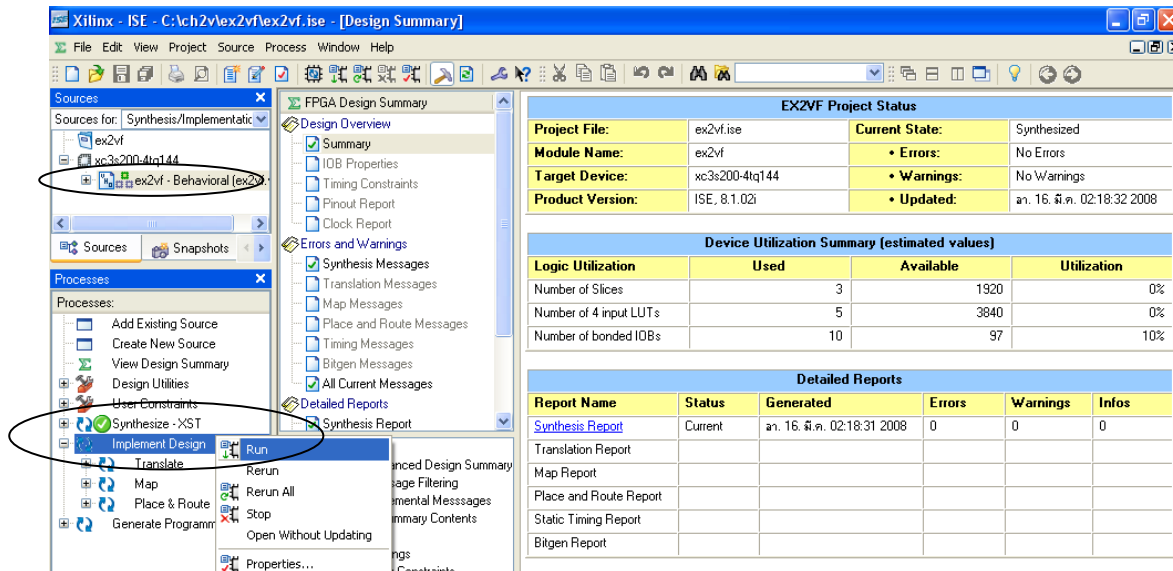
I/O Name	I/O Direction	Loc	Bank	I/O Std.	Vref	Vcco	Drive Str.	Termination	Slew	Delay	Diff. Type	Pair Name	Local Clock
A<0>	Input	p55	BANK	LVCMOS33	N/A	3.30					Unknown		
A<1>	Input	p53	BANK	LVCMOS33	N/A	3.30					Unknown		
A<2>	Input	p52	BANK	LVCMOS33	N/A	3.30					Unknown		
B<0>	Input	p60	BANK	LVCMOS33	N/A	3.30					Unknown		
B<1>	Input	p59	BANK	LVCMOS33	N/A	3.30					Unknown		
B<2>	Input	p56	BANK	LVCMOS33	N/A	3.30					Unknown		
C<0>	Output	p70	BANK	LVCMOS33	N/A	3.30			SLOW		Unknown		
C<1>	Output	p77	BANK	LVCMOS33	N/A	3.30			SLOW		Unknown		
C<2>	Output	p69	BANK	LVCMOS33	N/A	3.30			SLOW		Unknown		
C<3>	Output	p76	BANK	LVCMOS33	N/A	3.30			SLOW		Unknown		

รูปที่ E2.41 การกำหนดอินพุต/เอาต์พุตที่หน้าต่างย่อย Design Object List-I/O Pins ของหน้าต่าง Xilinx-PACE

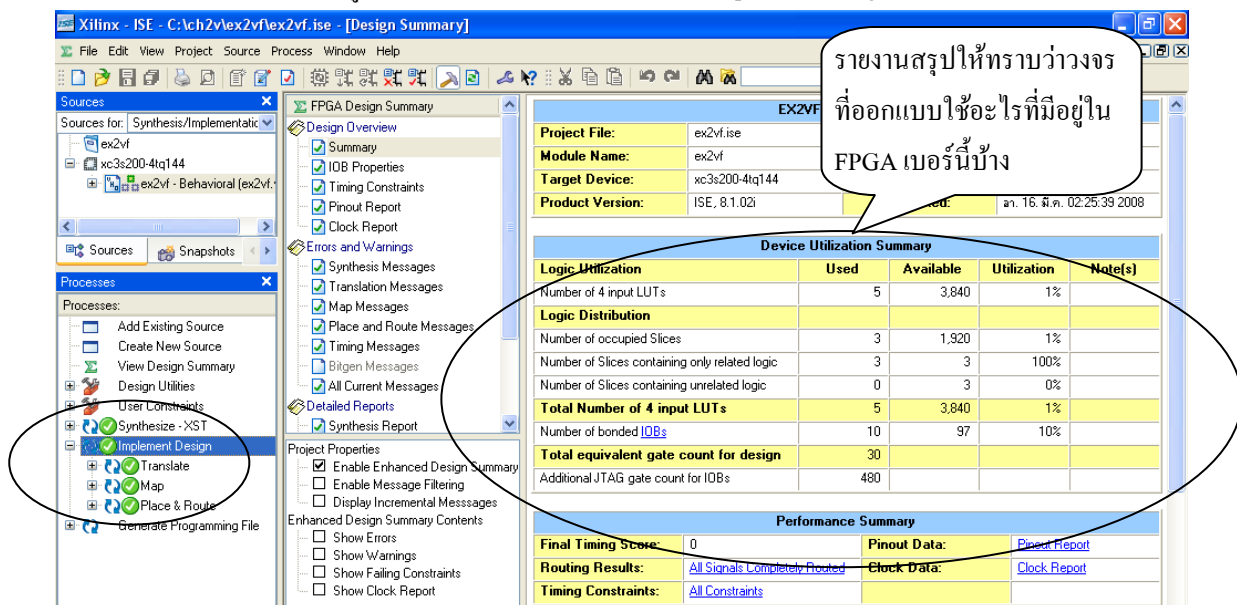


รูปที่ E2.42 หน้าต่าง Bus Delimiter

2) ขั้นตอน Implement Design ให้คลิกที่ชื่อไฟล์ ex2vf ในหน้าต่าง Source แล้วเลื่อนเมาส์ไปที่หน้าต่าง Processes คลิก “+” หน้า Implement Design ในหน้าต่าง Processes จนเป็น “-” คลิกขวาที่ Implement Design แล้วคลิก Run ดังรูปที่ E2.43 แล้วรอสักครู่เมื่อแล้วเสร็จจะได้  หรือ  ดังรูปที่ E2.44 จึงจะถือว่าขั้นตอน Implement Design ผ่าน



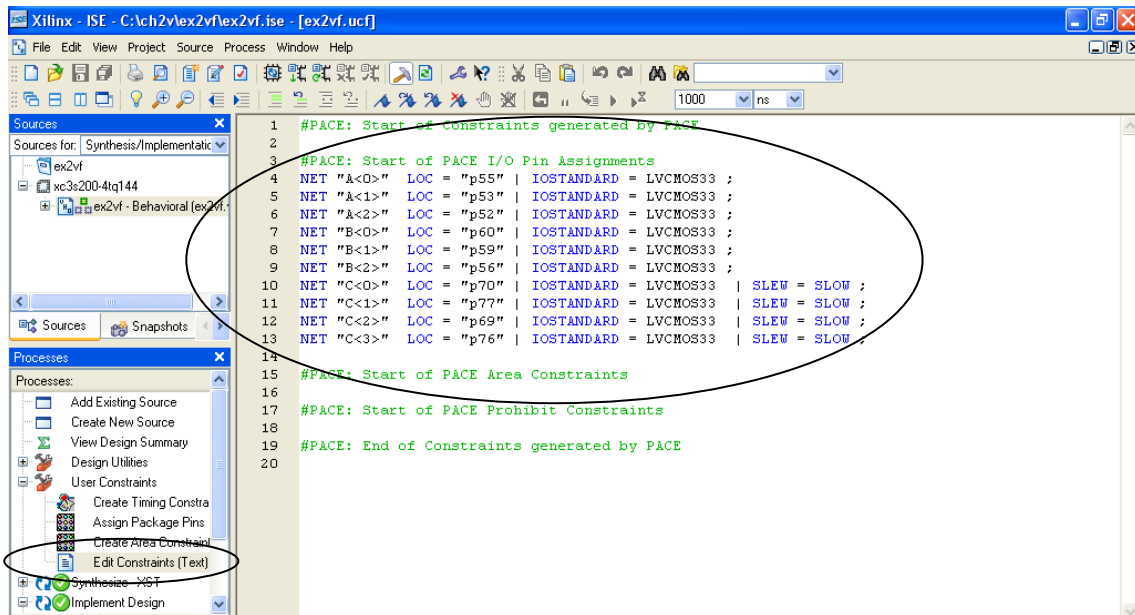
รูปที่ E2.43 หน้าต่างสำหรับขั้นตอน Implement Design



รูปที่ E2.44 หน้าต่าง Processes เมื่อทำขั้นตอน Implement เสร็จเรียบร้อยแล้ว

หมายเหตุ

- 1) ขั้นตอน Implement design นี้โปรแกรมจะทำ Translate, Map และ Place & Route
- 2) ถ้าผลที่ได้จากการทำ Implement แล้วได้ ❌ หน้า Implement Design (ไม่ผ่าน) และ ❌ หน้า Translate (ไม่ผ่าน) ให้คลิกขวาที่ Edit Constraints (Text) แล้วคลิก Run แล้วจะได้ดังรูปที่ E2.45 จากนั้นให้ตรวจสอบดูว่ามีการกำหนดค่า FPGA เกินหรือผิดหรือไม่ เมื่อแก้ไขเสร็จแล้วให้บันทึกไฟล์ แต่ถ้าไม่แน่ใจให้บันทึกไฟล์ใน Edit Constraints (Text) ทั้งทั้งหมดแล้วทำการบันทึกไฟล์ จากนั้นให้ไปทำขั้นตอน Assign Package Pins อีกครั้ง เมื่อบันทึกไฟล์แล้วให้ทำขั้นตอน Implement Design ใหม่อีกครั้ง

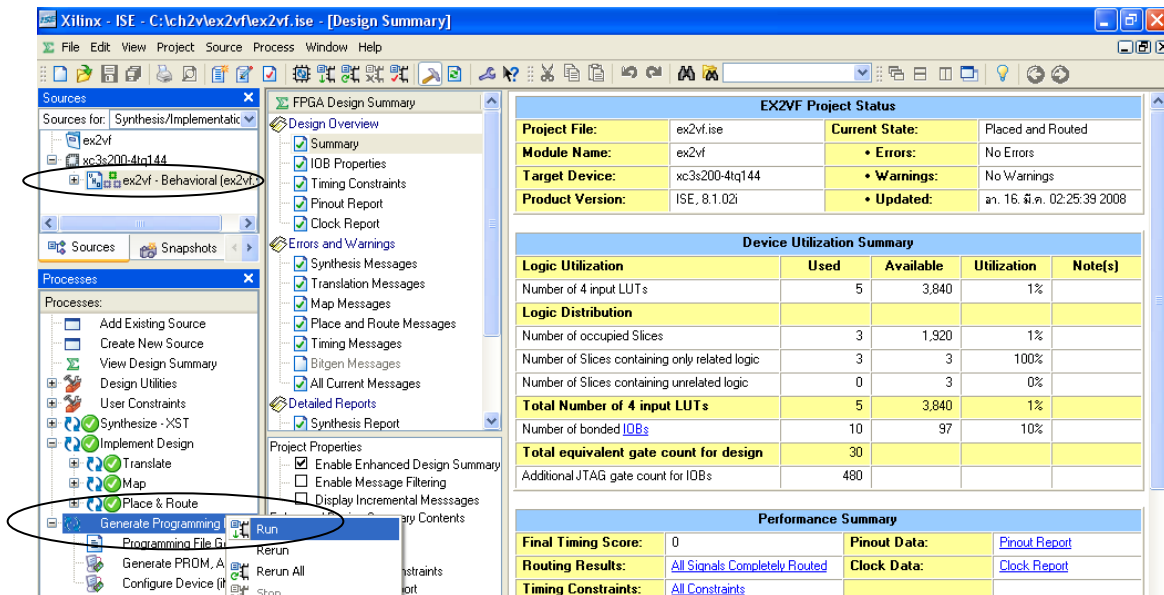


รูปที่ E2.45 หน้าต่าง Edit Constraints (Text)

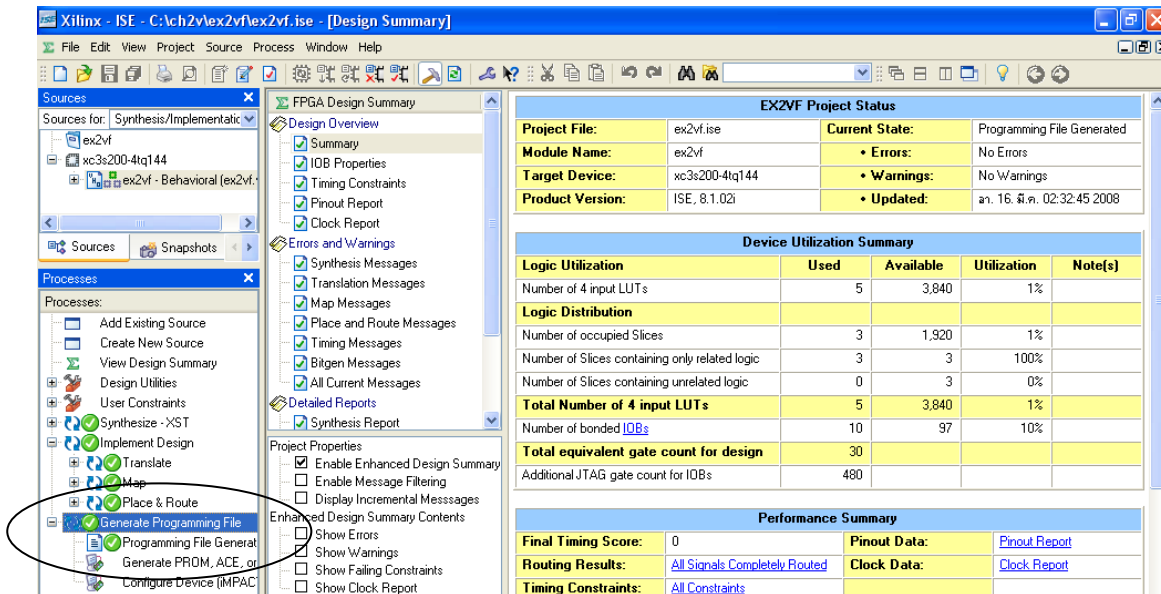
2.17.5 การโปรแกรมข้อมูลวงจรลงชิพ

1) ขั้นตอน Generate Programming File

คลิกที่ไฟล์ ex2vf-Behavioral ในหน้าต่าง Source และคลิกขวาที่ Generate Programming File ในหน้าต่าง Processes แล้วคลิก Run ดังรูปที่ E2.46 (หรือดับเบิ้ลคลิก) เมื่อแล้วเสร็จจะได้ดังรูปที่ E2.47



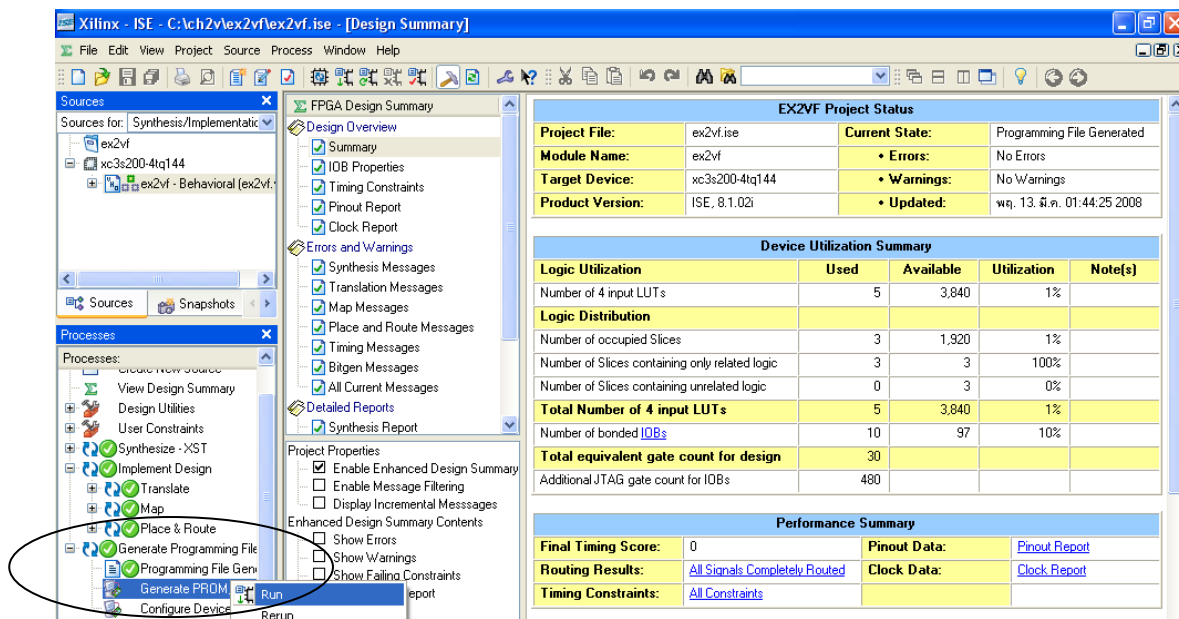
รูปที่ E2.46 ขั้นตอน Generate Programming File



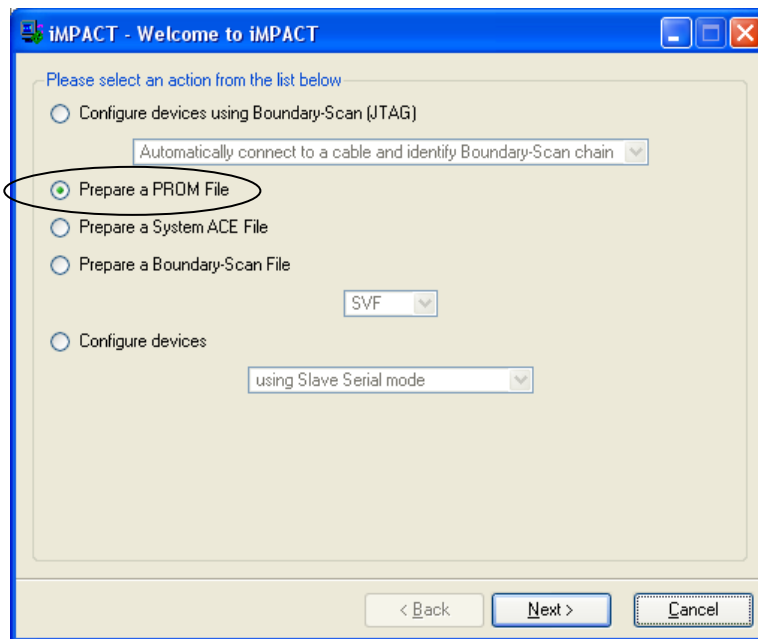
รูปที่ E2.47 เมื่อการทำ Generate Programming File เสร็จเรียบร้อยแล้ว

2) ขั้นตอนสร้างไฟล์ PROM

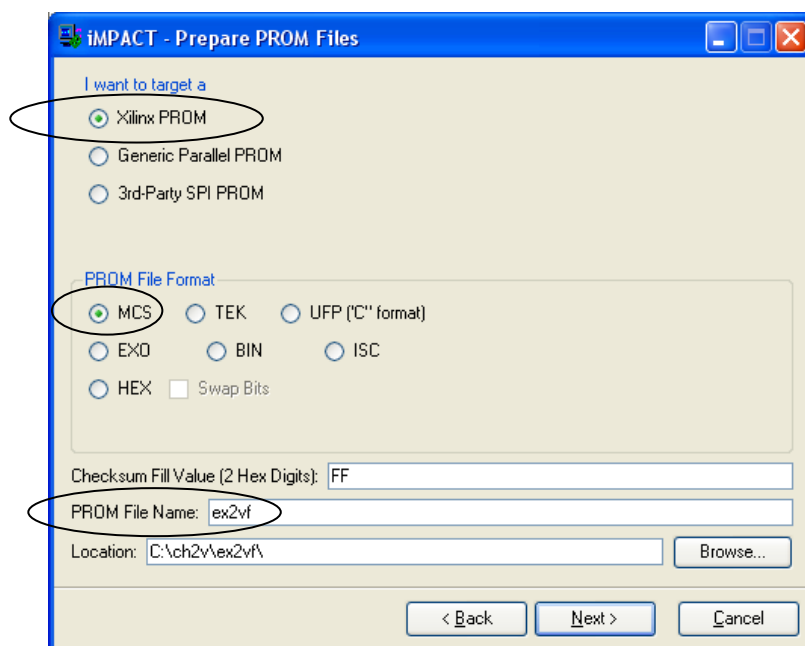
a) คลิกขวาที่ Generate PROM, ACE, or JTAG File ในหน้าต่าง Processes แล้วคลิก Run ดังรูปที่ E2.48 รอสักครู่ เมื่อได้หน้าต่างถัดไปแล้วคลิกช่อง Prepare a PROM File ดังรูปที่ E2.49 คลิก Next 1 ครั้ง จากนั้นพิมพ์ชื่อ ex2vf ดังในรูปที่ E2.50




รูปที่ E2.48 ขั้นตอน Generate PROM, ACE, or JTAG File

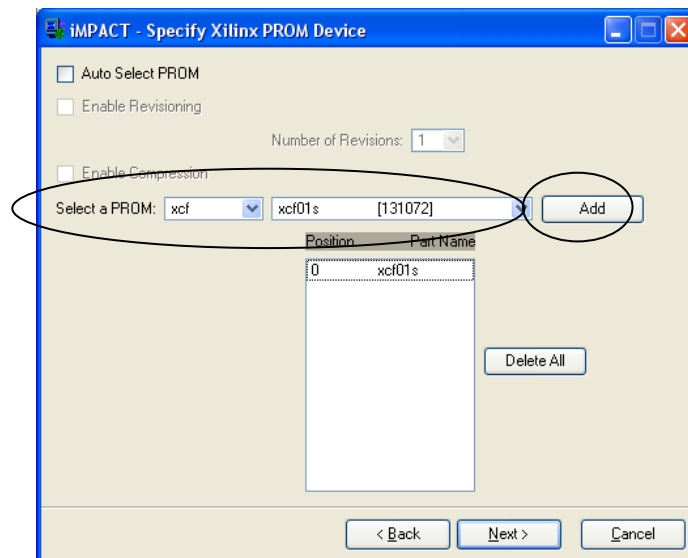


รูปที่ E2.49 หน้าต่าง iMPACT–Welcome to iMPACT

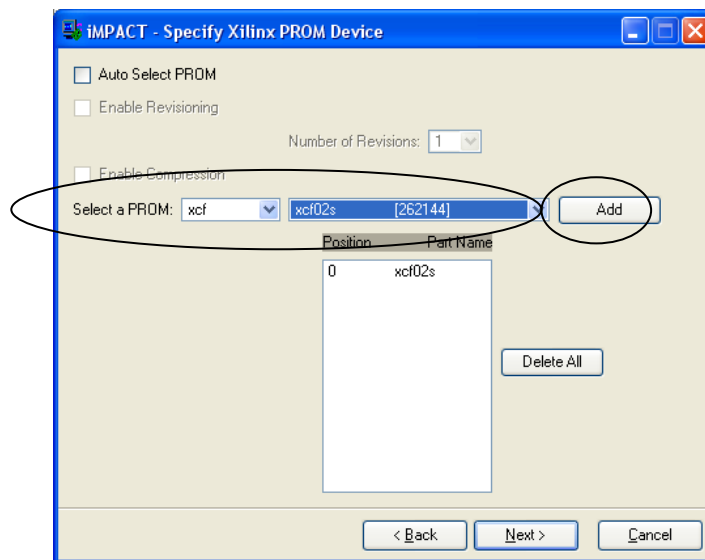


รูปที่ E2.50 พิมพ์ชื่อ ex2vf ที่ช่อง PROM File Name

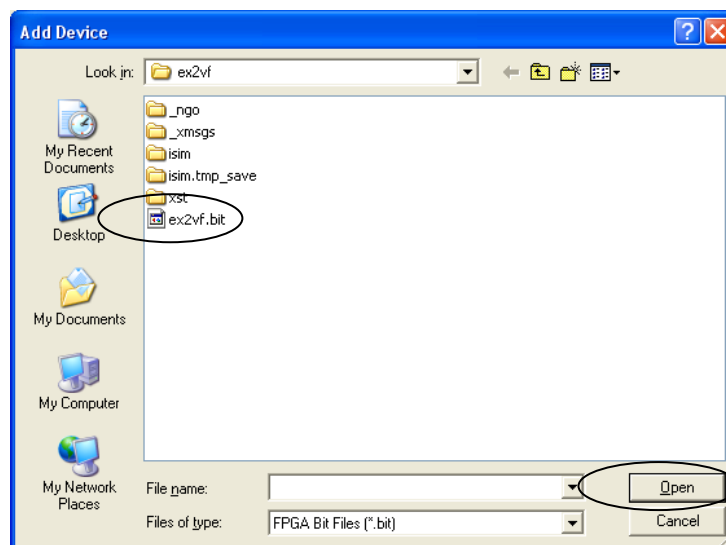
b) จากรูปที่ E2.50 คลิก Next 1 ครั้ง ในกรณีที่ใช้บอร์ด FPGA Discovery-III XC3S200F จะใช้ PROM เบอร์ XCF01VO20C จึงต้องคลิกเลือก xcf เบอร์ xc01s แล้วคลิกปุ่ม Add แสดงดังรูปที่ E2.51 แต่ถ้าใช้บอร์ด FPGA Discovery-III XC3S200F4 จะใช้ PROM เบอร์ XCF02VO20C จึงต้องคลิกเลือก xcf เบอร์ xc02s แล้วคลิกปุ่ม Add แสดงดังรูปที่ E2.52 จากนั้นคลิก Next 1 ครั้ง คลิก Finish 1 ครั้ง คลิก OK แล้วจะได้หน้าต่าง Add Device ดังรูปที่ E2.53 คลิกที่ไฟล์ชื่อ ex2vf.bit และคลิก Open แล้วจะได้ดังรูปที่ E2.54 คลิก No 1 ครั้งและคลิก OK 1 ครั้ง จากนั้นดับเบิลคลิกที่ Generate File แล้วจะได้ดังรูปที่ E2.55 ในขั้นตอนนี้ถือว่าได้สร้างไฟล์ Flash PROM แล้วเสร็จ คลิก  (สีแดง) เพื่อปิดโปรแกรม iMPACT แล้วคลิก No ดังรูปที่ E2.56 เพื่อกลับไปหน้าต่าง Xilinx–ISE



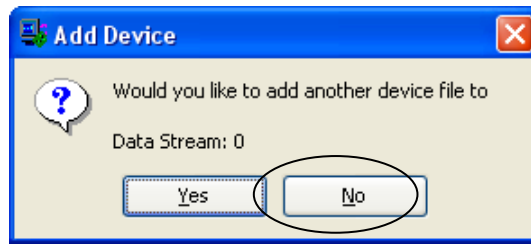
รูปที่ E2.51 หน้าต่าง iMPACT-Specify Xilinx PROM Device ในกรณีที่ใช้ PROM เบอร์ XCF01VO20C



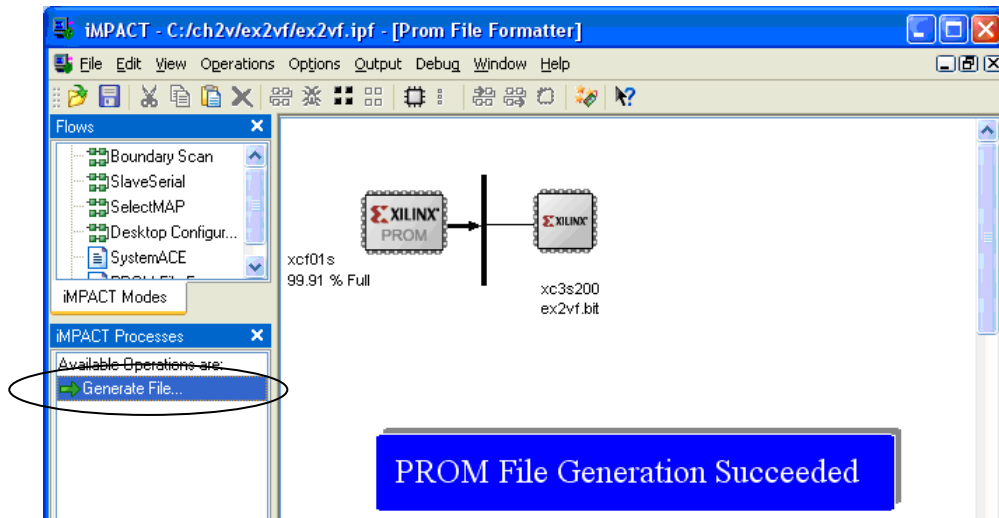
รูปที่ E2.52 หน้าต่าง iMPACT-Specify Xilinx PROM Device ในกรณีที่ใช้ PROM เบอร์ XCF02VO20C



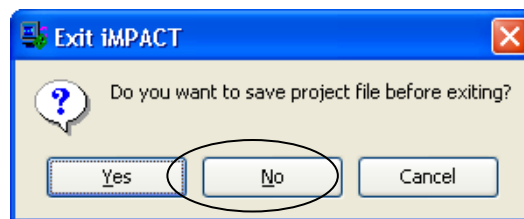
รูปที่ E2.53 หน้าต่าง Add Device



รูปที่ E2.54 หน้าต่าง Add Device



รูปที่ E2.55 หน้าต่าง iMPACT



รูปที่ E2.56 หน้าต่าง Exit iMPACT

ในกรณีที่อยู่ในขั้นตอนออกแบบหรืออยู่ระหว่างการวิจัยพัฒนา เราจะไม่จำเป็นต้องทำขั้นตอนสร้างไฟล์ PROM และให้ข้ามข้อ 2) นี้ไปทำข้อถัดไป คือ ข้อ 3)

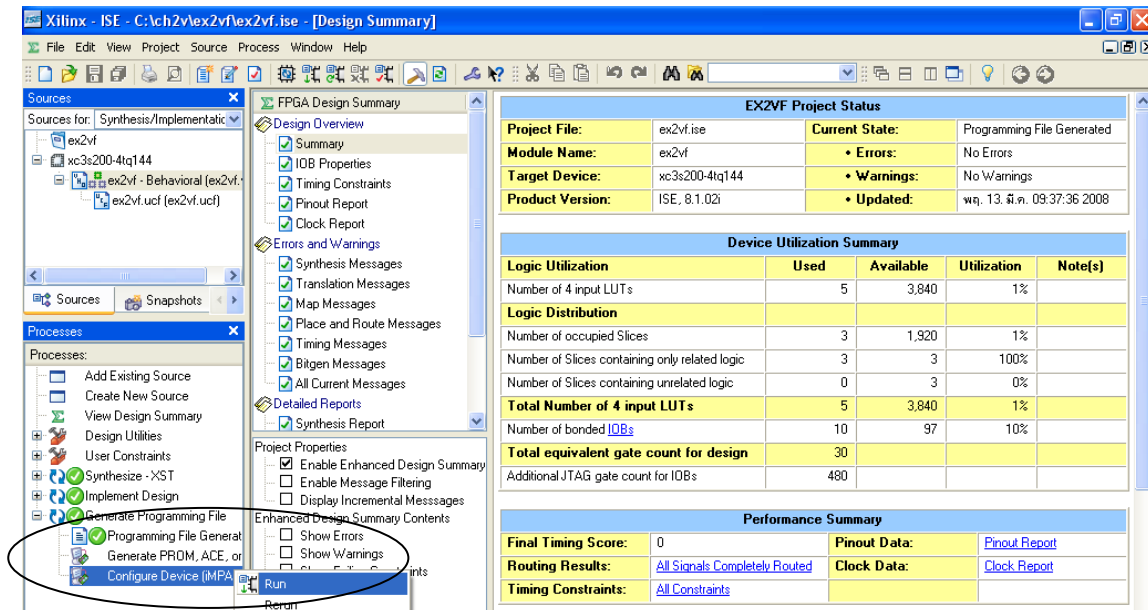
3) ขั้นตอนการโปรแกรมลง Flash PROM และ/หรือ FPGA

a) ขั้นตอนการเซตจัมเปอร์ J1 เพื่อเซตค่าของ M0,M1,M2 โดยปกติจัมเปอร์ J1 บนบอร์ด FPGA Discovery-III XC3S200F จะถูกเซต M0,M1,M2 = "000" ไว้แล้ว ซึ่งเป็นโหมด Master serial (ดูตามตารางที่ 2.1) ข้อมูลลงจอร์ใน Flash PROM จึงถูกดาวน์โหลดลง FPGA โดยอัตโนมัติทันทีที่เริ่มจ่ายไฟเลี้ยง การดาวน์โหลดไฟล์ข้อมูลลงจอร์ใหม่ลง FPGA ผ่านทางสาย JTAG โดยไม่เซตโหมดเป็น JTAG จึงอาจเกิดข้อผิดพลาดขึ้นได้กล่าวคือ วงจรรองจะทำงานไม่ตรงตามที่ออกแบบไว้เนื่องจากการดาวน์โหลดผิดโหมด การแก้ไขปัญหาวีธีที่ 1 ดาวน์โหลดไฟล์ข้อมูลลงจอร์ใหม่ (นามสกุล.mcs) ลง Flash PROM ก่อน จากนั้นจึงใช้ไฟลงจอร์เดียวกัน (นามสกุล.bit) ดาวน์โหลดลง FPGA วิธีที่ 2 ลบไฟล์ใน Flash PROM ที่ก่อนทำการดาวน์โหลดลง FPGA หรืออาจใช้วิธีที่ 3 โดยเซตจัมเปอร์ J1 ในโหมด JTAG ซึ่งมีค่า M0,M1,M2 = "101" ก่อนดาวน์โหลดไฟล์ข้อมูลลงจอร์ใหม่ลง FPGA แต่ข้อเสียของวิธีนี้คือ เมื่อเริ่มจ่ายไฟเลี้ยงจะแล้วไม่มีการดาวน์โหลดข้อมูลใน Flash PROM ลง FPGA โดยอัตโนมัติ

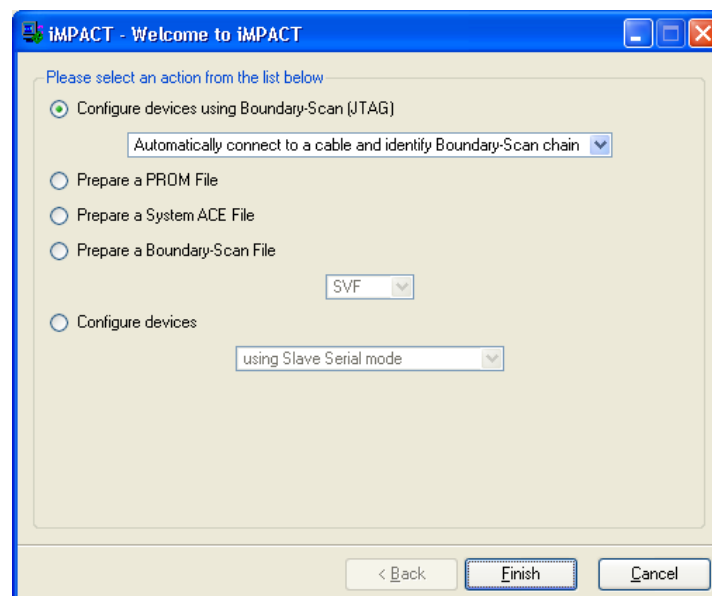
ตารางที่ 2.1 รายการเซตโหมดในการโปรแกรมลง FPGA

Configuration Mode	M0	M1	M2
Master Serial	0	0	0
Slave Serial	1	1	1
Master Parallel	1	1	0
Slave Parallel	0	1	1
JTAG	1	0	1

บ) ขั้นตอนดาวน์โหลดไฟล์ลง Flash PROM และ FPGA ให้ต่อสาย JTAG เข้ากับพอร์ตขนานของคอมพิวเตอร์และขั้ว JTAG ที่บอร์ดทดลอง FPGA Discovery-III XC3S200F แล้วจ่ายไฟเลี้ยงเข้าบอร์ดโดยต่อเข้ากับอะแดปเตอร์ 9 VDC จากนั้นคลิกขวาที่แถบ Configure Device (iMPACT) และคลิก Run แสดงในรูปที่ E2.57 รอสักครู่แล้วจะได้นหน้าต่างดังรูปที่ E2.58

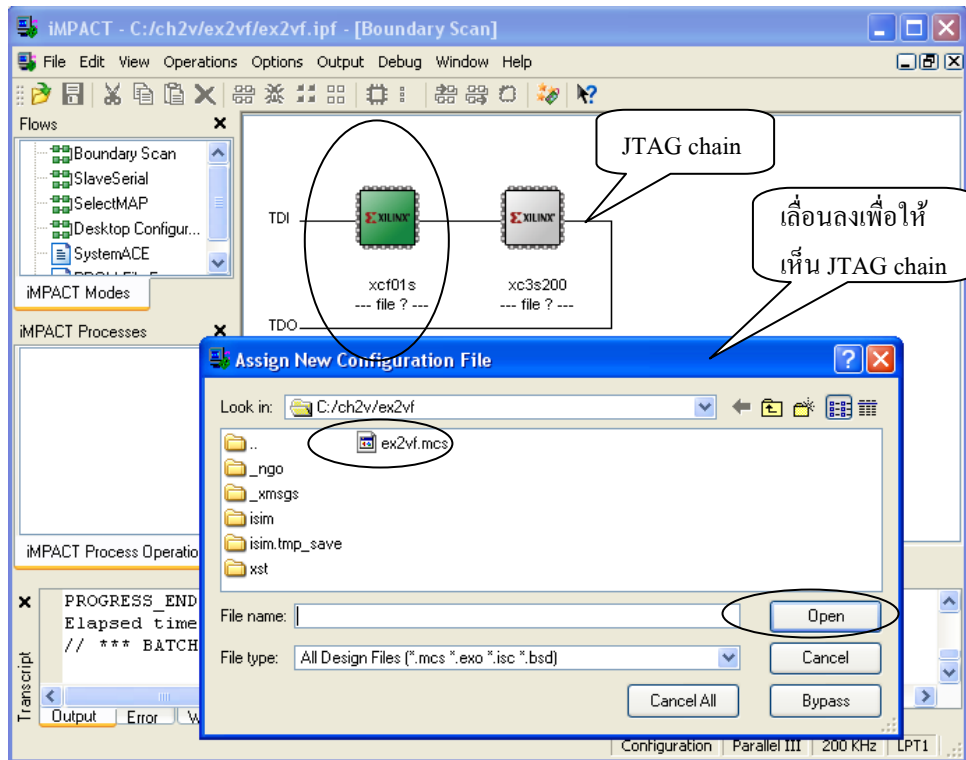


รูปที่ E2.57 แสดงขั้นตอน Configure Device (iMPACT)

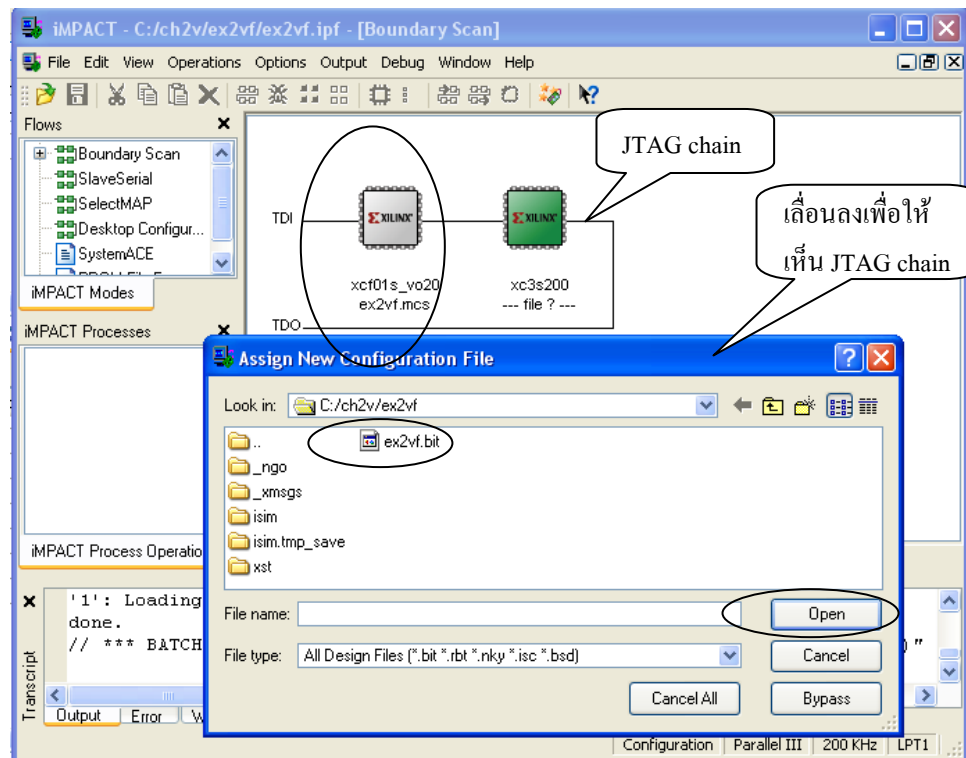


รูปที่ E2.58 หน้าต่าง iMPACT

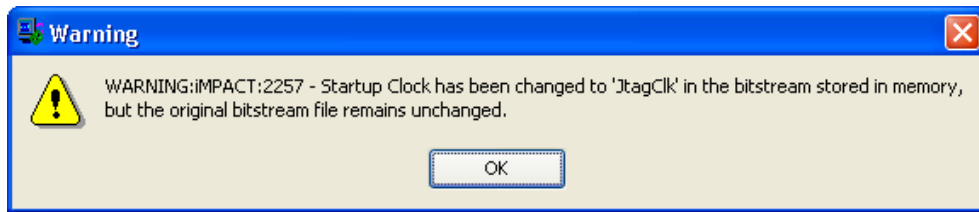
c) จากรูปที่ E2.58 คลิก Finish แล้วจะได้ดังรูปที่ E2.59 คลิกที่ไฟล์ ex2vf.mcs (PROM configuration file) คลิก Open (หรือให้คลิก Cancel หากไม่ได้สร้างไฟล์ PROM ในข้อ 2) เสร็จแล้วจะได้หน้าดังรูปที่ E2.60 คลิกที่ไฟล์ ex2vf.bit (FPGA configuration file) คลิก Open แล้วจะได้หน้าต่าง Warning ดังรูปที่ E2.61 จากนั้นให้คลิก OK แล้วจะได้หน้าต่าง iMPACT



รูปที่ E2.59 หน้าต่าง Assign New Configuration เพื่อเตรียมข้อมูลที่จะดาวน์โหลดลง PROM

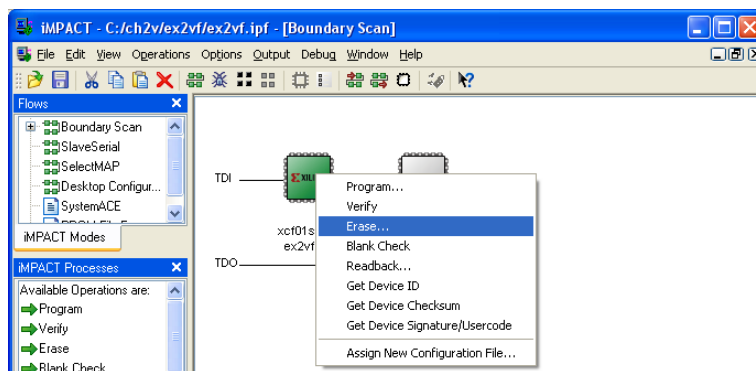


รูปที่ E2.60 หน้าต่าง Assign New Configuration เพื่อเตรียมข้อมูลที่จะดาวน์โหลดลง FPGA

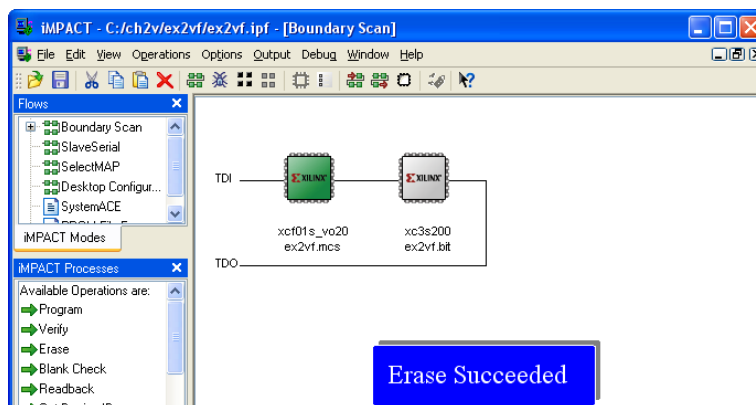


รูปที่ E2.61 หน้าต่าง Warning

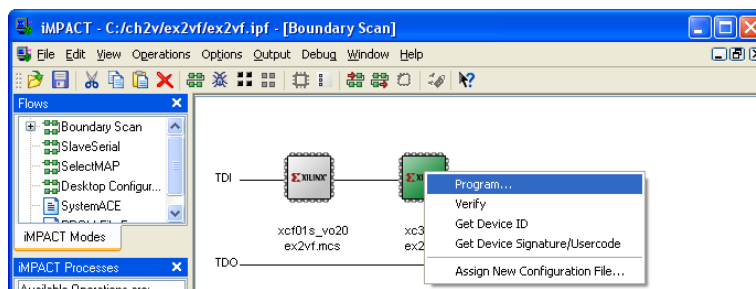
d) การดาวน์โหลดข้อมูลลงวงจร FPGA เนื่องจากจัมเปอร์ J1 ของบอร์ดทดลองถูกเสตอยู่ในโหมด Master serial ดังนั้นก่อนโปรแกรมจะต้องลบ (Erase) ข้อมูลลงวงจรที่เคยโปรแกรมลง Flash PROM ที่คลิกขวาที่รูป Flash PROM (สีเขียว) และคลิก Erase ดังรูปที่ E2.62 เสร็จแล้วจะได้ดังรูปที่ E2.63 จากนั้นคลิกขวาที่รูป FPGA จนเป็นสีเขียวและคลิก Program ดังรูปที่ E2.64 แล้วจะได้หน้าต่างถัดไป คลิก OK เสร็จแล้วจะได้ดังรูปที่ E2.65 ถ้าดาวน์โหลดไม่ผ่านเพื่อความแน่ใจควรดาวน์โหลดซ้ำ ถ้าดาวน์โหลดหลายครั้งไม่ผ่านให้ดึงแจ็คไฟเลี้ยงออกแล้วเสียบแจ็คกลับเข้าไปใหม่ แล้วทำการดาวน์โหลดซ้ำ



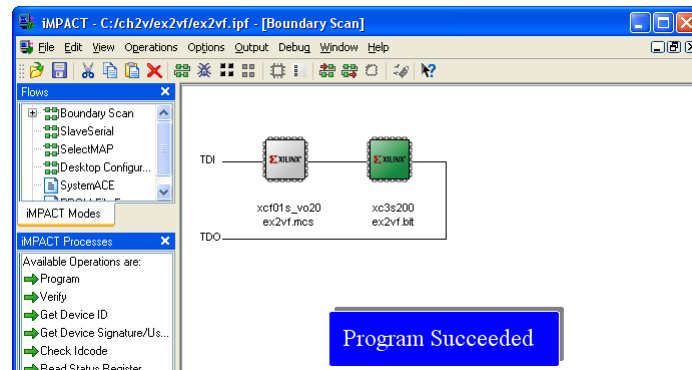
รูปที่ E2.62 ขั้นตอนลบ (Erase) ข้อมูลลงวงจรที่เคยโปรแกรมลง PROM ที่



รูปที่ E2.63 ลบ (Erase) เรียบร้อยแล้ว

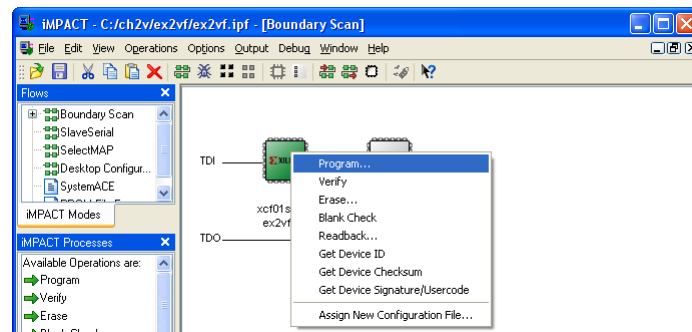


รูปที่ E2.64 หน้าต่าง iMPACT

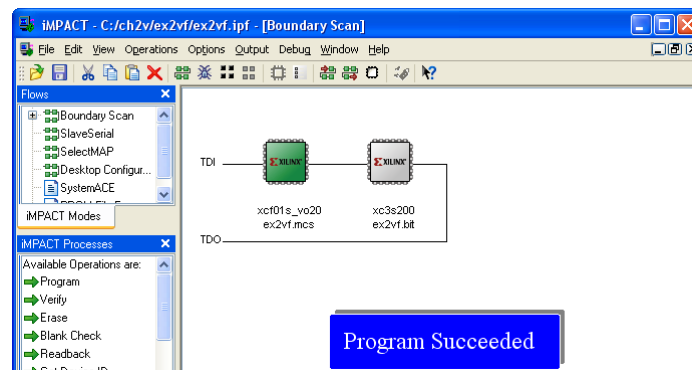


รูปที่ E2.65 หน้าต่าง iMPACT



๔) การดาวน์โหลดข้อมูลวงจรลง Flash PROM ในกรณีที่ไม่มีกรสร้างไฟล์ Flash PROM ในข้อ 2) หรือไม่ต้องการโปรแกรม Flash PROM ก็ไม่จำเป็นต้องทำข้อนี้ การดาวน์โหลดนั้นให้คลิกขวาที่รูป Flash PROM และคลิก Program ดังรูปที่ E2.66 แล้วจะได้หน้าต่างถัดไป คลิก OK แล้วจะได้ดังรูปที่ E2.67 ถ้าดาวน์โหลดไม่ผ่านเพื่อความแน่ใจให้ดาวน์โหลดซ้ำ

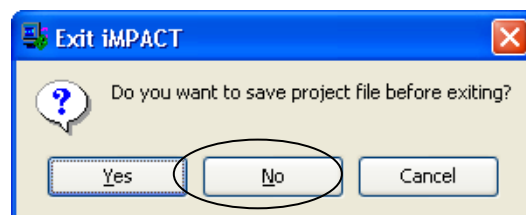


รูปที่ E2.66 หน้าต่าง iMPACT สำหรับดาวน์โหลด Flash PROM



รูปที่ E2.67 หน้าต่างแสดงเมื่อการดาวน์โหลด Flash PROM ผ่าน

๕) ปิดหน้าต่าง iMPACT โดยคลิก  แล้วจะได้หน้าต่าง Exit iMPACT ซ้อนขึ้นมาดังรูปที่ E2.35 แล้วคลิก No จากนั้นคลิก  (สีแดง) เพื่อปิดโปรแกรม ISE WebPACK 8.1i



รูปที่ E2.68 หน้าต่าง Exit iMPACT