

## การทดลองที่ 5 Latch และ FlipFlop

### วัตถุประสงค์

1. เพื่อให้นักศึกษาเข้าใจการทำงานของ Latch
2. เพื่อให้นักศึกษาเข้าใจการทำงานของ Flip Flop
3. เพื่อให้นักศึกษานำ JK-Flip Flop มาใช้งานเป็น D-Flip Flop และ T-Flip Flop

### บทนำ

#### 1. Characteristic Table ของ Flip Flop

| D | Clock | $Q$ | $\bar{Q}$ |                 |
|---|-------|-----|-----------|-----------------|
| 0 | 0     | $Q$ | $\bar{Q}$ | Nochanged State |
| 1 | 0     | $Q$ | $\bar{Q}$ |                 |
| 0 | 1     | 0   | 1         |                 |
| 1 | 1     | 1   | 0         |                 |

| $\overline{PRESET}$ | $\overline{CLEAR}$ | J | K | C            | $Q$    | $\bar{Q}$ |                   |
|---------------------|--------------------|---|---|--------------|--------|-----------|-------------------|
| 0                   | 1                  | X | X | X            | 1      | 0         | Set State         |
| 1                   | 0                  | X | X | X            | 0      | 1         | Reset State       |
| 0                   | 0                  | X | X | X            | 1      | 1         | Not allowed State |
| 1                   | 1                  | 0 | 1 | $\downarrow$ | 0      | 1         |                   |
| 1                   | 1                  | 1 | 0 | $\downarrow$ | 1      | 0         |                   |
| 1                   | 1                  | 0 | 0 | X            | $Q$    | $\bar{Q}$ |                   |
| 1                   | 1                  | 1 | 1 | $\downarrow$ | Toggle |           |                   |

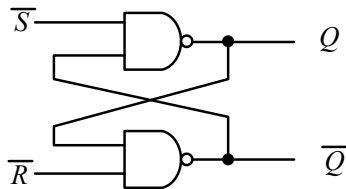
| T | Clock | $Q$       | $\bar{Q}$ |        |
|---|-------|-----------|-----------|--------|
| 0 | 1/0/1 | $\bar{Q}$ | $Q$       | Toggle |
| 1 | 1/0/1 | $\bar{Q}$ | $Q$       | Toggle |

#### 2. ไอซี 74LS76 Dual JK Flop Flop

ภายในบรรจุ JK Flop Flop 2 ตัว พร้อมขา  $\overline{PRESET}$  และ  $\overline{CLEAR}$  สัญญาณนาฬิกาทำงานที่ขอบขาลง ให้ศึกษารายละเอียดจาก Datasheet

## การทดลอง

- ให้นักศึกษาต่อ SR Latch โดยใช้ NAND Gate ดังรูปที่ 1 จากนั้นให้ออกแบบการป้อนอินพุต เพื่อทดสอบการทำงานของ SR Latch ว่าสอดคล้องดังตารางที่ 1 หรือไม่



รูปที่ 1 SR Latch จาก NAND Gate

ตารางที่ 1 Characteristic ของ SR Latch

| $\bar{S}$ | $\bar{R}$ | $Q$ | Action      |
|-----------|-----------|-----|-------------|
| 0         | 0         | $Q$ | Not Allowed |
| 0         | 1         | 1   | Set         |
| 1         | 0         | 0   | Reset       |
| 1         | 1         | $Q$ | Hold        |

บันทึกผลการทดลอง

| NO. | $\bar{S}$ | $\bar{R}$ | $Q$ | $\bar{Q}$ |
|-----|-----------|-----------|-----|-----------|
| 1   |           |           |     |           |
| 2   |           |           |     |           |
| 3   |           |           |     |           |
| 4   |           |           |     |           |
| 5   |           |           |     |           |
| 6   |           |           |     |           |
| 7   |           |           |     |           |
| 8   |           |           |     |           |
| 9   |           |           |     |           |
| 10  |           |           |     |           |

| NO. | $\bar{S}$ | $\bar{R}$ | $Q$ | $\bar{Q}$ |
|-----|-----------|-----------|-----|-----------|
| 11  |           |           |     |           |
| 12  |           |           |     |           |
| 13  |           |           |     |           |
| 14  |           |           |     |           |
| 15  |           |           |     |           |
| 16  |           |           |     |           |
| 17  |           |           |     |           |
| 18  |           |           |     |           |
| 19  |           |           |     |           |
| 20  |           |           |     |           |

เพราะเหตุใดเมื่อ  $\bar{S} = \bar{R} = 1$  จึงเกิดสถานะ “Not Allowed” หรือ “Unused”

.....

.....

.....

2. นำไอซีเบอร์ 74LS76 ซึ่งภายในมี JK Flip Flop 2 ตัว มาต่อเพื่อทดสอบการทำงานของ JK Flip Flop แล้วบันทึกผลลงตาราง โดยใช้สวิตช์ที่สร้างสัญญาณขอบขาขึ้น/ลงอยู่บริเวณมุมล่างซ้ายของ Logic Trainer เพื่อป้อนสัญญาณนาฬิกา

| ลำดับ | Input               |                    |     |     |         | Output |                |
|-------|---------------------|--------------------|-----|-----|---------|--------|----------------|
|       | $\overline{PRESET}$ | $\overline{CLEAR}$ | $J$ | $K$ | $Clock$ | $Q$    | $\overline{Q}$ |
| 1     | 0                   | 1                  | 0   | 0   | 1/0/1   |        |                |
| 2     | 0                   | 1                  | 0   | 1   | 1/0/1   |        |                |
| 3     | 0                   | 1                  | 1   | 0   | 1/0/1   |        |                |
| 4     | 0                   | 1                  | 1   | 1   | 1/0/1   |        |                |
| 5     | 1                   | 0                  | 0   | 0   | 1/0/1   |        |                |
| 6     | 1                   | 0                  | 0   | 1   | 1/0/1   |        |                |
| 7     | 1                   | 0                  | 1   | 0   | 1/0/1   |        |                |
| 8     | 1                   | 0                  | 1   | 1   | 1/0/1   |        |                |
| 9     | 0                   | 0                  | 0   | 0   | 1/0/1   |        |                |
| 10    | 0                   | 0                  | 0   | 1   | 1/0/1   |        |                |
| 11    | 0                   | 0                  | 1   | 0   | 1/0/1   |        |                |
| 12    | 0                   | 0                  | 1   | 1   | 1/0/1   |        |                |
| 13    | 1                   | 1                  | 0   | 1   | 1/0/1   |        |                |
| 14    | 1                   | 1                  | 0   | 0   | 1/0/1   |        |                |
| 15    | 1                   | 1                  | 1   | 1   | 1/0/1   |        |                |
| 16    | 1                   | 1                  | 1   | 0   | 1/0/1   |        |                |
| 17    | 1                   | 1                  | 0   | 0   | 1/0/1   |        |                |
| 18    | 1                   | 1                  | 1   | 1   | 1/0/1   |        |                |
| 19    | 1                   | 1                  | 0   | 1   | 0/1/0   |        |                |
| 20    | 1                   | 1                  | 0   | 0   | 0/1/0   |        |                |
| 21    | 1                   | 1                  | 1   | 1   | 0/1/0   |        |                |
| 22    | 1                   | 1                  | 0   | 1   | 1/0/1   |        |                |

2.1 เมื่อ  $\overline{PRESET} = 0$  และ  $\overline{CLEAR} = 1$  ไอซีให้ผลลัพธ์อย่างไร

.....

.....

2.2 เมื่อ  $\overline{PRESET} = 1$  และ  $\overline{CLEAR} = 0$  ไอซีให้ผลลัพธ์อย่างไร

.....

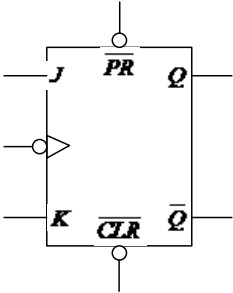
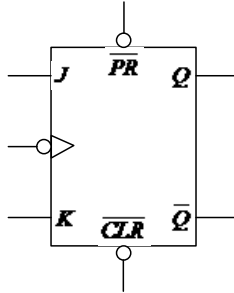
.....

2.3 เมื่อ  $\overline{PRESET} = 0$  และ  $\overline{CLEAR} = 0$  ไอซีให้ผลลัพธ์อย่างไร

.....

.....

3. สร้าง D Flip Flop และ T Flip Flop จาก JK Flip Flop โดยให้นักศึกษา วาดรูปการดัดแปลง ว่าทำอย่างไร พร้อมออกแบบการป้อนอินพุตเพื่อทดสอบสมมติฐาน

| D FF from JK FF   |                     |                    |   |   |       |        |           | T FF from JK FF  |                     |                    |   |   |       |        |           |
|---|---------------------|--------------------|---|---|-------|--------|-----------|--|---------------------|--------------------|---|---|-------|--------|-----------|
|  |                     |                    |   |   |       |        |           |  |                     |                    |   |   |       |        |           |
|   | Input               |                    |   |   |       | Output |           |  | Input               |                    |   |   |       | Output |           |
|   | $\overline{PRESET}$ | $\overline{CLEAR}$ | J | K | Clock | Q      | $\bar{Q}$ |  | $\overline{PRESET}$ | $\overline{CLEAR}$ | J | K | Clock | Q      | $\bar{Q}$ |
| 1   |                     |                    |   |   |       |        |           |  | 1                   |                    |   |   |       |        |           |
| 2   |                     |                    |   |   |       |        |           |  | 2                   |                    |   |   |       |        |           |
| 3   |                     |                    |   |   |       |        |           |  | 3                   |                    |   |   |       |        |           |
| 4   |                     |                    |   |   |       |        |           |  | 4                   |                    |   |   |       |        |           |
| 5   |                     |                    |   |   |       |        |           |  | 5                   |                    |   |   |       |        |           |
| 6   |                     |                    |   |   |       |        |           |  | 6                   |                    |   |   |       |        |           |
| 7   |                     |                    |   |   |       |        |           |  | 7                   |                    |   |   |       |        |           |

## ใบตรวจการทดลองที่ 5

วัน/เดือน/ปี \_\_\_\_\_ กลุ่มเย็น กลุ่มที่ \_\_\_\_\_

1. รหัสนักศึกษา \_\_\_\_\_ ชื่อ-นามสกุล \_\_\_\_\_

2. รหัสนักศึกษา \_\_\_\_\_ ชื่อ-นามสกุล \_\_\_\_\_

### การตรวจการทดลอง

☐ บันทึกคะแนนแล้ว

การทดลองข้อ 1 (5+5 คะแนน) \_\_\_\_\_ ลายเซ็นอาจารย์ \_\_\_\_\_

การทดลองข้อ 2 (5+5 คะแนน) \_\_\_\_\_ ลายเซ็นอาจารย์ \_\_\_\_\_

การทดลองข้อ 3 (5+5 คะแนน) \_\_\_\_\_ ลายเซ็นอาจารย์ \_\_\_\_\_

คำถามท้ายการทดลอง (5 คะแนน) \_\_\_\_\_

1. วาดรูป SR Latch ที่ใช้ NOR Gate พร้อมแสดงตารางแสดงการทำงาน Characteristic Table

.....

.....

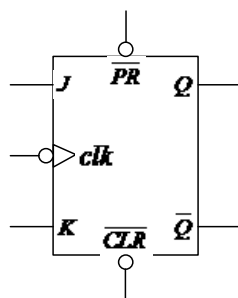
.....

.....

.....

.....

2. จากรูปต่อไปนี้ให้จับคู่สัญญาณให้ตรงกับชนิดการทำงาน



Active High Signal .....

Active Low Signal .....

Positive-Edge Triggered Signal .....

.....

Negative-Edge Triggered Signal .....

.....