

**การทดลองที่ 9** วงจรจับเวลาโดยใช้วิธี Schematic บนบอร์ด FPGA

**วัตถุประสงค์**

1. เพื่อให้นักศึกษาฝึกใช้งานโปรแกรมช่วยการออกแบบวงจรดิจิทัลให้เก่งขึ้น
2. เพื่อให้นักศึกษาฝึกการใช้งาน FPGA ให้คล่องตัว
3. เพื่อให้นักศึกษาฝึกการออกแบบวงจรดิจิทัลอย่างเป็นระบบ

**การทดลอง**

1. ให้นักศึกษาสร้างนาฬิกาจับเวลาโดยมีข้อกำหนดดังนี้
  - 1.1 ให้มีปุ่มกดเพื่อให้เวลาเริ่มเดินเมื่อเริ่มจับเวลา และกดอีกครั้งเพื่อหยุดเวลาชั่วคราว(กดอีกครั้งเพื่อนับต่อ สลับกันไปเรื่อยๆ)
  - 1.2 ให้มีปุ่มกดเพื่อลบเวลาให้เป็น 00:00 ขณะที่เวลาหยุดเดิน(ขณะกำลังจับเวลาไม่สามารถกดลบเวลาได้)
  - 1.3 แสดงผลเวลาการนับเป็นหน่วยนาที่และวินาทีบนตัวเลขแสดงผลเจ็ดส่วนจำนวนอย่างละ 2 หลัก (นาที่ 00 – 99, วินาที 00 – 59)
  - 1.4 ให้มีจุดสองจุดตรงกลางระหว่างนาที่และวินาทีกระพริบทุกวินาทีเหมือนนาฬิกาโดยทั่วไป
2. ให้นักศึกษาออกแบบวงจรแบบ Top-Down Design โดยทำในกระดาษก่อนแล้วจึงทำในคอมพิวเตอร์เพื่อ Download ลง FPGA

**หมายเหตุ** แลปนี้ส่งในเวลาได้เต็ม ส่งช้าหักสัปดาห์ละ 30%

## ใบตรวจการทดลองที่ 9

วัน/เดือน/ปี \_\_\_\_\_ ☐ กลุ่มเช้า ☐ กลุ่มบ่าย กลุ่มที่ \_\_\_\_\_

1. รหัสนักศึกษา \_\_\_\_\_ ชื่อ-นามสกุล \_\_\_\_\_

2. รหัสนักศึกษา \_\_\_\_\_ ชื่อ-นามสกุล \_\_\_\_\_

การตรวจการทดลอง \_\_\_\_\_ รวมหัก \_\_\_\_\_ ☐ บันทึกคะแนนแล้ว

การทดลองข้อ 2      ลายเซ็นอาจารย์ \_\_\_\_\_ วันที่ \_\_\_\_\_