

Sharing and Binding for General Circuits

Benedikt Lipinski
Interaktionstechnik und Design
Hochschule Hamm Lippstadt
Lippstadt, Germany
benedikt.lipinski@stud.hshl.de

Abstract

I. INTRODUCTION

Durch das menschliche Verlangen, Problemstellungen zugunsten schwindender Komplexität und erhöhten Komforts zu automatisieren und zu brechen, wurden genau diese Anforderungen auf diejenigen elektrischer Schaltungen umgelegt.

A. Problemstellung

Nicht erst durch moderne Entwicklungen wie digitale Vernetzung mit dem Internet der Dinge oder das autonome Fahren wird die Betrachtung zeitlicher und finanzieller Aspekte für die Entwicklung multidimensionaler Systeme notwendig. Allerdings lassen genau diese Entwicklungen die Komplexität sprunghaft ansteigen.

B. Logische Bausteine

Realisierbar werden elektrische Verschaltungen in der Digitaltechnik erst durch den Einsatz sogenannter Logikbausteine, die miteinander kombiniert ein vorher genau bestimmtes Verhalten der geplanten Schaltung verursachen. Hierbei übernehmen verschiedene Bausteine verschiedene Aufgaben, die mal weniger und mal mehr komplizierte Operationen beinhalten.

1) *AND-Gatter*: Eine der Grundoperationen, die in fast jeder Schaltung zu finden ist, ist die AND-Operation, zu deutsch die UND-Operation. Hierbei wird der Eingang erst auf logisch 1 geschaltet, wenn alle Eingänge dies ebenfalls sind.

x	y	Out
0	0	0
0	1	0
1	0	0
1	1	1

2) *OR-Gatter*: Das Ergebnis des OR-Gatters ist in dem Fall wahr, wenn einer seiner Eingänge wahr ist.

x	y	Out
0	0	0
0	1	1
1	0	1
1	1	1

Simple Schaltungen lassen sich durch das gezielte Aneinanderreihen von AND- und OR-Gattern gut realisieren, sollte aber

3) *Multiplexer*: Multiplexer werden genutzt, wenn eine parallele Verarbeitung aus unterschiedlichsten Gründen nicht möglich ist. Das kann zum einen eine nicht ausreichende Verfügbarkeit an Kanälen sein, aber auch die bewusste Entscheidung, weniger Kanäle aus Kostengründen zu benutzen, sein. Dieser Schritt kann gewählt werden, wenn Verläufe zwar parallel laufen, aber nur exklusiv ausgeführt werden. Das bedeutet, dass nach einer elementaren Entscheidung nur einer der beiden Stränge ausgeführt werden kann. Beeindruckend allerdings ist, dass Multiplexer trotz ihrer fortgeschrittenen Eigenschaften gegenüber der Grundbausteine doch recht simpel aus genau diesem erzeugt werden können. So ergibt sich für einen einfachen Multiplexer das Schaltbild aus zwei AND-Gattern, einem NOT-Gatter und einem OR-Gatter.

4) *FPGA*: Der Einsatz von diesen Grundelementen ist für das Erreichen des Ziels völlig hinreichend, doch benötigen sie eine sehr hohe Fläche, auf der sie verbaut werden müssen. Ein zu erreichendes Ziel ist, die Fläche auf der die Schaltung realisiert werden muss, zu verringern. Dies ist durch die Verwendung von Halbleitern und die Entwicklung von integrierten Schaltkreisen auch erfolgreich gelungen, allerdings besitzen diese sogenannten ICs den Nachteil, dass ihre Schaltung- wie die einer Realisierung mit Bausteinen- auch fest gebunden ist. Ein Nachteil, den FPGA (Field Programmable Gate ARRAY) Bauteile nicht besitzen, ihr Vorteil ist die Zusammensetzung aus zusammengeschalteten Baugruppen aus Logikbausteinen, FlipFlops und deren Verbindung mit Multiplexern. In FPGAs kann das Verhalten der Eingänge zu den Ausgängen über..... "programmiert" werden.

C. Strategien zur Architektur-Optimierung

Mit steigender Komplexität der Verschaltungen steigt zwingend auch die Anzahl der zu nutzenden Bauteile. Zudem steigt auch die Verwendung performanterer Bausteine stetig, um die Abarbeitung bezüglich Leistung und aller zeitlichen Deadlines einhalten zu können. Nachteilig ist vor dem Hintergrund ebenfalls, dass Bausteine mit einer höheren Leistung oftmals auch einen erhöhten Platzbedarf einfordern [2, S.327].

Ziel ist es, Strategien umzusetzen, die die Chipfläche verringern, ohne dabei die Leistungsfähigkeit der Schaltung zu beeinflussen. Leider ist dieses Problem nicht mit der Einhaltung beider Anforderungen zu vereinbaren, wodurch zum Beispiel die Verminderung der Kosten durch Senkung der Chip-Anzahl und Fläche immer auch zum Nachteil der Performance agiert. Der Zusammenhang zwischen Fläche und der erzeugten Leistungsverminderung ergibt sich aus der Fläche a in der Einheit Gatteräquivalent ($GateEquivalentGE$), das die Größe des simpelsten Gatters widerspiegelt [2, S.326] und der Performance, die den Kehrwert der Ausführungszeit T_{ges} widerspiegelt $\frac{1}{T_{ges}}$, die sich wieder aus der Taktzeit T_c multipliziert mit der Latenz λ zusammensetzt [2, S.325-326]. Eine mögliche Realisierung der Schaltung mit einer bestimmten Performance bei einer bestimmten Fläche lässt sich als Punkt in einem Diagramm darstellen, dessen Achsen sowohl die Chipfläche, die Latenz und den Takt abbilden [2, S.326]. Dieses Vorgehen [?] ist in diesem Fall notwendig, da mehr als eine Variable optimiert werden muss, und es dementsprechend mehr als eine gültige Lösung dieses Problems gibt. Als mögliches Hilfsmittel kann hier die Pareto-Optimierung verwendet werden. Die Pareto-Optimierung erzeugt eine Kompromisslösung durch die Gewichtung jeder Einzelfunktion. Die Idee dahinter ist, dass die Gewichtung die Wichtigkeit der Einzelfunktion repräsentiert und ihr bei steigendem Gewicht mehr Aufmerksamkeit verleiht [4, S.45]. Als ergebnis erhalten wir sogenannte Pareto punkte, diese punkte in unserem entwurfsraum stellen verschiedenste verhältnisse unserer optimierungs variablen dar. Eine Pareto optimale lösung, ist die lösung, die gültig gegenüber aller gestellten anforderungen ist und die das best mögliche ergebnis aller

variablen liefert, ohne das sich eine verschlechtert nur um eine andere weiter zu optimieren.

D. Allocation

Nicht nur, aber vor allem aus Kosten und Platzgründen stehen der Entwicklung selten unbegrenzte resources zur verfügung. Aus diesem Grund kann die Betrachtung der zur verfügung stehenden resources zwingend notwendig werden. Somit ist das ergebnis der allokierung nach Teich [1] , eine funktion $\alpha(r_k)$ die angibt wie viele verfügbare Bauteile es zu einer Jeweiligen Ressourcentyp gibt. Damit würde, wenn vom Ressourcentyp Multiplizier: r_1 , Beispielsweise 1 Einheiten zur verfügung stehen die Allokierungsfunktion $\alpha(r_1) = 2$ lauten. Die Funktion der Allokation zeigt deshalb ziemlich genau welche probleme beziehungsweise zeitliche veränderungen entstehen durch die grenzen, die durch die begrenzte verfügbarkeit an Resources gegeben werden. Dies kann ein nützlicher zwischenschritt sein um den überblick zu behalten, den Teich mittels eines Ressourcen graphen anschaulich darstellt. In vielen Literaturen allerdings wird dieser schritt auch in die Bindung integriert und nicht extra behandelt.

E. Binding

Im unterschied zur Allokierung wird in der Bindung schließlich festgelegt welche Resource welche operation zugeteilt bekommt, also die Zuweisung von Operationen zu bestimmten hardware Komponenten [3]. in einer Utopischen vorstellung in der Kosten und Fläche keine rolle spielen würden, könnte für jeden Rechenschritt, jede Operation, also zum beispiel für jede Multiplikation oder jeden vergleich eine eigene Komponente Benutzt werden. Leider ist diese vorstellung in der Praxis nicht durchführbar, da jedes gesparte bauteil auf eine Große stückzahl gerechnet den Kostendruck lindert. Das ist zudem auch nicht zwingend nötig, da Beispielsweise ein Vergleich nach eine Addition, welche beide durch eine ALU realisiert werden können, nicht unbedingt durch 2 verschiedene Hardware einheiten umgesetzt werden müssen, da der vergleich erst stattfinden kann wenn das ergebnis der Addition vorliegt. genannt wird dies in diesem fall ein Optimal Resource sharing oder zu Deutsch ein Optimales ausnutzen einer Resource [2]. Die Bindung bietet ein Tool, das veranschaulicht wie optimal die vorhandene schaltung auf und mit den gegebenen Bauteilen realisiert wird. Da das engültige Ziel eine Optimale ausnutzung der vorhandenen resources ist müssen nun schrittweise die benötigten Bauteile minimiert werden, dies wird erreicht indem anfangs jede Operation einem bauteil zugeordnet wird, es wird ein sogenannte dedizierte Ressource erzeugt, ein spezialfall [3, S. 150] Dem Bild ist zu entnehmen das in diesem beispiel für die zuordnung jeder Aufgabe zu einer Resource: 11 Bauteile benötigt werden. Die sich aus 3 Multiplikationen = r_1 und aus 8 operationen für eine Arithmetisch logisch einheit r_2 ergibt.

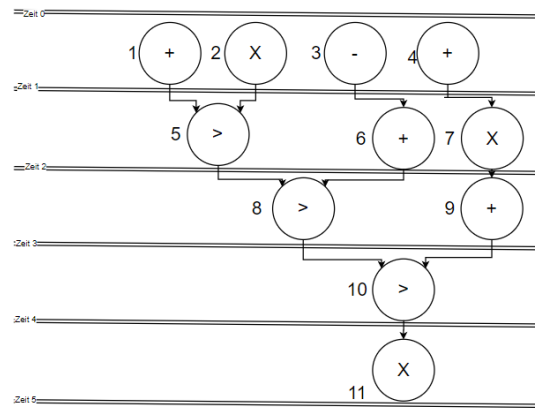


Fig. 1. Beispiel zur Bindung

v_i	$\beta(v_i)$	$\gamma(v_i)$
v_1	r_2	1
v_2	r_1	1
v_3	r_2	2
v_4	r_2	3
v_5	r_2	4
v_6	r_2	5
v_7	r_1	2
v_8	r_2	6
v_9	r_2	7
v_{10}	r_2	8
v_{11}	r_1	3

Da es sich, um ein recht einfach

zu überblickendes beispiel handelt, lässt sich durch einen geübten blick bereits erkennen wie eine Optimierung aussehen könnte. Im ersten Zeitslot ist abzulesen, das 3 Arithmetische operationen und eine Multiplikation durchgeführt werden, somit werden 3 ALU Einheiten und ein Multiplizierer benötigt. Im weiteren verlauf lässt sich unter anderem erkennen das in keinem weiteren zeitslot mehr als 3 ALU einheiten gebraucht werden, deswegen ist dies auch unsere minimal benötigte anzahl an Resources dieses typs. Ganz genau deutlich wird dies durch eine veranschaulichung in einer tabelle. Zeitslot ALU Multiplizierer

1	3	1
2	2	1
3	2	0
4	1	0
5	0	0

Aus der Tabelle kann nun abgelesen werden, das 3 Resources des Typs ALU benötigt werden und 1 des Typs Multiplizierer. Übertragen auf die obere Tabelle entsteht nun folgendes Bind-

v_i	$\beta(v_i)$	$\gamma(v_i)$
v_1	r_2	1
v_2	r_1	1
v_3	r_2	2
v_4	r_2	3
v_5	r_2	1
v_6	r_2	2
v_7	r_1	1
v_8	r_2	1
v_9	r_2	2
v_{10}	r_2	1
v_{11}	r_1	1

Somit wurden in diesem Beispiel 5 Alu

einheiten die einen Anteil von 62,5% ausmachen eingespart. Bei den Multiplizierern wurde die benötigten Ressourcen auf $\frac{1}{3}$ reduziert.

F. Sharing

das sharing beschreibt zusammen mit dem Binding, die effektive mehrfachnutzung der Ressourcen, welches der Minimierung der verwendeten Hardware dient und somit zu Reduzierung von Flächen und Kosten Problemen beiträgt. wobei das Ziel des Sharing die Frage nach dem Algorithmus zur Optimierung ist und anschließend mit einem Binding endet. In dem Kapitel Binding wurde ein einfach im Kopf zu lösendes Beispiel gezeigt, leider bleibt es in der Realität nicht immer bei so einfach zu lösenden Systemen, so dass da schnell der Überblick verloren gehen kann und zudem ein System unter Umständen nicht zu lösen wäre. Aus diesem Grund befasst sich das sharing mit der Frage wie ein vorhandenes System effektiv optimiert werden kann. Zu den verwendeten Algorithmen zählen unter anderem aus dem Bereich der Resource Dominated Circuits das Register sharing, Multiport Memory Binding und das Bus sharing and Binding und für den Bereich der general circuits, sind es Unconstrained minimum - Area Binding, Performance Constrained Binding und zu letzt Performance Directed Binding.

II. GRUNDLEGENDES

A. Kompatibilitäts- und Konfliktgraphen

Als Voraussetzung, um überhaupt eine sinnvolle Bindung beziehungsweise Allokierung erzeugen zu können muss sich im 1. Schritt einmal mit dem eigentlichen Problem befasst werden. Um das Problem darstellen zu können wird ein Graph aufgestellt, der die Eigenschaften der Elemente beschreibt. Dieser Schritt ermöglicht die Betrachtung der einzelnen Operationen mit einander und stellt auf welche mit einander kompatibel sind und welche ein kritisches Verhalten zu einander aufweisen.

Zwei oder mehr Operationen sind mit einander kompatibel und können an die gleiche Resource gebunden werden wenn sie nicht mit einander konkurrieren und wenn sie dem gleichen Ressourcen-typen angehören [3, S.231]

Das bedeutet konkret, dass Aufgaben mit einander kompatibel sind, wenn sie nicht im gleichen Zeitslot neben einander anliegen und wenn sie des gleichen Typs sind zum Beispiel Addierer. Die Entwicklung der Graphensysteme kann

grundsätzlich über 2 Ansätze erfolgen, zum einen kann ein Kompatibilitätsgraph oder Verträglichkeitsgraph entwickelt werden, dieser Graph gibt an welche Operationen verträglich zu einander sind und somit keine Probleme darstellen. Komplementär dazu lässt sich durch den Konfliktgraphen angeben welche Operationen im Konflikt zu einander stehen und eine genauere Betrachtung bedürfen.

Ein Ressourcen Verträglichkeitsgraph ist definiert durch $G_+(V, E)$ in denen die Knoten durch $V = \{v_i; i = 1, 2, \dots, n\}$ definiert werden und die Kanten durch $E = \{\{v_i, v_j\}; i, j = 1, 2, \dots, n\}$. Die Knoten stellen die Operationen an sich dar, wohingegen die Kanten die kompatiblen Operationspaare angeben [3, S.231].

Zusammen gefasst nach Teich [1, S. 181-182] lassen sich folgende Verträglichkeiten für den Kompatibilitätsgraphen aufführen:

demnach ist eine **Schwache Verträglichkeit** gegeben, wenn zwei Knoten des Graphen eines Graphen mit einander verbunden sind und des gleichen Typs angehören also zum Beispiel eine Addition und ein Vergleich, da beide durch eine Arithmetisch logische Einheit verarbeitet werden können. [?]

Ablaufplan verträglich ist ein Graph hingegen, wenn seine Knoten als erste Bedingung vom gleichen Typ sind, also wie bei der schwachen Verträglichkeit zum Beispiel aus 2 Operationen vom Typ Multiplizierer. Zum zweiten muss die Bedingung erfüllt sein, dass die Startzeit des ersten Knoten vor der des zweiten Knotens liegen muss. Das bedeutet, dass Knoten die Ablaufverträglich sind nicht in dem selben Zeitslot ausgeführt werden dürfen, andernfalls wären sie nicht Ablaufplan verträglich [?].

Als letztes definiert sich die **Starke Verträglichkeit**, durch zwei Knoten die wieder vom gleichen Typ sind und zudem von einander abhängig sind. Das bedeutet die beiden Knoten sind in einem logischen Strang durch einen Pfad im Ablaufplan mit einander verbunden. [?]

Die Graphische Umsetzung des Verträglichkeitsgraphes mit dem Beispiel aus den vorherigen Kapiteln sieht dann wie folgt aus:

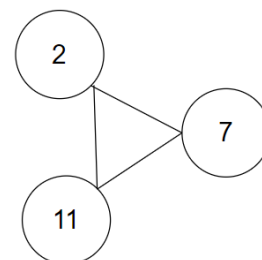


Fig. 2. Verträglichkeitsgraph Multiplizierer

Aus den vorherigen Kapiteln, wissen wir bereits, dass für die Optimierung der Verschaltung nur ein Multiplizierer benötigt wird und genau das können wir in diesem Beispiel nun auch

grafisch betrachten. Zu sehen ist, dass jeder Knoten mit einer kante verbunden ist und somit sind alle Operationen mit einander Ablaufplan verträglich, weswegen der einsatz von nur einem Multiplizierer nun auch Optisch besser nachzuvollziehen ist.

Als nächsten schritt werden nun sogenannte Cliques eingeze-

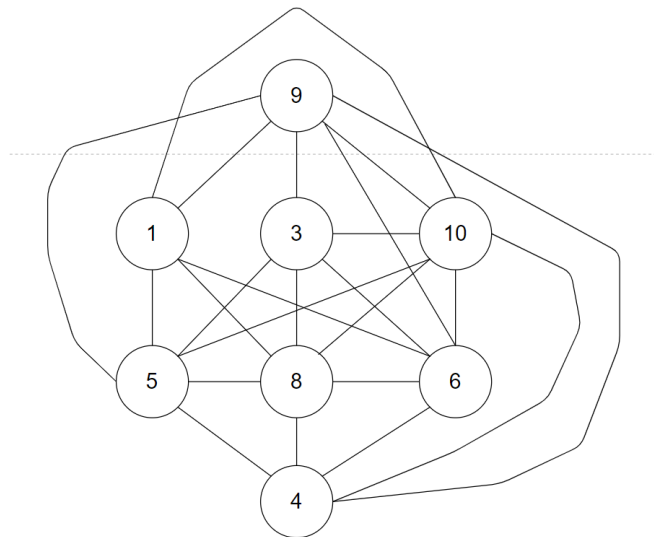


Fig. 3. Verträglichkeitsgraph Arithmetisch logische einheit mit Cliques

ichnet, sie repräsentieren die zusammenfassung Mehrerer Operationen und zeigen ihre zusammenführung auf eine Komponente, so das für jede clique genau eine Komponente eingesetzt wird. Zu sehen ist, das Bei dem Verträglichkeitsgraphen in diesem Beispiel für die Multilplizierer genau eine Clique eingezeichnet werden muss. Da mit steigender Komplexität der aufgabe, auch die Komplexität für das einzeichnen der Cliques steigt, bietet sich dieses verfahren leider nur für die anwendung an simple verschaltungen an, der Grund hierfür ist die klassifizierung dieses problems als NP-Hartes Problem. [2, S.361]

B. Resource Dominated circuits

Das "Sharing and Binding for Resource Dominated Circuits" (Verteilung und Bindung für Ressourcen dominierte Schaltkreise) Bedeutet, im folgenden die umsetzung und kombinierung, des Wissens und der Grundlagen aus den voran gegangenen Abschnitten. Zur Erinnerung ist, das gesuchte ergebnis eine Bindung, das bedeutet eine zuordnung von tatsächlicher hardware und Operationen in denen eine maximale menge an Operationen einer minimalen menge an Hardware zugeordnet wird. hierfür ist im vorfeld zwingen festzustellen ob nicht druch andere dynamische umwelteinflüssen und anforderungen, eine grundsetzliche begrenzung der zur verfügung stehenden harware und fläche besteht (allokierung). Desweiteren, um überhaupt feststellen zu können, welche operationen sich auf der selben hardware kombinieren lassen, muss ein Kompatibilitäts-/Konflikt-graph aufgestellt werden,

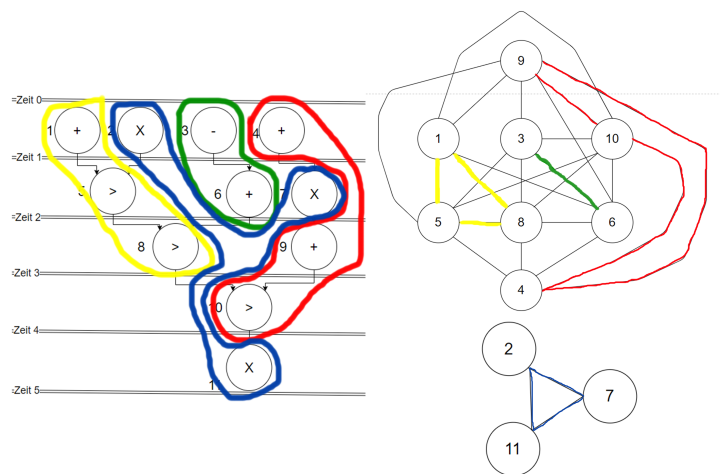


Fig. 4. Ablaufplan und verträglichkeitsgraphen mit Cliquesbildung

mit dessen ergebnis sich operationen zu Cliques bündeln lassen. Leider ist die Lösung des vorliegenden problems nicht derart einfach, als einziges ziel lediglich die fläche und somit den preis der verschaltung zu optimieren, gerade in Echtzeitsystemen muss auch immer die aufmerksamkeit zu gleichen teilen auf der einhaltung der zeitlichen vorgaben bleiben. Deswegen betrachtet das sharing and Binding für Resource Dominated Circuits, die Optimierung der Schaltung, bezüglich Fläche(Kosten) und Latenz(Zeitschranken), mittels der Optimierung der wirkenden Schaltung mittels vermindierung der eingesetzten Hardware und doppelnutzung dieser. [3, S. 156]

III. GENERAL CIRCUITS

Die betrachtung einer Schaltung unter dem aspekt der RESource Dominated Circuits ähnelt allerdings eher der betrachtung einer Idealen Komponente, als einer in denen auch störgrößen und andere umwelteinflüsse einer gewichteten zuwendung erfahren.

A. Allgm.

Aus diesem Grund wird für das Sharing and Binding für General Circuits (Verteilung und Bindung für Generelle schaltkreise) nicht nur latenz und fläche der Operierenden Elektronik betrachtet, sondern auch derer, die steuernde und speichernde eigenschaften besitzen, zudem wird auch die verkabelung dieser nicht außen vor gelassen. [3, S. 156]

B. Baugruppen

1) Register: Da in schaltungen, wie sie in allen modernen systemen vorhanden sind, die über eine einfache input/output addition hinaus gehen Daten und werte über einen einzelnen zyklus hinaus gespeichert werden müssen, kommen in vielen schaltungen speichehrelemente zum einsatz beispielsweise müssen in Reglungs-Schaltungen werte gespeichert werden, die über mehrere zyklen zur verfügung stehen. Grundlegend verhält sich die bindung und das Teilen von

registern ganz ähnlich zu den vorgängen bei normalen operatoren. Auch sind die vorgaben, bei denen REGISTER geteilt werden können gleich zu denen der Operatoren, das bedeutet Register können geteilt werden, wenn sie nicht in konkurrenz zu einander stehen, das bedeutet wenn sie exklusiv zu einander stehen oder erst nach einander auftreten. Nicht analog allerdings ist hier die definition der Lebenszeit einer variable und dementsprechend auch der register nutzung ist. Die lebenszeit ergibt sich nach De Micheli aus dem geburtszeitpunkt (*former*) und dem Todeszeitpunkt (*latter*) einer variable. Der Geburtszeitpunkt ist der Zeitpunkt der erstellung durch das ergebnis einer Operation und der todeszeitpunkt ist als der späteste zeitpunkt anzunehmen in dem die Variable als input referenziert wird [3, S. 240] Zur lösung der Registerbindung kann der Left-Edge Algorithmus verwendet werden [2, S. 359]

2) *Steuerlogik*: Unter der Berücksichtigung der steuerlogik kann sowohl für multiplexer, die ganz ähnlich zu den aufgezeigten vorgängen betrachtet werden kann, desweiteren auch Bussysteme bewertet werden. Hierzu wird das augenmerk auf zwei zu berücksichtigende komponenten gelegt. Als erstes wird der bus an sich selbst betrachtet, der einen fixwert zugeordnet bekommt, einen sogenannten overhead. Als zweite komponente werden die Bustreiber aufgeführt, also die funktionseinheiten, die zur steuerung des busses fungieren. Diese kann als verteilter multiplexer betrachtet werden, was eine berechnung von anzahl und verbraucht möglich macht. [3, S. 157]

3) *Verkabelung*: Als ein weiterer, nicht zu vernachlässigbarer bereich, gilt vor allem für das platzmanagement die benötigte Verdrahtung zur verbindung der plazierten bauteile. Hierbei ist zu beachten, dass nun auch starke physikalische beeinflussung mit in die plazierung der komponenten mit einbezogen werden muss und sich somit wiederum auch auf die benötigte fläche ausbreitet, so müssen beispielsweise leitungen die betriebsspannung führen möglichst von empfindlichen busleitung räumlich fern gehalten werden. Somit ist eine umumgehbarer voraussetzung für die ermittlung des platzbedarfs, kenntnis über die struktur der elemente, dazu zählen ihre größe, ihre anzahl und ihre plazierung zudem ist auch die bindung der elemente von bedeutung, da diese einen direkten einfluss auf ihre verkabelung hat [3, S.157] Zur berechnung ergibt sich, dass die länge der verdrahtung proportional zur anzahl der einhangesetzten funktionsblöcke, hoch α ist, wobei $0 \leq \alpha \leq 1$ ist. [3, S.157]

4) *Kontroll einheiten*: Da Signale zur steuerung von bausteinen unerlässlich sind und diese signale letztendlich den gleichen beschränkungen und einflüssen unterliegen wie datensignale kann es passieren, dass diese steuersignale auf einem Kritischen pfad liegen und somit zu einem problem für den Programm ablauf werden.

Eine möglichkeit der Optimierung, ist die reduzierung des ROM (**Read Only Memory**) dies ist möglich, wenn es sich

um eine implementierung eines Microcode basierter Kontroll einheit handelt. Der vorgang sieht in diesem fall vor nicht eine sogenannte horizontale umsetzung eines des Microcodes, der eine eins zu eins verbindung von bits zu steuersignalen vorsieht, sondern die umsetzung in einer Vertikalen variante des Microcodes, der bits in gruppen zusammen fasst und demnach die menge der zu speichernden daten reduzieren kann. [2, S.371-372] Hart verdratete codierungen hingegen lassen sich nur durch ihre verschiedene bauweise optimieren und anpassen, wohingegen der gedanke der anpassung bedeutet, eine gewisse störsicherheit einzubinden so werden in kritischen umgebungen, in denen es nicht zu störsignalen kommen darf die einen bit kippen lassen würden gray code impule verwendet um in den nächsten zeitschritt zu springen. [2, S.373]

IV. SHARING AND BINDING FOR GENERAL CIRCUITS

A. Unconstrained minimum - Area Binding

Zur berechnung und Einschätzung der kosten, und somit der möglichkeit diese zu minimieren muss wie bereits in den vorherigen kapiteln, festgestellt eine Möglichkeit geschaffen werden mehr als eine operation einer hardware komponente zuordnen zu können. Hinzu gekommen ist nun auch die betrachtung der Steuerlogik, der Datenübertragung und der Verkabelung die ebenfalls einen nicht unerheblichen einfluss auf die effizienz einer schaltung nehmen. Ganz Äquivalent wird nun auch unter berücksichtigung dieser versucht heraus zu finden, ob und in welchem rahmen diese verteilt werden können. Durch den umstand, dass die vorgehensweise ähnlich zu der ist, die von der einfachen betrachtung ohne die steuerlogik bekannt ist, ergeben sich auch ganz ähnliche probleme bei der arbeit mit dieser.

Problematisch ist nun auch, dass auch in diesem fall mit steigender komplexität der Verschaltung das bestimmen eines Optimums zunehmend schwieriger wird. Deswegen wird versucht mittels bestimmter algorithmen, den Perfekten graphen zu finden. Da ein perfekter Graph, die annahme zulässt, dass er in Polynomialzeit zeit berechenbar ist, kann angenommen werden dass, dass ein ergebnis in einer akzeptablen zeit zu erwarten ist. Für den fall, dass sich der Perfekte graph in Polynomialzeit brechnen lässt, gilt auch, dass sich all seine Parameter ebenfalls in akzeptabler zeit berechnen lassen [6, S. 60].

Eine mögliche vorgehensweise ist, die kosten für z.B. Multiplexer gleichmäßig über die operatoren zu verteilen [3, S.247] Ermöglicht wird dies über eine gänzliche betrachtung der cliques, denen ein set an kosten zugeordnet wird, das sich aus den kosten mengen ihrer knoten ergibt. Ihre gewichtung erhält die clique durch die anzahl ihrer hinzu gefügten knoten. Die gesamtkosten wiederum ergeben sich aus der Summe der Cliques, die zu einer partition zusammengefügt werden. [3, S. 247]

So kann eine formel für Multiplexer wie folgt aussehen:

$$area_{mux} = area_{mux}^{\Delta}(a - 1)$$

und wird als:

$$area_M^0 + \sum_{i=1}^a area_M^i$$
geschrieben
[3, S. 247]

Desweiteren kann ein Algorithmus nach Tseng und Siewiorek genutzt werden in dem Cliques partitioniert, also zusammengefasst werden. Das Ziel des Algorithmus ist es ungewichtete Untergraphen zu erstellen, um im Anschluss eine Optimierung erhalten zu können [3, S. 247]. Erreicht wird dies durch das Erkennen und Auswählen des Knotenpaares mit den meisten gemeinsamen Knoten die mittels einer Kante verbunden sind, gesucht wird also das Paar mit den meisten gemeinsamen Nachbarn. Sobald das Paar mit den meisten Nachbarn gefunden wurde, werden diese zusammengeführt, nach der Zusammenführung werden nun alle Kanten gelöscht, die nicht in Verbindung mit beiden zusammengeführten Knoten stehen. Übrig bleiben demnach nur noch ein verbundener Knoten und alle Kanten, die mit beiden Knoten in Verbindung standen. Dies kann solange durchgeführt werden, wie sich Partner für eine Zusammenführung finden lassen, andernfalls ist die erstellte Clique maximal und kann abgespeichert, gegebenenfalls gefärbt und anschließend geupdated werden. Eine Aktualisierung des Graphen lässt sich mittels des Updating Algorithmus nach Tseng und Siewiorek [5, S.393] durchführen, indem die Kanten, die zusammengeführt wurden, aus der Liste der Kanten entfernt werden und in eine Liste der gelöschten Kanten eingetragen wird, anschließend werden in einem zweiten Schritt die Anzahl der nächsten Nachbarn und die Anzahl der Kanten die gelöscht werden müssen neu. Abgeschlossen ist die Cliquespartitionierung in dem Moment, in dem sich keine Kanten mehr in der Kantenliste befinden [3, S.248] [5, S.392-393].

Ein Graph ist in dem Moment Perfekt, wenn auch alle seine Untergraphen $H(G)$ folgende Bedingung erfüllen. Ein Untergraph ist perfekt, wenn die Mächtigkeit seiner größten Clique gleich ist mit der Chromatischen Zahl. $\omega(H) = \chi(H)$ Desweiteren muss die Unabhängigkeitszahl $\alpha(H)$, die angibt, welche Knoten nicht miteinander durch eine Kante verbunden sind, also in einem nicht adjazenten Verhältnis stehen, ebenfalls gleich mit der Anzahl an unabhängigen Mengen, also der Zusammenhangszahl ($\kappa(H)$ gleich sein $\alpha(H) = \kappa(H)$ [1, S.507] [6, S.59 - 60] Das bedeutet Konkret am Beispiel der Vorangegangenen Algorithmen, dass versucht wird, einen Graphen zu optimieren, in dem der Graph in Untergraphen zerlegt wird und für diese geprüft wird, ob ein Optimum vorliegt.

B. Performance Constrained Binding und Performance Directed Binding

Neben der Optimierung der Kosten, durch Reduktion der eingesetzten Hardware, war es zwingend notwendig einen weiteren Aspekt zu beobachten, da dieser direkt durch die Mehrfachnutzung der Hardwarekomponenten beeinflusst wird. Da die Reduzierung der benutzten Hardware, auch immer einen direkten Einfluss auf die Zeit hat, die zur Ausführung der

Aufgaben benötigt wird hat, beeinflusst auch die verbaute Steuerelektronik, die Verkabelung und die Datenhaltung unmittelbar die Ausführungszeit. Gerade Multiplexer wirken sich negativ auf die benötigte Ausführungszeit aus, da eine direkte serielle 1 zu 1 Verkabelung, immer schneller ist, als eine Gemultiplexte, in denen die Übertragung zu Gunsten von Chipfläche und weniger Verkabelung reduziert wird.

Desweiteren stellt sich somit die Frage, ob die Ersetzung von direkter Verkabelung durch Multiplexer, eine zeitliche Beeinträchtigung entsteht, die das Einhalten der Zykluszeit verletzt. Betrachtet wird ein Pfad, in einem Ablaufplan mit einer maximalen Menge von Knoten, in diesem können Operationen unter der Voraussetzung, dass sie die Zykluszeit Φ nicht verletzen in den selben Taktzyklus gelegt werden, hierbei spricht man von der Verkettung ((chaining)) von Operationen [3, S.249]. Unter dieser zu-Hilfenahme ist es möglich auch Multiplexer, Verkabelungen zu verketteten und diese in einen normalen Ablaufplan und Bindung B einzubauen. Eine Formel, die die Pfadverzögerung angibt ist:

$$\sum_{i \in \text{path}} \hat{d}_i + \text{multiplexer_delay}(B) + \text{wireing_delay}(B) \quad (1)$$

wobei, \hat{d}_i die Einzel Delays der Ressourcen darstellen und $B = \text{Binding}$ angibt.

Das Resource Sharing unter zeitlichen Aspekten wird mit der Formel

$$\sum_{i \in \text{path}} d_i + \text{multiplexer_delay}(B) + \text{wireing_delay}(B) < \Phi \quad \forall \text{path} \quad (2)$$

beschrieben [3, S.249]

V. GLEICHNIS, VORGESTELLTER ALGORITHMEN

VI. AUSBLICK

REFERENCES

- [1] Jürgen Teich, Christian Haubelt, Digitale Hardware/Software-Systeme, Synthese und Optimierung, 2. Auflage, Springer, 2007
- [2] Dr. Walter Lange, Prof. Dr. Martin Bogdan, Entwurf und Synthese von Eingebetteten Systemen, Ein Lehrbuch, Oldenbourg Verlag München, 2013
- [3] Giovanni De Micheli, Synthesis and Optimization of Digital Circuits, McGraw-Hill, Inc. New York etc, 1994
- [4] Martin Pieper, Mathematische Optimierung, Eine Einführung in die Kontinuierliche Optimierung mit Beispielen, Springer Spektrum, 2017
- [5] Chia-Jeng Tseng, Daniel P. Siewiorek, Automated Synthesis of Data Paths in Digital Systems, IEEE Xplore, 1986
- [6] Graphentheoretische Konzepte und Algorithmen, Sven Oliver Krumke & Hartmut Noltemeier, 3. Auflage, Springer Vieweg, 2012

LIST OF FIGURES

1	Beispiel zur Bindung	2
2	Verträglichkeitsgraph Multiplizierer	3
3	Verträglichkeitsgraph Arithmetisch logische Einheit mit Cliques	4
4	Ablaufplan und Verträglichkeitsgraphen mit Cliquesbildung	4

LIST OF TABLES