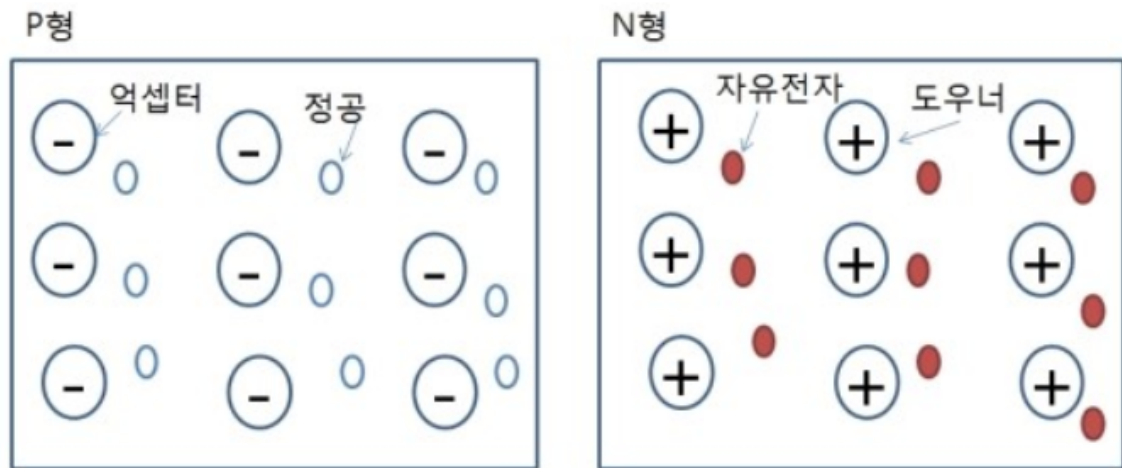
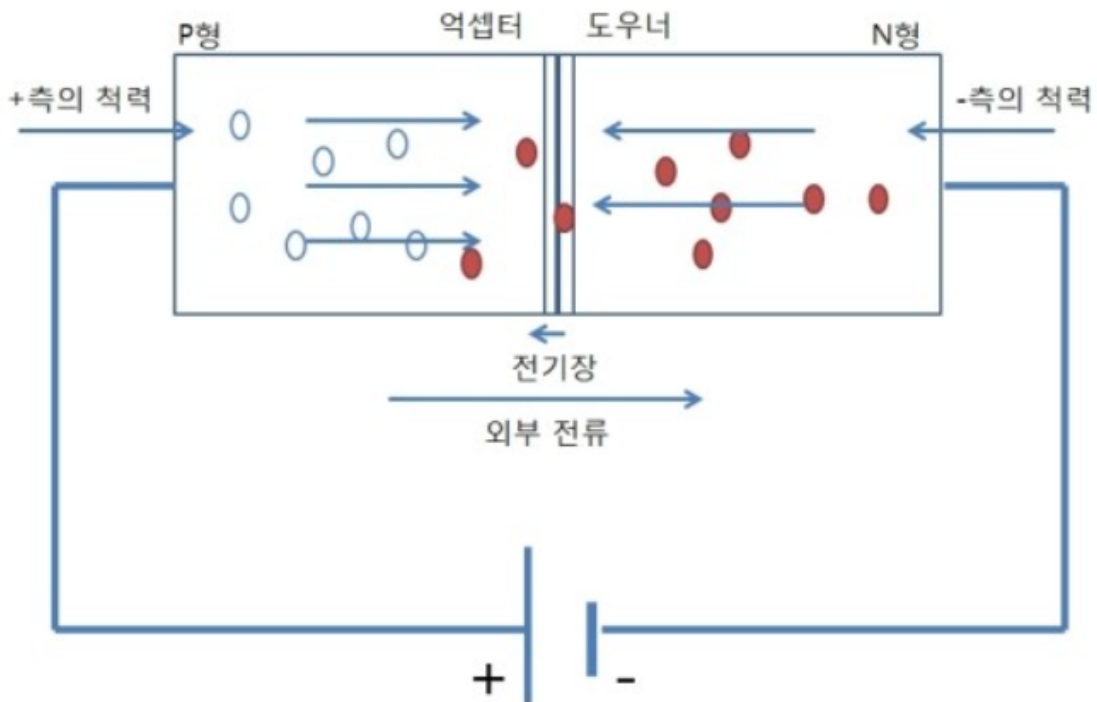


다이오드의 원리



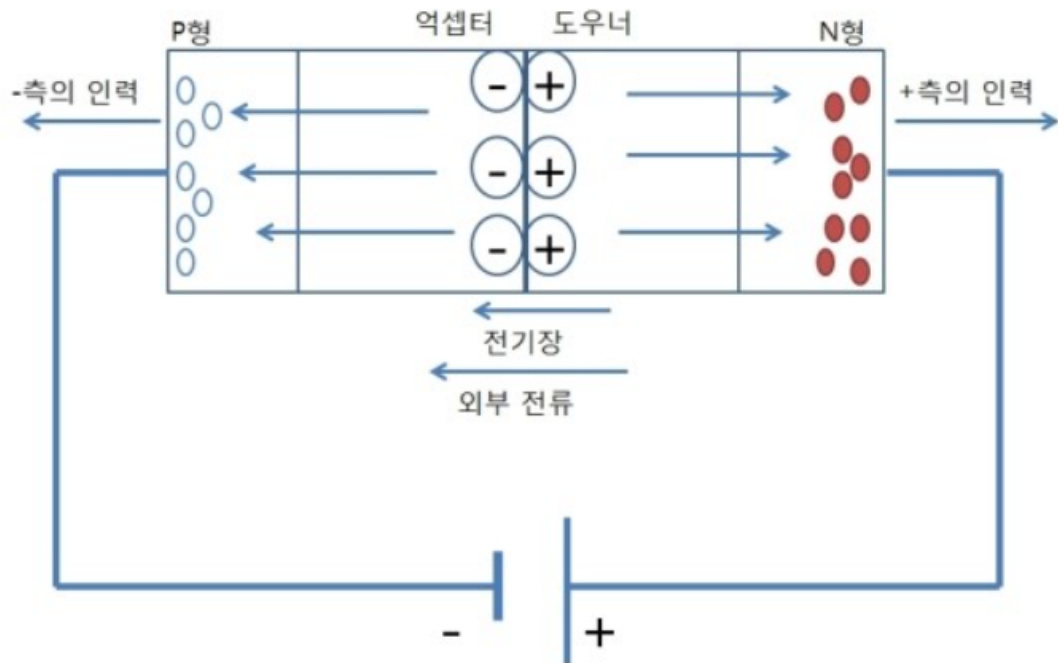
그림처럼 N형의 경우 4가 진성반도체(전자4개)+5가 원소(전자5개)의 결합으로 전자 1개가 남는 8개로 구성되고 1개의 전자가 떨어져 남아 자유전자가 되서 N(Negative)형이 되고 -를 필요로 하기 때문에 중성인 상태이지만 +로 이온화 가능성을 여겨 도우너 doner라고 하고 +로 표현하며

P형의 경우는 4가 진성반도체(전자4개)+3가 원소(전자3개)의 결합으로 전자 1개가 부족한 7개로 구성되고 전자 1개가 부족한 양공이 형성되어 P(Positive)형이 되고 중성인 상태이지만 -로 이온화 가능성을 여겨 억셉터라고 하고 -로 표현한다.



그림처럼 외부에서 순방향 바이어스를 걸어주면 P형의 정공들은 +극의 척력과 -극의 인력을 받고

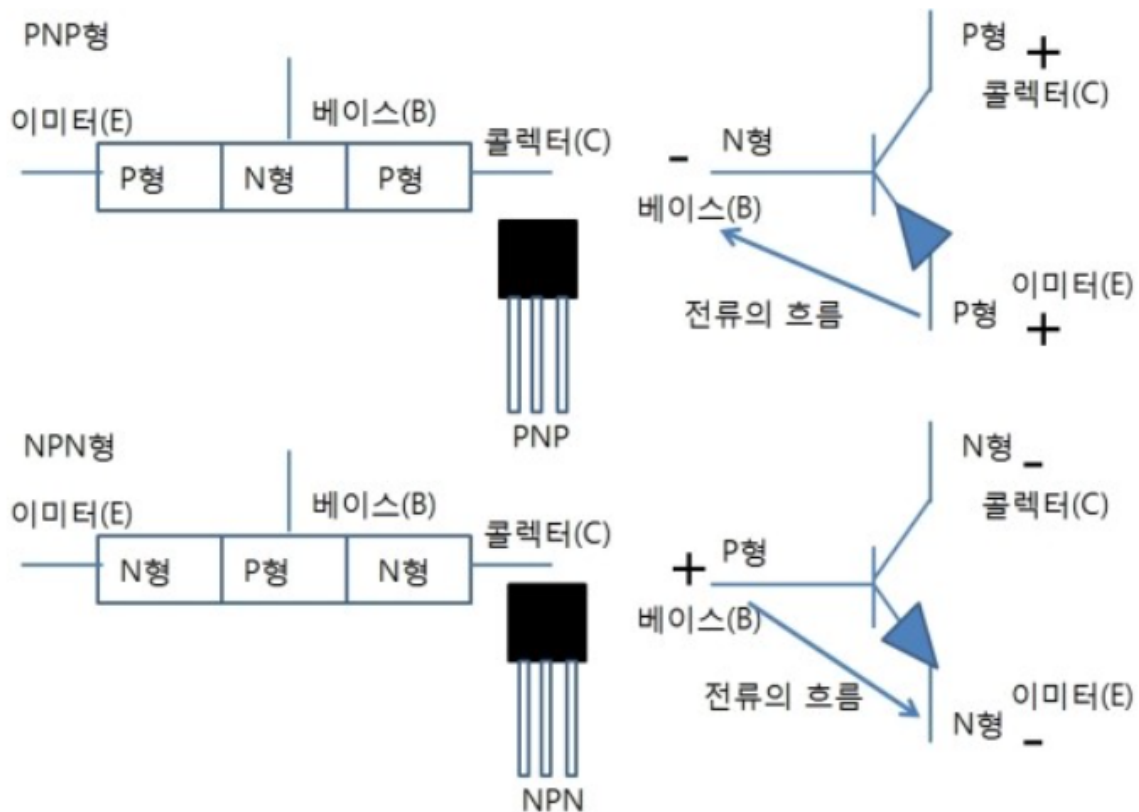
-극의 자유전자들은 -극의 척력과 +극의 인력을 받게되며 외부에서 만들어준 전위차(전압)에 의해 공핍층을 뚫고 전류를 형성시키려고 한다. 이때 공핍층에 형성된 장벽전위 실리콘의 경우 0.7V를 넘는 외부 전압을 형성해주면 공핍층을 서서히 줄어들이고 전류가 흐르게 된다.



반대로 역방향 바이어스를 걸어주면 P형의 정공들은 -극의 인력과 +극의 척력으로 인해 극 쪽으로 몰리게 되고 N형의 자유전자들은 +극의 인력과 -극의 척력으로 인해 극 쪽으로 몰리게 된다. 그러므로 인해 NP접합의 중간부분의 캐리어 공백이 넓어지고 이로 인해 공핍층은 늘어나고 전류는 흐르기 힘들게 된다.

다이오드는 전류의 방향을 한방향으로 흐르게 해준다. NP 접합

트랜지스터의 원리

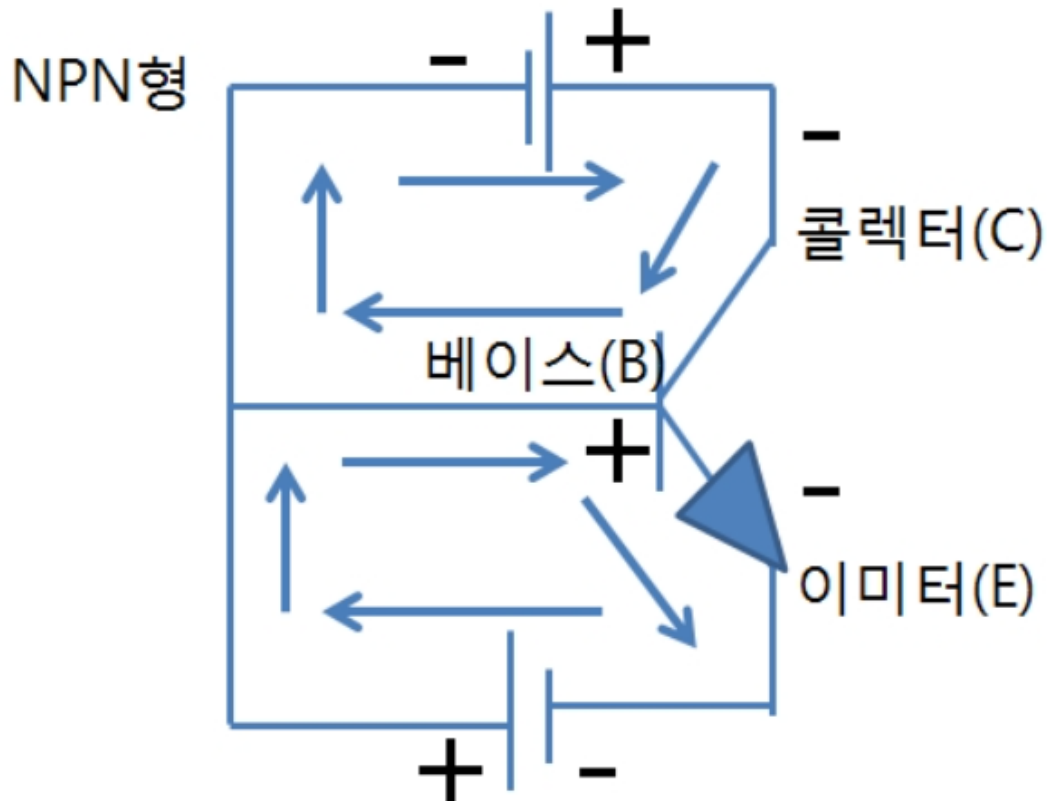


베이스:전류의 흐름을 제어하는 곳 (불순물을 적게 첨가,폭이 좁음)

이미터(Emitter): 총 전류가 흐르는 곳 불순물을 많이 첨가(도핑을 많이함,폭이 넓음)

컬렉터(collector):증폭된 신호가 흐르는 곳 (불순물을중간정도 첨가)

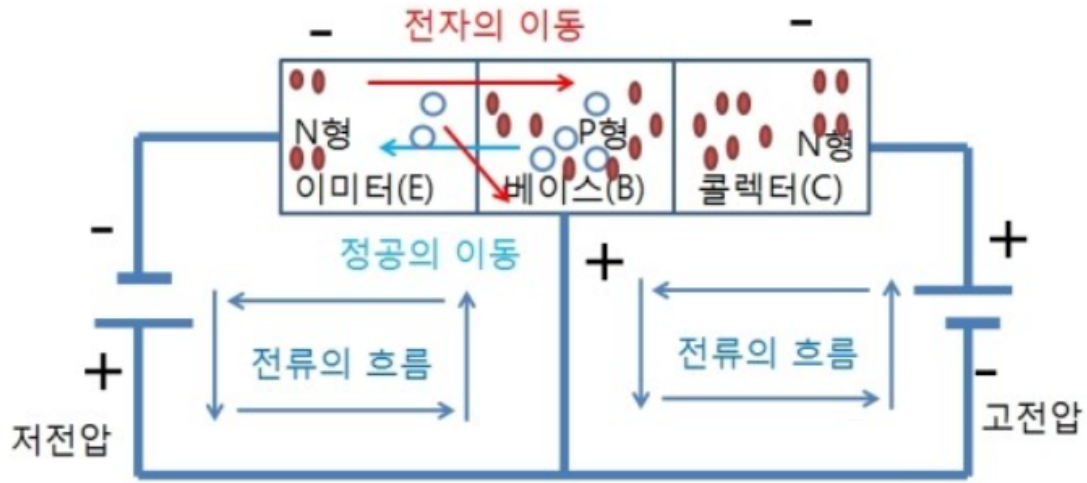
NPN형은 전류는 베이스에서 이미터로 흐르고 PNP형의 경우 이미터에서 베이스로 전류가 흐른다.



대부분 트랜지스터 회로를 보면 2개의 전원부를 연결한 위의 그림과 같은 구성이다.

베이스측에 연결된 전원부의 경우 베이스측P형에 +극이 연결된 순방향 전류가 흐르는게 이해가 되지만 컬렉터측은 왜 N형인 측에 +극인 역방향 바이어스를 걸었을까? 역방향의 경우 전류가 흐르지 않는데 말이다. 그런데 '**이미터와 베이스사이에 순방향으로 전류가 흐른다**'는 조건에서는 베이스와 컬렉터 사이 **역방향으로 걸린 전압이 흐른다고 한다**. 왜냐면 베이스에서 이미터로 전류가 흐를 때 전자와 정공이 베이스의 전자와 정공만 흐르는게 아니라, 컬렉터에 있는 전자와 정공 또한 같이 끌고 가버린다. 1:1이 아니라 1:50~1:200의 비율로 끌고가며 이것을 전류 증폭률이라고 한다.

즉, 베이스에서 이미터로 1mA의 전류가 흐르면 이 전류는 컬렉터에 있는 전자와 정공을 같이 끌고와서 이미터로 흐르는데 100배 정도 많은 전자와 정공을 끌어가므로 전류증폭률이 약 100배라는 것이다.



그림과 같이 흐르게 되는데 쉽게 설명하자면 원래 이미터와 베이스사이의 순방향 바이어스에 의해

트랜지스터가 전류를 증폭시키는 원리

이미터의 자유전자들은 베이스로 베이스의 정공들은 이미터로 이동하게 된다. 반대로 컬렉터와 베이스 사이는 역방향의 바이어스 때문에 공핍층이 형성되게 되는데 컬렉터가 N형으로 -를 띄고 있지만 고전압에 의해 +극의 성질을 더 많이 띄게된다 즉 N형의 +극 쪽으로 전자들이 몰리는데 이 때 베이스에 쌓인 전자들까지 몰리게되고 더 많은 전자들이 이끌려가게 된다. 이 때 전류가 증폭된다.

증폭되는 원리는 위에서 알아봤듯이 베이스-이미터간에 순방향을 베이스-컬렉터 간의 역방향을 주면서 전자와 양공이 한쪽으로 치우쳐가기 때문에 증폭되는점을 알았다.

PNP, NPN의 차이

그냥 일반적인 차이는 NPN은 베이스가 P형 이므로 P형에 +전원을 연결하고 이미터에 -혹은 접지를 연결하고 반대로 PNP는 베이스가 N형 이므로 N형에 -를 연결, 이미터에 +전원을 연결한다.

트랜지스터의 스위칭 작용

- 증폭과 같이, 이미터-베이스 사이의 전류(베이스 전류)에 따라 이미터-컬렉터 사이에 보다 큰 전류(컬렉터 전류)를 제어할 수 있는 장치를 이용한다.

- 베이스에 부여되는 작은 신호에 따라 큰 전류를 제어할 수 있어서, 메카니컬한 릴레이스위치 대신에 이용되는 경우도 있다.

- 전류의 대소가 아닌 ON/OFF만이 제어의 대상이라서, 일정 선형성이 요구되는 일반적인 증폭작용의 경우와는 달리, 컬렉터전류와 베이스전류의 비가 직류전류증폭률보다도 작아지는 포화영역도 사용된다.

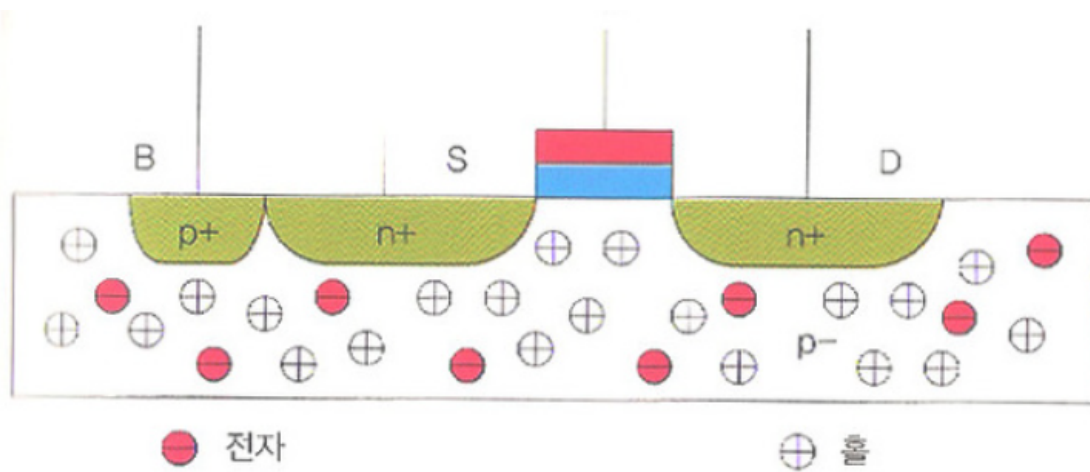


그림 5.13 전압이 가해지지 않은 상태의 NMOS

[출처] 반도체 제대로 이해하기, 지성사, 강구창 지음

일단 전압이 가해지지 않은 상태에서는 소스-게이트와 드레인 사이에 서브스트레이트라는 물리적 공간이 존재하기 때문에 전류가 흐르지 않게 된다.

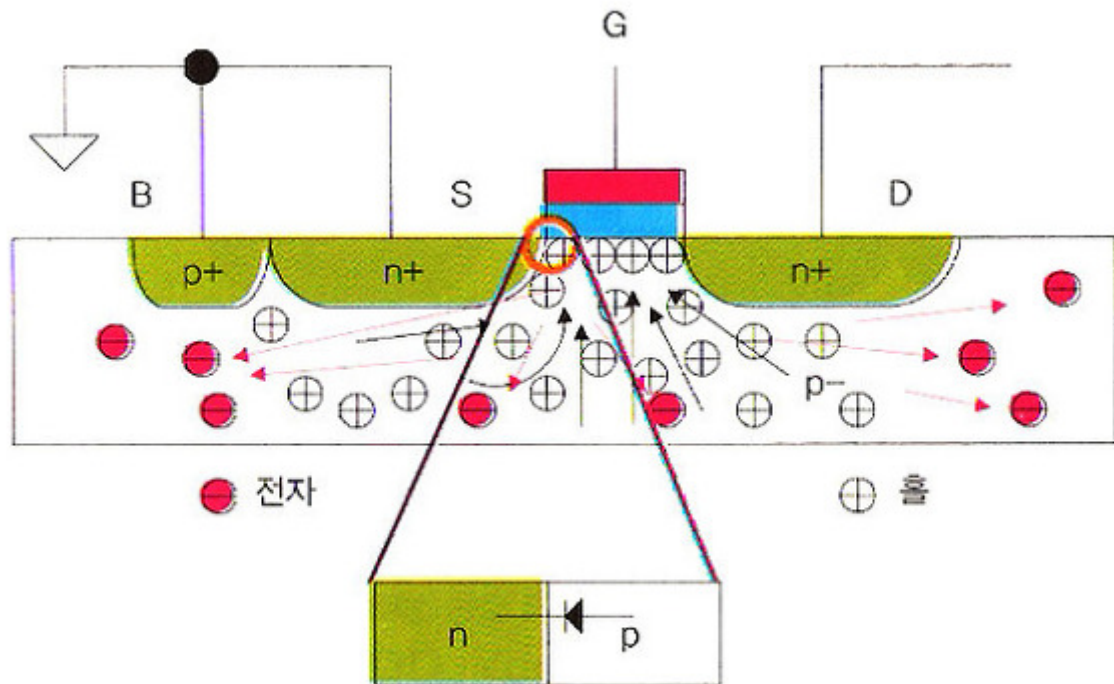


그림 5.15 $V_{GS} < 0$ 볼트일 때 NMOS의 게이트 아랫부분

[출처] 반도체 제대로 이해하기, 지성사, 강구창 지음

게이트에 마이너스 전압이 걸리면 서브스트레이트에 플러스 극성을 띤 홀들이 모이게 되는데 이 부분을 자세히 보면 미니다이오드가 그림처럼 형성되는 것을 볼 수 있다. 이 경우에는 결국 다이오드의 역방향 연결이 형성되게 되어 전류가 흐를 수 없게 된다.

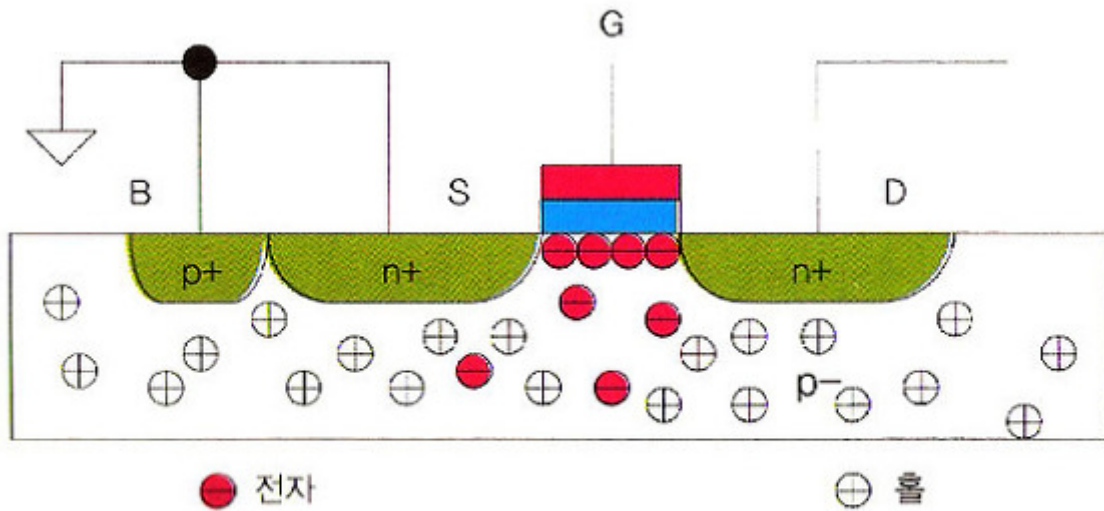
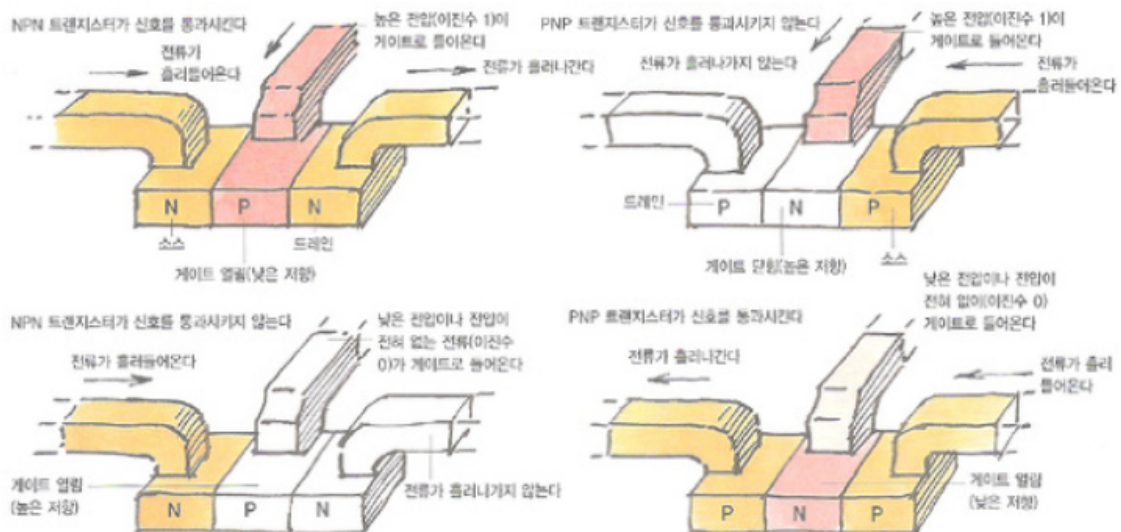


그림 5.17 $V_{GS} = V_T$ 에서 NMOS의 상태

[출처] 반도체 제대로 이해하기, 지성사, 강구창 지음

하지만 게이트에 문턱 전압 수준으로 전압이 증가하면 게이트가 플러스 극성을 띠기 때문에 서브스트레이트에 마이너스 전자들이 게이트 밑부분으로 모이게 된다. 이처럼 전자들이 모이게 되면 전자의 다리가 형성되어 서브스트레이트의 물리적 공간을 건널 수 있게 되고, 드디어 소스에서 드레인쪽으로 전류가 흐를 수 있게 된다. (전류란 정의상 전자의 흐름을 가리키므로 이처럼 전자가 모여야 전류가 흐를 수 있는 것이다)



[출처] 도구와 기계의 원리, 서울문화사, 데이비드 맥켈레이

NMOS(MOSFET의 일종) 란?

서브스트레이트 위에 소스-게이트-드레인으로 구성된 pnp, npn 접합 구조

- 소스(Source) : 전하 캐리어의 공급
- 게이트(Gate) : 전하 캐리어의 흐름 조절
- 드레인(Drain) : 전하 캐리어의 흡수
- 서브스트레이트(Substrate) : 기판

게이트의 주요 역할

- 금속에 가까운 고 농도 Poly Silicon
- 전하 캐리어의 흐름 즉, 전류(전도도)의 제어
- 다른 단자와는 격리(절연)되어, 마치 커패시터의 한쪽 판 처럼 동작 함

- 문턱전압
 - 강반전을 일으키는데 필요한 게이트 전압
 - 게이트 전압 (V_G)이 낮은 초기에는,
 - 공핍영역 만이 형성되어 전류가 흐르지 못하다가,
 - 게이트 전압 (V_G)이 문턱전압 (V_{th}) 보다 높으면,
 - 반전층(전도채널)이 생기고,
 - 이 층과 게이트, 몸체와는 2개의 커패시터를 형성하며,
 - 이 층을 통해 드레인 전류 (I_{DS})가 흐를 수 있게 됨
- 즉, 전압이 낮을 때는 -전압 그대로 전도되다가 문턱전압을 넘는 순간 공핍층이 생기며 게이트 윗면과 아랫면이 서로 상이한 전하로 전도됨

트랜지스터로 논리 게이트 만들기

AND 회로

