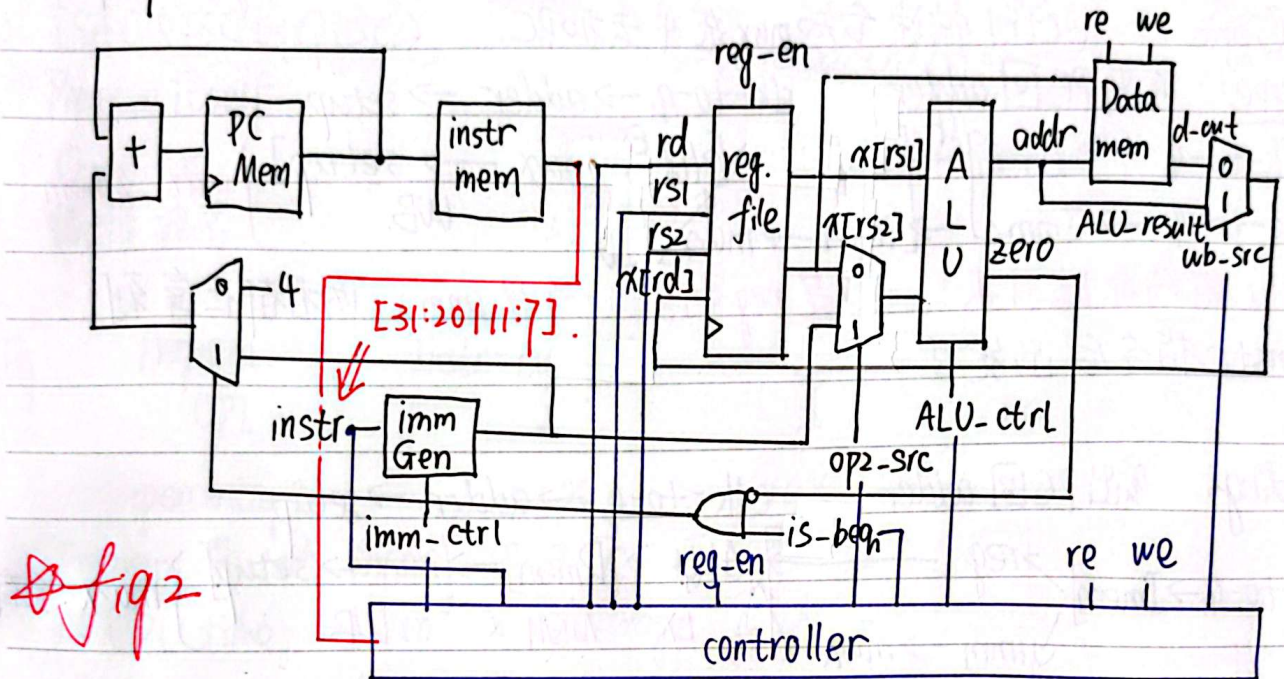


Controller:

从之前能看出：许多控制器件的信号由 instr 而来，有：

reg-en re we alu-ctrl imm-ctrl wb-src
op2-src is-beq



controller 接 input (instr), and output a series of ctrl signals
 为了保证 信号到器件时, ctrl signal 已到达, 故 instr 先过 controller,
 由 controller 分发 ctrl signal 以及 $rd, rs1, rs2, instr[31:20|11:7]$
 但画图采用 *fig1* (题中) 也可以, 只不过需要明白, ctrl-signal.
 $instr[31:20|11:7]$ regs 是谁给的! (甚至部分题目算 timing 可能不考
 虑 controller 的延时).

Timing: 在 Datapath 图中, 不难发现 path 由 5 部分组成:

IF	ID	EX	MEM	WB
instr fetch	instr decode	execution	memory access	write back

下面讨论各个 Type 延时:

不论是 $rd \rightarrow reg.file$
 还是 $Pcimm \rightarrow Pc.reg$



IF 无mem环节! ID EX

R-type: $\text{clk-to-}q_1(\text{PC}) \rightarrow \text{Imem} \rightarrow [\text{Reg. file} \rightarrow \text{mux}] \rightarrow [\text{alu}]$ $\rightarrow \text{mux} \rightarrow \text{setup}$ WB 关键 setup 是 PC reg 的!同时, q_1 出的 PC 回到 adder 也有时间: $\text{clk-to-}q_1 \rightarrow \text{adder} \rightarrow \text{setup}$
但一般比上(一条 path)快 (assume; 且假设 control signal is fast)

A&Logic ctrl 快速告知 mux 选 4 去加 PC.

Itype: q_1 出 PC 回 adder: $\text{clk-to-}q_1 \rightarrow \text{adder} \rightarrow \text{setup}$ $\left[\begin{array}{l} \text{clk-to-}q_1 \rightarrow \text{Imem} \xrightarrow{\text{IF}} \text{reg} \xrightarrow{\text{ID}} \text{alu} \xrightarrow{\text{EX}} [\text{mux} \rightarrow \text{setup}] \\ \text{clk-to-}q_1 \rightarrow \text{Imem} \rightarrow \text{imm} \rightarrow \text{mux} \end{array} \right\} \text{max. 无 mem}$ WB

alu 前两条路过来! 一个是 reg 中值, 一个是 imm; 两者都在拿到 instr 指令后出发!

Loading: q_1 出 PC 回 adder: $\text{clk-to-}q_1 \rightarrow \text{adder} \rightarrow \text{setup}$ $\left[\begin{array}{l} \text{clk-to-}q_1 \rightarrow \text{Imem} \xrightarrow{\text{IF}} \text{reg} \xrightarrow{\text{ID}} \text{alu} \xrightarrow{\text{EX}} [\text{Dmem}] \xrightarrow{\text{MEM}} [\text{mux} \rightarrow \text{setup}] \\ \text{clk-to-}q_1 \rightarrow \text{Imem} \rightarrow \text{imm} \rightarrow \text{mux} \end{array} \right\} \text{max. 全有!}$ WB

因此, load 操作是耗时最长的!

S-type: $\text{clk-to-}q_1 \rightarrow \text{adder} \rightarrow \text{setup}$ $\left[\begin{array}{l} \text{clk-to-}q_1 \xrightarrow{\text{IF}} \text{Imem} \xrightarrow{\text{ID}} \text{reg} \xrightarrow{\text{EX}} [\text{Dmem}] \xrightarrow{\text{Mem}} \\ \text{clk-to-}q_1 \rightarrow \text{Imem} \rightarrow \text{imm} \rightarrow \text{mux} \end{array} \right\} \text{max. 无 WB}$ B-type: 现在, $\text{clk-to-}q_1 \rightarrow \text{adder} \rightarrow \text{setup}$, 不是这么简单了! $\left[\begin{array}{l} \text{clk-to-}q_1 \xrightarrow{\text{IF}} \text{Imem} \xrightarrow{\text{ID}} \text{reg} \xrightarrow{\text{EX}} \text{mux} \xrightarrow{\text{EX}} \text{alu} \xrightarrow{\text{EX}} \text{and} \xrightarrow{\text{WB}} \text{mux} \rightarrow \text{adder} \rightarrow \text{setup} \\ \text{clk-to-}q_1 \rightarrow \text{Imem} \rightarrow \text{imm} \rightarrow \text{mux} \end{array} \right\} \text{max}$ WB. 无 Mem