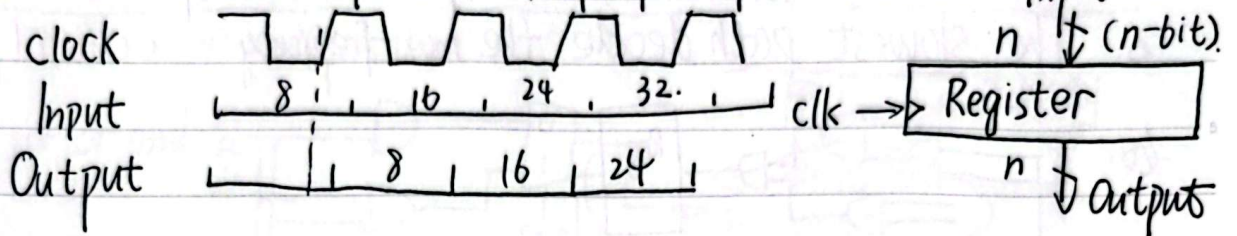


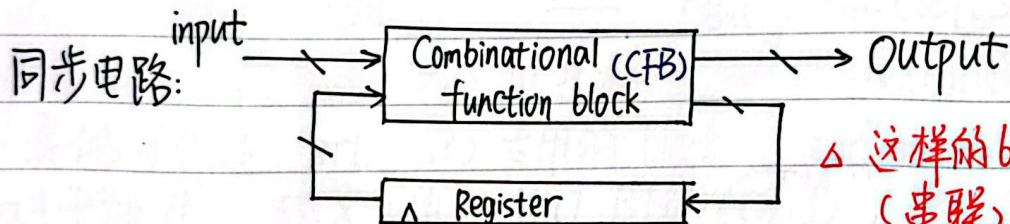
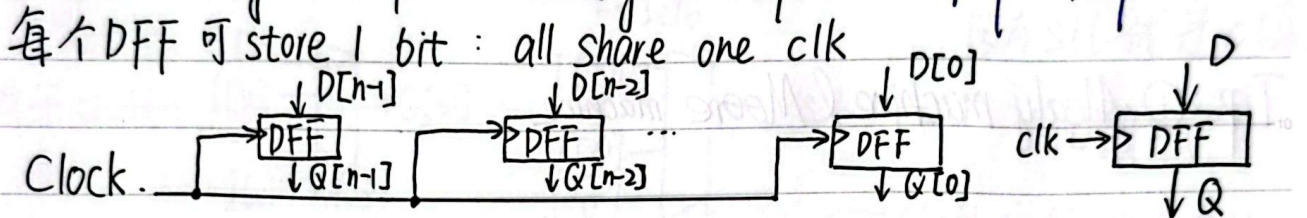
CA Review: Digital Circuit - State elements

(Digital System; Combinational logics 略)

Registers: 在 clock 上升沿时, 采样 input 并输出



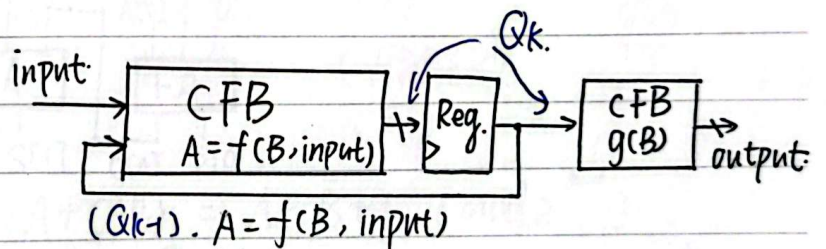
In side a reg: Implemented by multiple D-flip-flops (DFF)



△ 这样的 block 可重复叠多块 (串联)

同步电路表示 FSM

input & $Q_{k-1} \Rightarrow Q_k$ & output



某种程度上: ISA (指令集架构) 也是一种 FSM

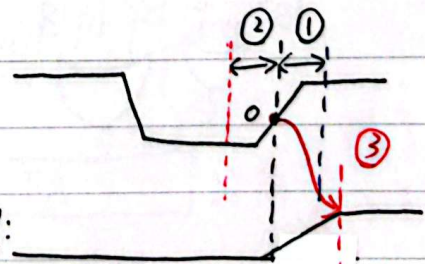
★ Timing in synchronous circuits: clk:

① Hold Time ② Setup Time

D 信息在 ①+② 期间应保持不变 Q:

同时, Q 在上升沿中期 (0 点) (上升沿可视为非常短暂) 可变化,

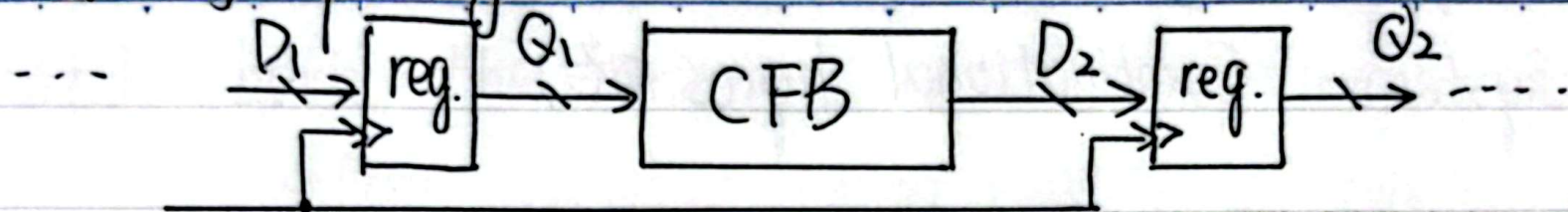
但需在 ③: $t_{\text{clk-to-Q}}$ 后才能到达稳定信号



No.

Date

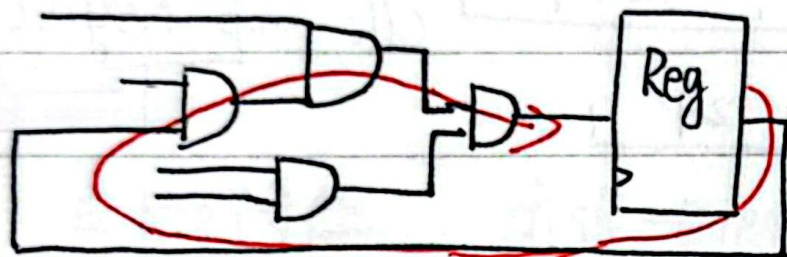
可见, clk frequency 不能 ∞ , 有限制! 如下电路:



则: $t_{\text{clk-to-Q}} + t_{\text{CFB}} \leq \text{min clock period} - \text{setup-time}$.

△. The slowest path decide the max frequency (critical path).

如:



以及注意: $\frac{1}{1\text{ns}} = 1000\text{MHz}$, $1\text{ns} = 10^{-9}\text{s}$

