



TESTE 4

Questão 17 Considere um processador MIPS que implementa um pipeline de 5 estágios. Você deve adicionar o suporte para as instruções abaixo na microarquitetura:

mul rs, rt | {hi, lo} = rs * rt
div rs, rt | lo = rs / rt; hi = rs %rt

Você deve adicionar os registradores hi e lo e alguma forma de acesso a eles, sem alterar o componente do banco de registradores. A instrução mul utiliza um circuito multiplicador que leva 3 ciclos para gerar os resultados do produto. A instrução div utiliza um circuito divisor que leva 5 ciclos para gerar os resultados de quociente e resto.

Como você projetaria esse processador mantendo a estratégia de pipeline? Mostre, em um diagrama simplificado, o novo caminho de dados em pipeline com a sua estratégia e explique o impacto relação ao desempenho e execução das novas instruções e em outras já implementadas.

☐ 100% ☐ 90% ☐ 80% ☐ 60% ☐ 40% ☐ 20% ☐ 0

Para manter a estrutura tradicional, sem a criação de novos estágios, foi criada a seguinte solução:

① uma unidade ~~de~~^{no} estágio ex para realizar as operações de multiplicação (mul) e divisão (div):

- recebe rs e rt;
- executa a operação: mul em 3 ciclos e div em 5 ciclos.

② para mul, a parte mais significativa fica em high (hi) e a menos significativa em low (lo). Já para div, o quociente fica em low (lo) e o resto fica em high (hi).

③ mfhi e mflo acessam os resultados das operações de mul e div, que por sua vez, ficam armazenados em hi e lo.

④ Mux selecionam se os resultados são de hi/lo ou da VLA Mem, conforme o tipo de instrução.

⑤ aumento no tempo de execução:

- mul → IF, ID, ¹EX, ²EX, ³EX, MEM, WB (ciclos)
- div → IF, ID, EX, ²EX, ³EX, ⁴EX, ⁵EX, MEM, WB (ciclos)

