

Chương 3: Quản lý bộ nhớ  
2. Các chiến lược quản lý bộ nhớ  
2.4 Chiến lược phân trang

## Trang nhiều mức

**Nguyên tắc:** Bảng quản lý trang được phân trang

Ví dụ trang 2 mức

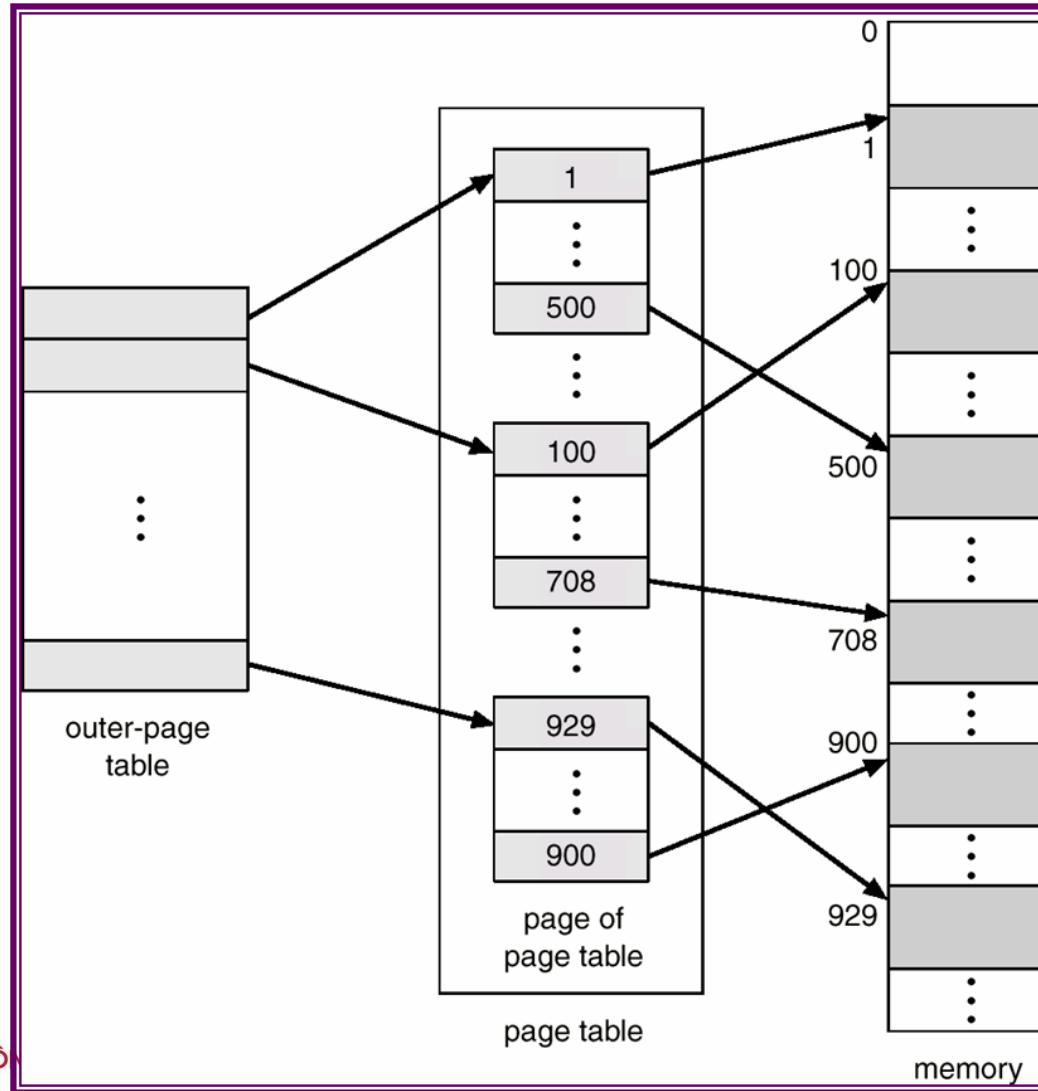
- Máy 32 bít địa chỉ ( $2^{32}$ ); trang kích thước 4K ( $2^{12}$ ) được chia
  - Số hiệu trang -20 bit
  - Độ lệch trong trang -12 bit
- Bảng trang được phân trang. Số hiệu trang được chia thành
  - Bảng trang ngoài (thư mục trang) - 10 bit
  - Độ lệch trong một thư mục trang – 10 bit
- Địa chỉ truy nhập có dạng  $\langle p_1, p_2, d \rangle$

# Chương 3: Quản lý bộ nhớ

## 2. Các chiến lược quản lý bộ nhớ

### 2.4 Chiến lược phân trang

#### Trang nhiều mức: Ví dụ trang 2 mức

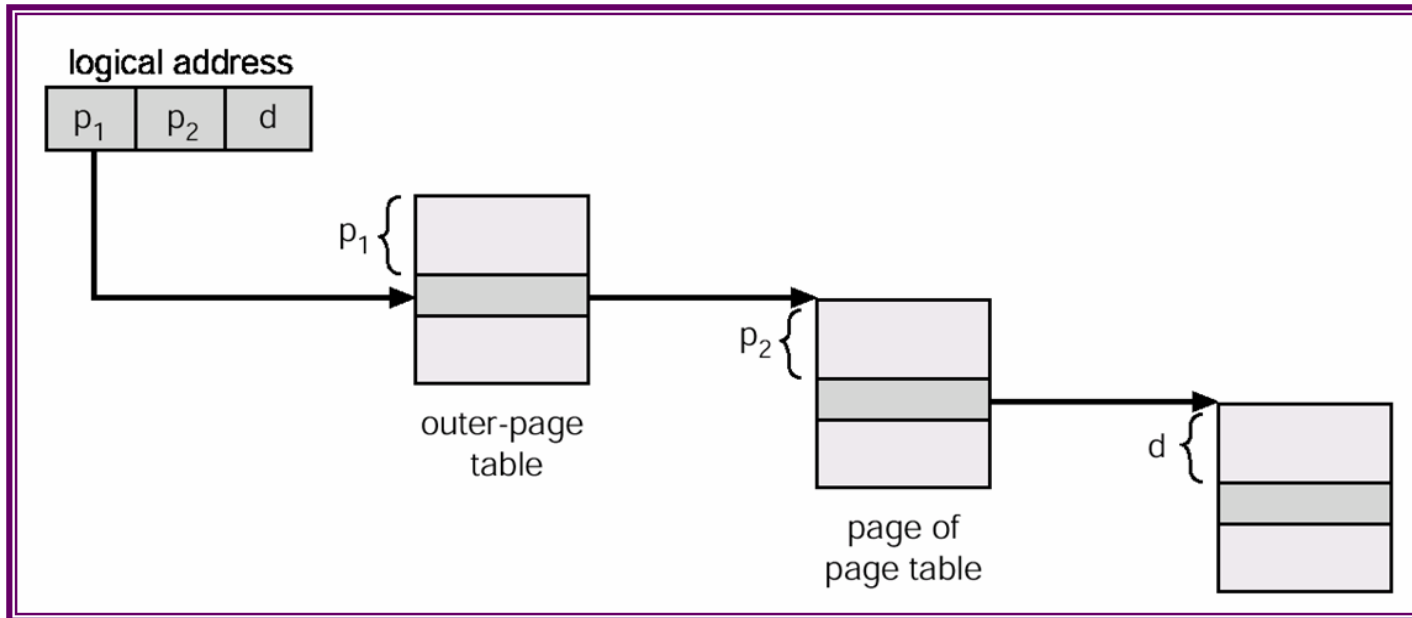


### Chương 3: Quản lý bộ nhớ

#### 2. Các chiến lược quản lý bộ nhớ

#### 2.4 Chiến lược phân trang

## Trang nhiều mức: Truy nhập bộ nhớ



- Khi thực hiện : Hệ thống nạp thư mục trang vào bộ nhớ
- Bảng trang và trang **không sử dụng không cần nạp** vào bộ nhớ
- Cần 3 lần truy nhập tới bộ nhớ

## Chương 3: Quản lý bộ nhớ

### 2. Các chiến lược quản lý bộ nhớ

#### 2.4 Chiến lược phân trang

#### Bộ đệm chuyển hóa địa chỉ

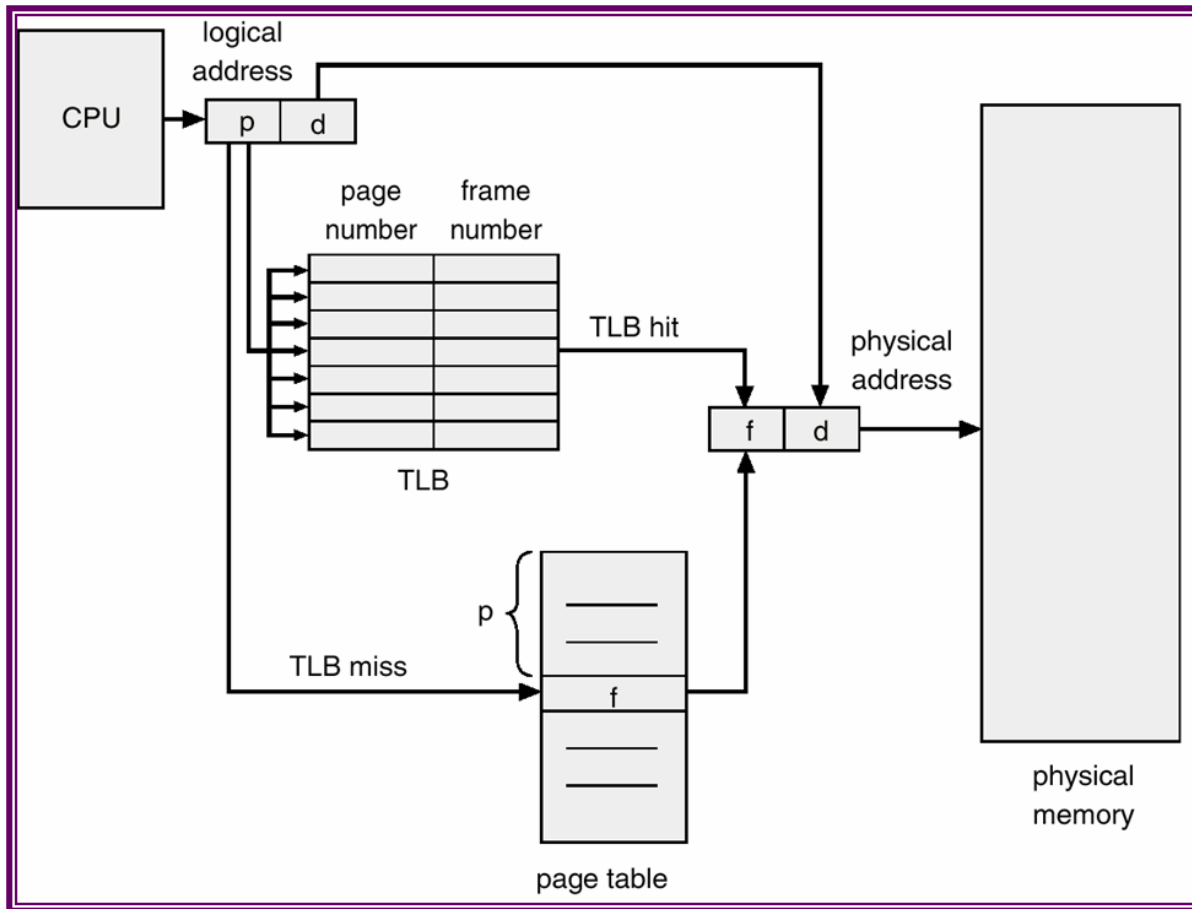
- Vấn đề: Với hệ thống 64 bit
  - Trang 3, 4,... mức
  - Cần 4, 5,... lần truy nhập bộ nhớ  $\Rightarrow$  chậm
  - Giải quyết: Bộ đệm chuyển hóa địa chỉ
    - (TLB: translation look-aside buffers)
    - 98% truy nhập bộ nhớ được thực hiện qua TLB

## Chương 3: Quản lý bộ nhớ

### 2. Các chiến lược quản lý bộ nhớ

#### 2.4 Chiến lược phân trang

### Bộ đệm chuyển hóa địa chỉ



- Tập thanh ghi liên kết (associative registers)
- Truy nhập song song
- Mỗi phần tử gồm
  - Khóa: Page number
  - Giá trị: Frame number
- TLB chứa đ/chỉ những trang mới truy nhập
- Khi có y/cầu  $\langle p, d \rangle$ 
  - Tìm  $p$  trong TLB
  - Không có, tìm  $p$  trong PCB rồi đưa  $\langle p, f \rangle$  vào TLB