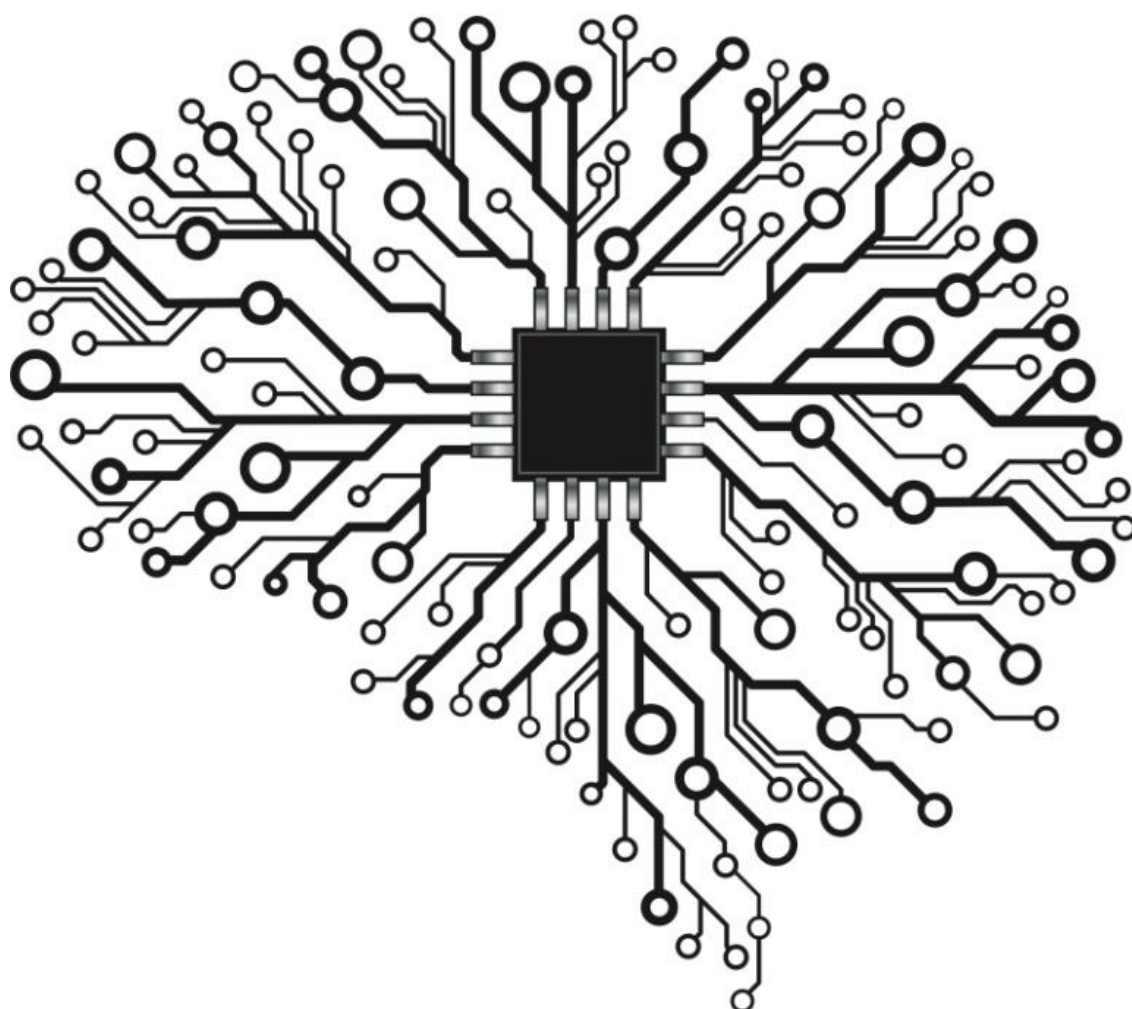


Семён Тютюков

# ПРАКТИЧЕСКИЕ РЕКОМЕНДАЦИИ ПО РАЗРАБОТКЕ ПЕЧАТНЫХ ПЛАТ



Все права защищены. Никакая часть данной книги не может быть воспроизведена в какой бы то ни было форме без согласования с владельцем авторских прав.

Версия С.1.2 © Тютюков С.А., 2018-2020

## Содержание

Предисловие .....	4
Введение .....	8
Глава 1. Размещение компонентов на печатной плате .....	13
Глава 2. Выбор структуры печатной платы .....	23
Глава 3. Трассировка печатной платы .....	42
Приложение А. Расчёт индуктивности элементов печатной платы .....	89
Приложение Б. Волновое сопротивление сигнальных линий .....	100
Приложение В. Краткое содержание .....	107

## Предисловие

Дорогой читатель, я садился за написание этой книги с надеждой, что представленная здесь информация будет Вам полезна. С момента окончания радиотехнического факультета МФТИ и до настоящего времени я занимался проектированием печатных плат, в основном цифровых и цифро-аналоговых с частотами тактового сигнала до 1 ГГц. При чтении материалов по теме у меня часто оставался вопрос «А почему именно так?» и я искал информацию, обобщал и систематизировал данные из доступных источников, пока у меня не возникало понимание. Или иллюзия понимания, потому что через какое-то время процесс повторялся на новом уровне. За почти десять лет я изучил большой объём литературы – как больших монографий, так и отдельных технических статей. За исключением, наверное, нескольких статей, это была англоязычная литература.

Я подумал, а почему бы не оформить накопившийся опыт в виде практического руководства, которое может оказаться полезным как начинающим, так и, надеюсь, более опытным отечественным разработчикам. Я думал о распространении ценной информации, краем мысли мечтал о вкладе в отрасль в целом. Настоящая книга – сборник основ и практических рекомендаций по проектированию печатных плат с максимально простыми пояснениями. На данном этапе я не планировал писать всеобъемлющую монографию, отвечающую на все вопросы бытия разработчика печатных плат. Скорее, здесь в максимально сжатом, без описаний законов Ома и Кирхгофа, без исторических справок и прочей «воды», в наглядном виде представлена информация по теме в формате «от

разработчика печатных плат разработчику печатных плат». Не удовлетворившийся объёмом данных читатель (и я всячески рекомендую быть именно таким читателем-искателем) может обратиться к таким мощным источникам информации как:

[1] Ott, Henry W.

- *"Electromagnetic Compatibility Engineering"*, Wiley, 2009

[2] Bogatin, Eric

- *"Signal and power integrity — simplified"*, 2nd ed., Pearson, 2010

[3] Archambeault, Bruce R.

- *"PCB Design for Real-World EMI Control"*, Springer, 2002
- *"PDN Design Strategies"*, Practical Papers, Articles & Application Notes, 2005-2006

[4] Brooks, Douglas

- *"Signal Integrity Issues and Printed Circuit Board Design"*, Prentice Hall, 2003
- [статьи](#) на сайте UltraCAD Design, Inc.

[5] Johnson, Howard

- *"High Speed Digital Design: A Handbook of Black Magic"*<sup>1</sup>, Prentice Hall, 1993

[6] Слепнев, Юрий

- [статьи](#) и [видео-уроки](#)<sup>2</sup> на сайте Simberian, Inc.

---

<sup>1</sup> Данная книга переведена на русский язык издательским домом «Вильямс» в 2006.

<sup>2</sup> Во время чтения руководства и потом, после полного ознакомления с ним, **рекомендуется** посмотреть эти видео-уроки (они также представлены на YouTube-канале «Simbeor»), где демонстрируются анимированные результаты моделирования электромагнитного поля, распределения токов для различных элементов топологии печатной платы. Наглядное представление хорошо запоминается и даёт многое с точки зрения понимания физики процесса, становясь надёжным фундаментом применения как простых рекомендаций, так и аналитических формул и средств моделирования.

Эти авторы – выдающиеся исследователи и консультанты в области проектирования печатных плат. Представленные в настоящей книге рекомендации основаны на их данных и материалах множества технических статей от фирм-производителей микросхем (Analog Devices, Texas Instruments, Fairchild Semiconductor и др.) и с образовательного портала [LearnEMC](#). В своей практике я эти рекомендации применял – и это приводило к успешно выполненным проектам. За что я выражаю всем авторам, в том числе безымянных технических статей, огромную благодарность.

Также я благодарен своему работодателю (и, по совместительству, первому наставнику) за проделанный мною к настоящему времени путь, начало которого было устлано «трупами» печатных плат, OLED-дисплеев и микросхем.

Отдельная благодарность коллективу и главному редактору журнала «Компоненты и технологии», ответ которого на моё предложение о серии публикаций ещё более укрепил меня в идее написать эту книгу: «Очень интересное предложение. Хорошо, что практикующие инженеры начинают писать – с этим были большие проблемы последние лет пятнадцать». Благодаря совместной работе с редакцией журнала я снова и снова прорабатывал и улучшал материал и формулировки.

После этого были публикации на «Geektimes», команде которого я также выражаю благодарность. Всем читателям моих публикаций, тем, кто оставлял комментарий, писал личные сообщения также большая благодарность. Интерес к теме проектирования печатных плат – это то, ради чего я и начинал.

Очень благодарен своей семье и отдельно брату, всем друзьям и знакомым, которые поддерживали меня и давали ценные советы в работе над книгой, без вас книга могла остаться недописанным документом на жёстком диске моего ноутбука.

Осталась одна благодарность – Вам, дорогой читатель! Я был бы рад, если бы книга сэкономила Вам время на поиск информации, а также помогла избежать ошибок в проектировании. У книги две версии. Это бесплатная версия, которая в удобном виде упаковывает публиковавшиеся в открытых источниках материалы с некоторыми дополнениями. Платная версия дополнительно включает в себя главу по проектированию подсистемы питания, расширенные комментарии, полезные приложения и все ссылки ключевые на источники. Приобретая её, вы поддержите развитие проекта – у меня есть идеи создания удобного и качественного калькулятора для разработчиков печатных плат, практических видео-уроков и т.д.. И сама книга будет претерпевать постоянные изменения (конечно же, к лучшему) на основе обратной связи от читателей, на основе Ваших замечаний и предложений (в т.ч. и о сотрудничестве). Тут как раз хотелось бы, чтобы книга развивалась на основе запросов сообщества разработчиков.

Вся информация и контакты для связи доступны на официальном сайте проекта [www.tyutyukov.ru/samspcbguide](http://www.tyutyukov.ru/samspcbguide).

*С уважением и пожеланием успешных разработок,*

*Семён Тютюков*

## Введение

При представлении информации сделан упор на наглядность. Может быть, это моя личная особенность восприятия, но во главу поставлен принцип «лучше один раз увидеть график, чем сто раз о нём прочитать».

Ключевые термины будут сопровождаться англоязычными аналогами для того, чтобы читатель мог, используя поисковую систему Google<sup>1</sup>, искать и копать самостоятельно.

В данной книге напрямую не рассматриваются вопросы схемотехники, которую, в совокупности с ограничительными параметрами (габариты печатной платы, заданные правила разводки определённых цепей, требования завода-изготовителя, максимальное количество слоёв, требования электромагнитной совместимости, стоимость и др.) мы считаем исходными данными для разработчика. От проработанности этих данных зависит результат проектирования печатной платы: «Мусор на входе – мусор на выходе». Однако мусор на выходе может появиться и при идеальных исходных данных. Дело в том, что печатная плата является сложным паразитным компонентом с распределёнными электрическими параметрами, влияние которого может привести к некорректной работе даже уже проверенной схемотехники. Прецизионные аналоговые, высокочастотные схемы могут потребовать моделирования с учётом паразитных эффектов топологии печатной платы.

---

<sup>1</sup> Здесь, как и далее, это не реклама, а результат моего опыта работы. Дело привычки, но я всегда пользовался именно Google, так как, к сожалению, отечественный Яндекс пока не так эффективен в поиске материалов по радиоэлектронике. А поиск информации я считаю одним из ключевых инструментов современности.

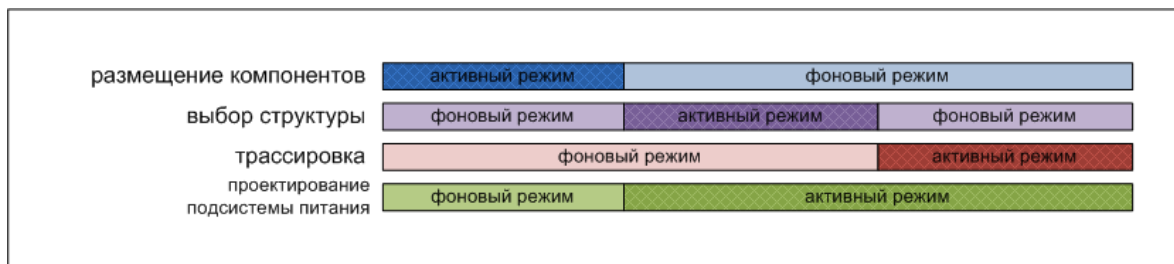




## ПЕЧАТНАЯ ПЛАТА – ПАРАЗИТНЫЙ КОМПОНЕНТ СХЕМЫ!

---

Каждая глава посвящена одному из процессов, возникающих при проектировании печатной платы, (*англ.* PCB design, layout): [Глава 1](#) – размещению компонентов на печатной плате (*англ.* placement), [Глава 2](#) – выбору структуры печатной платы (*англ.* stack-up design), [Глава 3](#) – трассировке печатной платы (*англ.* routing, tracking). Порядок глав в книге отражает последовательность этих процессов лишь условно, потому что все они взаимосвязаны и взаимозависимы, т.е. разработчику необходимо думать одновременно обо всём сразу. Кроме того, проектирование печатной платы – это всего итеративный процесс, когда, например, выбранная изначально структура печатной платы может быть изменена на финальной стадии проектирования. Один из подходов к проектированию печатных плат схематически представлен на рис. 1 – на нём видно, что в процессе разработки всегда присутствуют все процессы, находясь то в активном, то в фоновом режиме. Это не руководство к действию, а пример, и я надеюсь, что после прочтения всех глав этой книги читателю станет понятно, что я хотел показать этой схемой.



**Рис. 1.** Процесс проектирования топологии печатной платы.

Представленные в данном руководстве рекомендации универсальны в том плане, что универсальны законы физики, на которых они основываются. Однако в нём не рассматривается специфика СВЧ-техники и высокоточных аналоговых схем. Целевым приложением рекомендаций является цифровая или цифро-аналоговая печатная плата с тактовой частотой  $f_{CLK}$  до нескольких сотен МГц, состоящая, к примеру, из подсистемы питания, микроконтроллера со встроенным или внешним АЦП, внешнего ОЗУ и ПЗУ, набора аналоговых датчиков, интерфейсной подсистемы. Отличительной особенностью цифровых сигналов является их широкая спектральная полоса – значимые компоненты находятся в полосе от 0 до  $5 \cdot f_{CLK}$ .

Некоторые теоретические вопросы, методики расчёта и справочная информация для удобства вынесены в конец книги в виде отдельных приложений. С [Приложением А](#) рекомендуется ознакомиться до прочтения остальных глав, [Приложение Б](#) – с главой 3. [Приложение В](#) включает в себя все рекомендации одним списком и может использоваться после прочтения книги для их быстрого просмотра. Конечно, этим коротким перечнем можно пользоваться и сразу, помня, однако, о самом главном правиле:



## **НЕ ПРИМЕНЯЙТЕ РЕКОМЕНДАЦИИ БЕЗ ИХ ПОЛНОГО ПОНИМАНИЯ!**

---

Не надо. В одной из статей на сайте LearnEMC<sup>1</sup> сказано, цитата: «Худшие печатные платы, что нам доводилось видеть, были разработаны инженерами, которые пытались обеспечить соответствие всем пунктам списка рекомендаций по повышению ЭМС (*прим.* электромагнитной совместимости) печатных плат». Дело в том, что некоторые рекомендации могут противоречить друг другу, некоторые рекомендации продолжают использоваться, несмотря на то, что они устарели. Задача разработчика – понимать важность и применимость той или иной рекомендаций опять для конкретного проекта, находить компромиссные решения, оптимальные опять же для данного проекта. Успешное выполнение этой задачи базируется на стремлении к пониманию и на опыте проектирования. Важным компонентом в этом процессе является использование современных программных средств моделирования<sup>2</sup>, которые не только снижают временные и финансовые затраты на получение требуемого практического результата, но и являются эффективным средством обучения, позволяя выполнять эксперименты с виртуальными объектами.

---

<sup>1</sup> Там же есть статья с говорящим названием «Худшие рекомендации по ЭМС печатных плат» (*англ.* “Some of the Worst EMC Design Guidelines”).

<sup>2</sup> Основными являются средства SPICE-моделирования (LTSpice, QUCS и др.) и электромагнитного моделирования (QuickField, Sonnet, Simbeor, Si9000, ADS от Keysight, SI Studio от LeCroy), многие из которых имеют бесплатную версию, хоть иногда и с ограниченной функциональностью. Стоит упомянуть также такие мощные САПР как ANSYS, Cadence, Mentor, COMSOL, SolidWorks, включающие в себя целый комплекс инженерного ПО. Однако любое САПР значительно зависят от входных данных, и здесь опять же важно помнить о правиле: «Мусор на входе – мусор на выходе».

Итак, цели данной книги – дать не только рекомендации по проектированию печатных плат, но и *ключи* к их пониманию, а также задать направление дальнейшего самостоятельно изучения вопроса!

## Глава 1. Размещение компонентов на печатной плате

*PCB design is 90% placement and 10% routing<sup>1</sup>.*

© Цитаты великих разработчиков.

После того, как в специализированной САПР по проектированию печатных плат схемотехника переводится в файл топологии печатной платы, все компоненты располагаются в линейном или ином порядке, в зависимости от САПР. К этому моменту могут быть заданы такие ограничительные параметры как геометрия печатной платы, возможность только одностороннего расположения компонентов на плате, расположение точек входа питания и внешних сигналов, фиксированное расположение механических компонентов, компонентов индикации и другие. Обязательным ограничением будут требования связанные с технологией монтажа компонентов на печатную плату, которые должны быть получены от сборочного производства заранее.

Несмотря на то, что размещение компонентов является важнейшим, во многом определяющим этапом, трудно дать точные рекомендации, прямое следование которым приведёт к успешному результату. Ситуация усугубляется тем, что это тот этап, в который труднее всего вносить изменения. Размещение должно максимально упрощать задачи остальных этапов, а следовательно, должно быть подчинено этим задачам. Именно поэтому на рис. 1 в активной фазе этого этапа присутствуют в фоновом режиме все остальные этапы. И, напротив, размещение может и будет

---

<sup>1</sup> Это, конечно же, преувеличение.

претерпевать изменения в течение всей работы над платой<sup>1</sup>. Сказанное можно сформулировать в виде базовых принципов.



#### **P.1.1. Базовые принципы при размещении компонентов:**

- Размещение во многом определяет весь дизайн печатной платы.
  - Размещение определяется задачами остальных этапов.
  - На поздних этапах проектирования внесение изменений в размещение – наиболее трудоёмкий процесс.
  - Положение некоторых компонентов может быть задано ограничительными параметрами проекта.
- 

Опыт разработки печатных плат показывает, что большую часть ошибок при работе с новой элементной базой составляют ошибки, связанные с посадочным местом компонента: неверное расположение выводов, неверная геометрия и даже опечатки в технической документации. Использование 3D-моделей<sup>2</sup> корпусов компонентов значительно снижает вероятность ошибки не только в посадочном месте, но и в расположении компонентов на печатной плате.



#### **P.1.2. Используйте 3D-модели компонентов.**

---

---

<sup>1</sup> Поэтому под словами «размещение компонентов» в этой главе можно понимать «начальное размещение компонентов» или «предварительное размещение компонентов».

<sup>2</sup> Существует множество бесплатных ресурсов в Интернете, где доступны 3D-модели: [3D ContentCentral](#), [UltraLibrarian](#) и другие.

Следующая рекомендация достаточно очевидна и заключается в том, что компоненты желательно группировать по принципу принадлежности к той или иной электрической подсистеме<sup>1</sup>. Значительная часть сигнальных линий связывает компоненты внутри группы, поэтому данный подход обеспечивает минимизацию длины соединительных дорожек (*англ.* trace). Компоненты внутри группы лучше располагать на одной стороне платы, перенося некоторые из них на противоположную сторону только в случае значительного упрощения трассировки.



**P.1.3.** Компоненты на печатной плате необходимо группировать по принципу принадлежности к той или иной электрической подсистеме, располагая группу преимущественно на одной стороне платы.

---

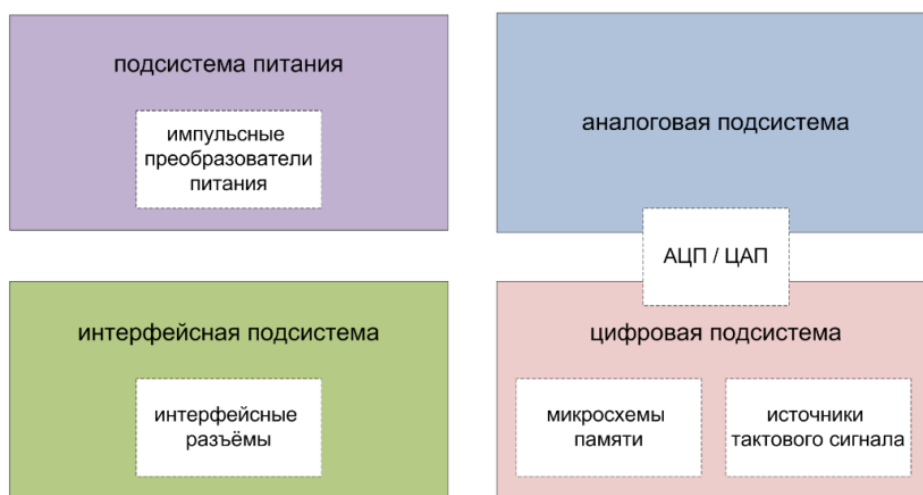
Основные подсистемы представлены на рис. 2, их четыре: подсистема питания, аналоговая, цифровая и интерфейсная подсистемы. Импульсные преобразователи напряжения являются источниками мощных высокочастотных импульсов тока и напряжения, что делает их цепи агрессивными источниками помех. АЦП и ЦАП находятся на границе двух подсистем, поэтому всегда требуют особого внимания при разработке печатной платы. Генераторы тактового сигнала и кварцевые резонаторы являются по определению источниками сигнала высокой частоты. Шины адреса

---

<sup>1</sup> Разработчику на заметку. В Altium Designer, например, существует режим «Cross Select Mode», в котором при выделении компоненты в схемном редакторе, где они, как правило, сгруппированы, выделяются эти же компоненты в редакторе топологии. Это удобно при их размещении.

и данных между МК или ПЛИС и микросхемами памяти, особенно ОЗУ, также требуют внимания при проектировании.

Существует немало изображений рекомендуемого размещения электрических подсистем на печатной плате, здесь они приводятся не будут во избежание путаницы. Одной из стратегий при размещении может являться снижение количества пересечений сигнальных линий, особенно критических<sup>1</sup> с точки зрения трассировки. Также группы с агрессивными цепями лучше пространственно разделять с чувствительными схемами: горизонтально – на удалении на одной стороне платы, или вертикально – на разных сторонах платы. Ещё раз – размещение компонентов на печатной плате в большей части уникально для каждого проекта, чем подчинятся общим рекомендациям. Однако ряд рекомендаций всё же существует, и связаны они с соединительными разъёмами.



**Рис. 2.** Основные электрические подсистемы печатной платы.

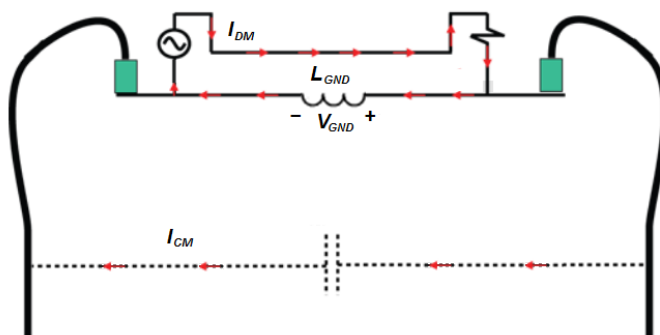
<sup>1</sup> Под критическими сигналами здесь и далее понимаются две группы сигналов: агрессивные источники высокочастотных помех (цифровые высокочастотные линии, в т.ч. тактовые сигнальные линии, силовые линии импульсных преобразователей напряжения, аналоговые высокочастотные сигналы) и уязвимые к помехам чувствительные слаботочные аналоговые цепи, высокоимпедансные цепи.





**Р.1.4.** Все соединительные разъёмы рекомендуется располагать на одной стороне или в одном углу печатной платы.

Дело в том, что провода, идущие от соединительных разъёмов печатной платы к другим частям системы, часто являются наиболее эффективными паразитными антеннами. Любое синфазное переменное напряжение между разъёмами ( $V_{GND} = L_{GND} \cdot dI_{CM}/dt$  на рис. 3) может привести к значительному излучению и недопустимому повышению уровня ЭМИ печатной платы – для превышения норм FCC Class B достаточно тока в несколько микроампер на частоте 100 МГц при длине провода порядка 1 метра. Это напряжение возникает при протекании возвратных токов в общем проводе, который неидеален и имеет паразитную индуктивность. Уменьшение расстояния между разъёмами при прочих равных условиях снижает индуктивность пути тока, а следовательно, амплитуду переменного напряжения между разъёмами.



**Рис. 3.** Схема излучения паразитной дипольной антенны.

Снижение пульсаций возвратного тока  $I_{DM}$  также приводит к уменьшению паразитного напряжения в общем проводе. Отсюда следует, что агрессивные источники импульсных токов, такие как импульсные источники питания, быстродействующие цифровые интегральные микросхемы не следует располагать вблизи интерфейсных разъёмов. Кроме того, паразитные антенны являются не только источниками излучения, но и приёмниками, поэтому рекомендацию можно сформулировать в более общем виде:



**P.1.5.** Компоненты, не относящиеся к интерфейсной подсистеме, следует располагать на некотором удалении от интерфейсных разъёмов (согласно одному из источников – от 2 см и более). Особенно компоненты, являющиеся агрессивными источниками импульсных токов (импульсные источники питания, источники тактовых сигналов, быстродействующие цифровые микросхемы и др.), и чувствительные к шумам аналоговые схемы.

---

Печатные дорожки, идущие непосредственно к соединительным разъёмам, становятся частью плеча дипольной антенны, что в частности делает их приёмниками шума. Для того, чтобы уменьшить их длину:



**P.1.6.** Интерфейсные микросхемы рекомендуется располагать в непосредственной близости от интерфейсных разъёмов.

---

Как уже было сказано, линии, связанные с источниками тактового сигнала, являются агрессивными с точки зрения помех. Чем короче эти линии, тем меньше помех излучается. Кроме того, в схемах с использованием кварцевых резонаторов, компактное расположение и отсутствие лишних компонентов вблизи снижает влияние паразитных эффектов и тем самым обеспечивает корректную работу и стабильный тактовый сигнал.



**P.1.7.** Источники тактового сигнала (особенно кварцевые резонаторы) следует располагать максимально близко к связанным с ними компонентам.

---

Очевидная рекомендация заключается в том, что чем меньше будет пересечений линий, условно обозначающих соединение между компонентами в САПР, тем проще будет выполнить разводку печатной платы. Иногда поворот компонента, в том числе на  $45^\circ$ , может значительно упростить задачу разводки, снизив количество необходимых сигнальных слоёв и переходов между слоями.



**P.1.8.** При расположении компонентов важно добиться минимального количества пересечений линий, условно обозначающих соединение между компонентами в редакторе топологии.

---

Современные микроконтроллеры и ПЛИС обладают большой гибкостью с точки зрения функциональности выводов, поэтому простое действие в схемотехнике по переназначению вывода (и

соответствующие изменения во встроенном программном коде) может распутать пересечение высокоскоростных линий, которое иначе требовало бы перехода между слоями или последовательный 0-омный резистор – не самые подходящие варианты для высокочастотных сигналов. Особенно это касается ПЛИС, и именно поэтому разработчики САПР предлагают интеграцию процессов разработки ПЛИС и печатной платы.



**P.1.9.** Зачастую простое переназначение вывода программируемой цифровой микросхемы (микроконтроллер, ПЛИС и т.п.) решает проблему, которая была бы сложной на уровне топологии.

---

Большое количество пересечений может возникать в шинах адреса и данных микросхем памяти. Трюк здесь заключается в том, что иногда эти линии допустимо менять друг с другом. Тут нужно быть аккуратным – например, не менять биты данных между старшим и младшим байтами там, где используется побайтовый доступ в 16-разрядной шине данных. Или там, где используются байт-коды. С этим аккуратно, но трюк иногда значительно облегчает разводку.



**P.1.10.** Линии шин данных в пределах байта и адреса чаще всего допускают перестановку, на некоторых микросхемах они не имеют номера, так как нумерация условна. Некоторые интерфейсы, например PCI Express, допускают перекрёстное соединение дифференциальных пар.

---

Тут важно, может быть, потратить больше времени на рассмотрение различных вариантов расположения компонентов и функциональных выводов, чем потом столкнуться с тем, что на заданном количестве слоёв печатной плата не разводится. Это крайний случай, но тем не менее.

Ещё одна рекомендация связана с тем, что лидирующие мировые производители интегральных микросхем зачастую в спецификации на изделия приводят не только рекомендуемое размещение обвязки, но и топологию целиком. Иногда это просто словесное описание в соответствующем разделе с названием “*Recommended Layout*” или похожим. Кроме того, существуют отладочные платы, являющиеся примером рабочей топологии. Однако тут стоит предупредить, что прямое копирование (без понимания) топологии отладочной платы не всегда хорошая идея в связи с тем, что в реальных проектах не один компонент. И тем не менее.



**P.1.11.** Необходимо учитывать рекомендации производителя по расположению связанных с микросхемой компонентов и по топологии разводки.

---

В заключении хочется сказать, что хорошим тоном является выравнивание компонентов друг относительно друга по вертикали и горизонтали, выравнивание расстояний между пассивными компонентами в массивах, соблюдение симметрии и других проявлений технической эстетики. Конечно, это никогда нельзя делать в ущерб электрическим параметрам печатной платы. Есть такое выражение: «То, что хорошо выглядит – хорошо работает».

Это не всегда достаточное условие, но при таком аккуратном отношении к проектированию печатной платы на всех этапах результат будет соответствующий. И скорее, с большей вероятностью, верно обратное:



**P.1.12.** То, что хорошо работает – хорошо и выглядит.

---

## Глава 2. Выбор структуры печатной платы

*Advantages & disadvantages always come together.*

© Цитаты великих разработчиков.

Структура печатной платы (*англ.* PCB stack-up) определяется количеством и толщинами проводящих медных слоёв, а также материалами, толщинами и компоновкой диэлектрических слоёв – базовых (*англ.* core) и препрегов (*англ.* pre-preg). Другие важные параметры – это финишное покрытие внешних слоёв, наличие и материалы защитной маски (*англ.* solder mask). Разработчик должен не только разбираться в свойствах материалов печатных плат, но и чётко представлять себе типовые процессы заводов-изготовителей плат и привносимые ими технологические погрешности<sup>1</sup>. Такая компетенция устраняет разрыв между ожидаемой в соответствии с 3D-моделями САПР и реальной, поступившей с завода печатной платой

Прежде чем говорить о влиянии электрических параметров проекта на выбор структуры, остановимся на важной рекомендации, связанной с механическими свойствами печатной платы.



**Р.2.1.** Структура печатной платы должна быть симметричной по её толщине, а распределение меди по слоям – сбалансированным.

---

<sup>1</sup> С этой точки зрения полезно посмотреть видеоматериал [1] на YouTube-канале Eurocircuits NV или аналогичные, где подробно представлены технологические процессы.

В противном случае при изготовлении печатной платы высока вероятность коробления или, иными словами, её изгиба, скручивания. Именно поэтому завод-изготовитель может даже отказать в изготовлении такой платы<sup>1</sup>. При этом требование симметричности приводит не только к чётному количеству проводящих слоёв, но и к равномерному распределению меди в слоях (*англ.* copper balancing). Особенно это важно для плат с низким отношением толщины к площади (в частности для тонких плат толщиной 0,5 мм и менее) и для проектов под автоматический монтаж компонентов.

Ещё один не электрический фактор, о котором разработчик не должен забывать при выборе структуры печатной платы – экономический. Чем больше количество слоёв используется, тем дороже печатная плата. Особенно в случае нестандартных для завода-изготовителя сборок, стоимость на малых партиях может отличаться в разы! Мастерство разработчика печатных плат заключается в оптимизации и этого параметра<sup>2</sup>.



**P.2.2.** Рекомендуется использование калькуляторов стоимости печатных платы при выборе структуры.

---

Выбор структуры печатной платы тесно связан с проектированием подсистемы питания (на рис. 1 одновременное начало активных фаз этих процессов) и во многом определяет

---

<sup>1</sup> Если только заказчик не будет настаивать, соглашаясь взять ответственность на себя, ситуации бывают разные.

<sup>2</sup> Оценить стоимость печатной платы в процессе разработки помогают калькуляторы, предоставляемые заводами-изготовителями (например, у отечественного ООО «Резонит» такой [сервис](#) на сайте есть).



успешную с точки зрения ЭМС трассировку печатной платы. К счастью, в отличие от предыдущего этапа размещения компонентов, тут существуют конкретные рекомендации, на которые можно положиться.

Низкий импеданс общего провода, являющегося путём протекания возвратных токов, является критически важным параметром для высокочастотных печатных плат. Поэтому использование сплошного слоя земли в современных цифровых платах категорически рекомендуется<sup>1</sup>.



**P.2.3.** В структуре печатной платы должен быть хотя бы один сплошной слой земли<sup>2</sup>.

---

Исключения, конечно, возможны, и они требуют от разработчика большого опыта и глубокого понимания принимаемых решений. Примером исключения может служить прецизионный аналоговый проект, где сплошной слой земли может создавать недопустимую паразитную ёмкость, или сложный проект силового контроллера, где необходимо изолировать пути протекания импульсных силовых токов от измерительных аналоговых и управляющих цифровых подсистем. Существуют различные схемы разводки цепи общего провода для таких случаев (например,

---

<sup>1</sup> Одним из критериев являются тактовые частоты более 5 МГц и/или длительность фронтов сигналов менее 5 нс, что чаще всего выполняется для современных цифровых схем.

<sup>2</sup> Более точный термин – общий провод, чтобы не допускать путаницы с заземлением, но для простоты далее термины «земля» и «общий провод» будут употребляться как равнозначные для обозначения нулевого потенциала схемы.

топология типа «звезда»), но в этой книге они не разбираются, а в качестве меры по изоляции возвратных токов предлагается продуманное расположение компонентов и зонирование печатной платы. Вопрос влияния вырезов (и, в частности, разрывов) в слоях питания и земли на ЭМС и ЭМИ более подробно рассматривается в последующих главах.



**P.2.4.** Сигнальный слой должен быть расположен максимально близко к сплошному слою земли или питания.

---

Выполнение этого требования облегчает задачи контроля перекрёстных помех на печатной плате и импеданса печатных дорожек<sup>1</sup>, а также снижает индуктивность слоя земли и ЭМИ. Предпочтительным опорным слоем (*англ.* reference plane) является слой земли, так как в этом случае путь возвратного тока имеет меньше переходов и, следовательно, меньшую индуктивность.



**P.2.5.** Оптимальный переход высокочастотной сигнальной линии между слоями обеспечивает структура, в которой между этим слоями находится сплошной слой земли или питания.

---

При таком переходе оба участка линии опираются на один и тот же слой, поэтому возвратный ток проходит по оптимальному пути в

---

<sup>1</sup> Подробнее эти определяющие для высокочастотных печатных плат задачи рассмотрены в последующих главах и в [Приложении Б](#).

этом слое, что снижает индуктивность этой линии<sup>1</sup>. Здесь также слой земли является предпочтительным. Обычно печатные дорожки в сигнальных слоях пары разводятся ортогонально, в частности, в вертикальном и горизонтальном направлениях. Это снижает взаимную связь сигнальных линий.

Использование отдельного сплошного слоя питания для некоторых проектов вообще может быть избыточным или невозможным по причине ограниченного количества слоёв, тогда цепь питания может быть разведена в сигнальных слоях. Но если в структуре печатной платы сплошные слои питания есть, то:



**P.2.6.** Сплошной слой питания рекомендуется располагать вблизи сплошного слоя земли.

---

Такая структура в печатной плате снижает индуктивность подсистемы питания, тем самым повышая её эффективность на высоких частотах. В то же время повышается встроенная распределённая ёмкость печатной платы (*англ. embedded/distributed/interplane capacitance*), однако величина этой ёмкости для стандартных диэлектриков очень мала:

$$C = \frac{\epsilon_r \epsilon_0}{d} \cdot S.$$

Для диэлектрика FR4 ( $\epsilon_r \approx 4$ ) толщиной  $d = 250$  мкм погонная ёмкость составит порядка 15 пФ/см<sup>2</sup>.

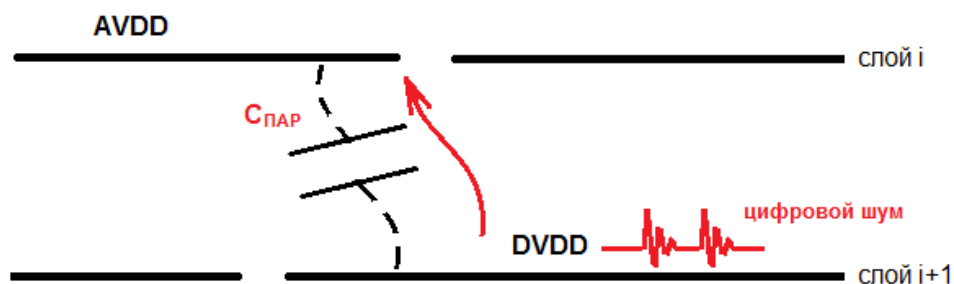
---

<sup>1</sup> Подробнее в [Главе 3](#).



**P.2.7.** Слои питания разных доменов **не** рекомендуется располагать на соседних близких слоях. Или, в более общем виде, емкостная связь между разными доменами питания должна быть минимизирована.

Возникающая емкостная связь служит каналом утечки высокочастотных шумов из одного домена в другой. Таким образом, например, шумы цифрового домена питания могут на внутренних слоях проникать в питание аналоговой части (рис. 4), приводя к неработоспособности чувствительной схемы и недоумению разработчика.



**Рис. 4.** Паразитная ёмкость перекрытия полигонов двух доменов питания.

В связи с тем, что количество слоёв печатной платы ограничено (см. [P.2.2](#)), разработчик вынужден будет принять компромиссное решение между приведёнными рекомендациями. Однако рекомендации [P.2.3](#) и [P.2.4](#) имеют наивысшие приоритеты и должны рассматриваться в первую очередь. Алгоритм выбора структуры печатной платы может выглядеть следующим образом (при этом

достаточно иметь эскизное размещение компонентов печатной платы):

1. Определить необходимое количество сигнальных слоёв.
2. Определить, как будут разведены все цепи питания: сплошной слой питания отсутствует (разводка в сигнальных слоях), один сплошной слой для всех или части доменов питания, несколько сплошных слоёв.
3. Сформировать симметричную структуру печатной платы, используя базовые сочетания слоёв (рис. 5): сигнальный слой + земля/питание ([P.2.4](#)), сигнальный слой + земля/питание + сигнальный слой ([P.2.5](#)), земля + питание ([P.2.6](#)).

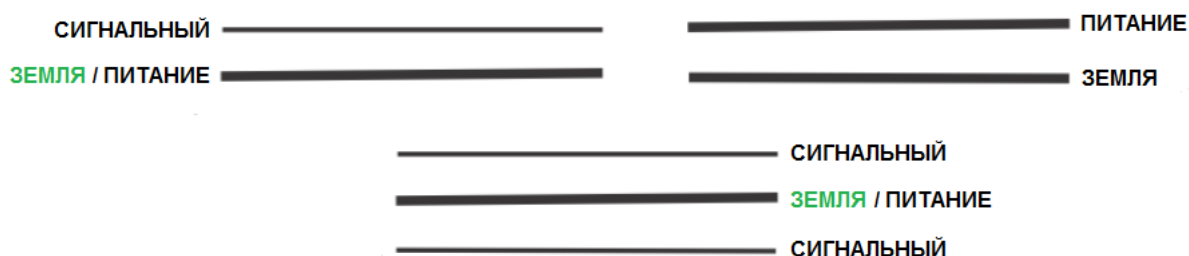


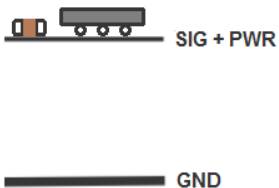

Рис. 5. Базовые структуры печатной платы.

Заметим, что система с несколькими доменами питания является распространённым случаем – даже при одном уровне напряжения может потребоваться разделение питания аналоговой и цифровой части. Если разработчик принимает решение разводить несколько доменов питания в одном слое, этот слой не

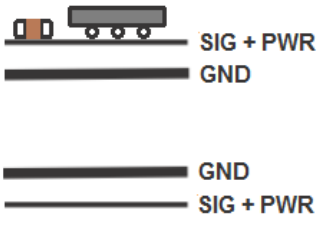
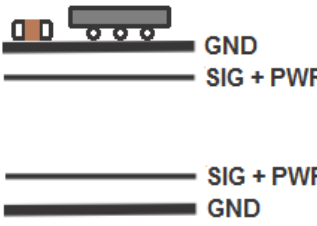
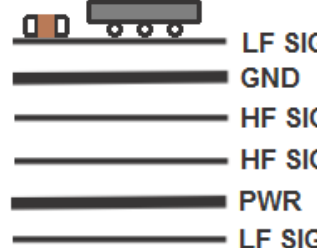
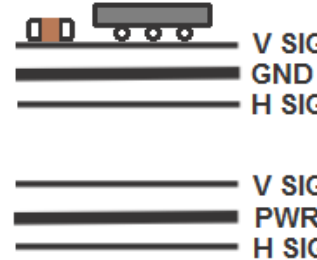
рекомендуется использовать в качестве опорного слоя в связи с наличием в нём разрывов. При этом для минимизации емкостной связи (см. [P.2.7](#)) рекомендуется использование увеличенных зазоров (порядка нескольких миллиметров и тем больше, чем больше расстояние до примыкающего слоя земли) между проводниками разных доменов.

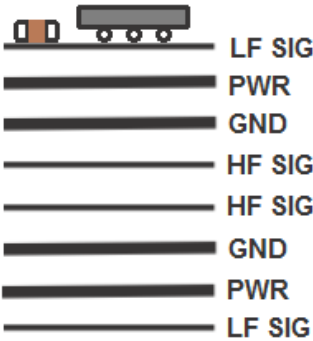
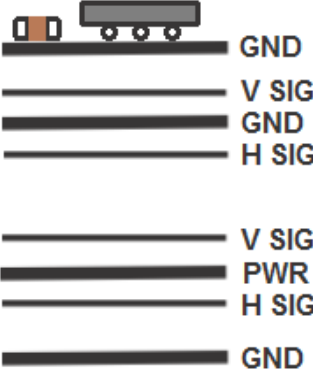
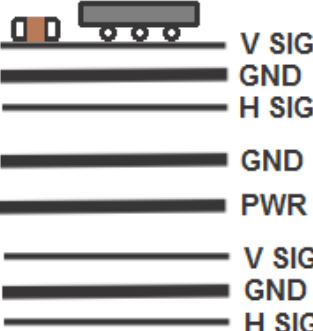
В таблице 1 представлены примеры удачных структур печатных плат с различным числом слоёв<sup>1</sup>. Эти примеры можно использовать в качестве заготовок для своих проектов, однако приведённый выше алгоритм является наиболее универсальным способом, обеспечивающим оптимальность структуры печатной платы для заданного проекта.

**Таблица 1.** Примеры структур печатных плат.

2		<ul style="list-style-type: none"> <li>• Количество сигнальных слоёв: 1.</li> <li>• Рекомендации: <a href="#">P.2.3</a>, для тонких плат <a href="#">P.2.4</a>.</li> <li>• Для печатных плат стандартной толщины 1...1,5 мм связь сигнальной линии с опорным слоем земли слабая, поэтому перекрёстные помехи могут стать проблемой.</li> <li>• Пересечения можно разводить с помощью 0-омных резисторов или коротких перемычек в слое земли.</li> </ul>
4		<ul style="list-style-type: none"> <li>• Количество сигнальных слоёв: 2.</li> <li>• Рекомендации: <a href="#">P.2.3</a>, <a href="#">P.2.4</a>, для тонких плат <a href="#">P.2.6</a>.</li> <li>• Расстояние между сигнальным слоем и его опорным должно быть минимальным, менее 0,5 мм.</li> <li>• Для печатных плат стандартной толщины 1...1,5 мм встроенная ёмкость подсистемы питания мала.</li> </ul>

<sup>1</sup> Больше примеров – в [1, раздел 16.4].

4		<ul style="list-style-type: none"> <li>• Количество сигнальных слоёв: 2.</li> <li>• Рекомендации: <a href="#">P.2.3</a>, <a href="#">P.2.4</a>.</li> <li>• Расстояние между внешним слоем и соответствующим слоем земли должно быть минимальным, менее 0,5 мм.</li> <li>• Низкий импеданс общего провода, особенно при условии использования массива переходных отверстий между слоями земли.</li> </ul>
		<ul style="list-style-type: none"> <li>• Количество сигнальных слоёв: 2.</li> <li>• Рекомендации: <a href="#">P.2.3</a>, <a href="#">P.2.4</a>.</li> <li>• Применим в случае невысокой плотности расположения компонентов, не образующей значительных разрывов в слое земли.</li> <li>• Расстояние между внутренним слоем и соответствующим слоем земли должно быть минимальным, менее 0,5 мм.</li> <li>• Слои земли экранируют сигнальные линии, повышая ЭМС печатной платы.</li> <li>• Низкий импеданс общего провода, особенно при условии использования массива переходных отверстий между слоями земли.</li> <li>• Рекомендуется питание и сигнальные линии на одном слое разводить горизонтально, в другом – вертикально.</li> </ul>
6		<ul style="list-style-type: none"> <li>• Количество сигнальных слоёв: 4.</li> <li>• Рекомендации: <a href="#">P.2.3</a>, <a href="#">P.2.4</a>.</li> <li>• Сплошные слои экранируют высокочастотные сигнальные линии, повышая ЭМС печатной платы.</li> <li>• Встроенная ёмкость подсистемы питания мала.</li> <li>• Рекомендуется сигнальные линии на внутренних слоях на одном слое разводить горизонтально, в другом – вертикально.</li> </ul>
		<ul style="list-style-type: none"> <li>• Количество сигнальных слоёв: 4.</li> <li>• Рекомендации: <a href="#">P.2.3</a>, <a href="#">P.2.4</a>, <a href="#">P.2.5</a>.</li> <li>• Сигнальные линии в парах разводятся ортогонально, сигналы на внутренних слоях также должны быть ортогональны друг другу.</li> <li>• Сигнальные слои должны располагаться вблизи (менее 0,5 мм) от опорных слоёв.</li> <li>• Встроенная ёмкость подсистемы питания мала.</li> </ul>

8		<ul style="list-style-type: none"> <li>• Количество сигнальных слоёв: 4.</li> <li>• Рекомендации: <a href="#">P.2.3</a>, <a href="#">P.2.4</a>, <a href="#">P.2.6</a>.</li> <li>• Сплошные слои экранируют высокочастотные сигнальные линии, повышая ЭМС печатной платы.</li> <li>• Рекомендуется ставить переходные отверстия между слоями земли в местах перехода высокочастотных сигнальных линий между слоями.</li> <li>• Низкий импеданс общего провода, особенно при условии использования массива переходных отверстий между слоями земли.</li> <li>• Рекомендуется сигнальные линии на внутренних слоях на одном слое разводить горизонтально, в другом – вертикально.</li> </ul>
		<ul style="list-style-type: none"> <li>• Количество сигнальных слоёв: 4.</li> <li>• Рекомендации: <a href="#">P.2.3</a>, <a href="#">P.2.4</a>, <a href="#">P.2.5</a>.</li> <li>• Внешние слои земли обеспечивают дополнительное экранирование относительно 6-слойной структуры.</li> <li>• Сигнальные линии в парах разводятся ортогонально, сигналы на внутренних слоях также должны быть ортогональны друг другу.</li> <li>• Сигнальные слои должны располагаться вблизи (менее 0,5 мм) от опорных слоёв.</li> <li>• Встроенная ёмкость подсистемы питания мала.</li> </ul>
		<ul style="list-style-type: none"> <li>• Количество сигнальных слоёв: 4.</li> <li>• Рекомендации: <a href="#">P.2.3</a>, <a href="#">P.2.4</a>, <a href="#">P.2.5</a>, <a href="#">P.2.6</a>.</li> <li>• Сигнальные линии в парах разводятся ортогонально.</li> <li>• Сигнальные слои должны располагаться вблизи (менее 0,5 мм) от опорных слоёв земли.</li> </ul>

Толщину проводящих медных слоёв определяют, прежде всего, требуемые минимальный зазор и минимальная ширина проводника, а также максимальный ток, протекающий по проводнику<sup>1</sup>. Чем тоньше проводящий слой, тем меньший топологический рисунок может быть получен и тем меньший предельный ток выдержит

<sup>1</sup> Эти требования уточняются в процессе трассировки печатной платы.



печатная дорожка (при прочих равных условиях – ширина проводника, частота тока, теплоотвод и др.). Требование к минимальным зазору и ширине проводника возникает из плотности трассировки печатной платы. Другим ограничением может стать топология рекомендуемого посадочного места одной или нескольких из применяемых микросхем<sup>1</sup>. На большинстве заводах-изготовителях печатных плат существуют стандартные топологические нормы и повышенные (так называемый «5 класс точности»). Переход на 5 класс точности приводит к удорожанию печатной платы в 1,5-2 раза, отсюда может возникать необходимость столько же раз подумать над возможностью корректировки топологии для снижения требований к нормам.

Рассмотрим влияние другого ограничительного параметра – максимальный ток печатной дорожки. Тепловая энергия, выделяющаяся на омическом сопротивлении печатной дорожки (джоулево тепло  $Q = I^2 R t$ ), вызывает повышение её температуры относительно окружающей среды. Соотношение между током через печатную дорожку и приростом температуры зависит от многих параметров и в общем виде трудно представимо, однако существуют формулы, позволяющие сделать предварительные оценки<sup>2</sup>.

Одна из первых попыток принадлежит У.Г. Прису (*англ.* W.H. Preese). Его экспериментальная зависимость была получена в лабораторном эксперименте, в котором он постепенно увеличивал

---

<sup>1</sup> Практика показывает, что когда необходимо снизить требования к минимальному зазору, геометрию рекомендуемого посадочного места можно в некоторых пределах варьировать без ущерба для пайки.

<sup>2</sup> Этому вопросу посвящены ряд статей с подробными результатами моделирования на сайте UltraCAD, авторы – D. Brooks и др.

ток через проводник до момента его накала докрасна. Формула, полученная Присом, связывает ток накала с диаметром проводника  $d$  для различных материалов:

$$I \text{ [A]} = K \cdot d \text{ [мм]}^{3/2},$$

где  $K$  – табличная константа, примерно равная 80 для меди. Используя соотношение  $S = \pi \frac{d^2}{4}$ , можно переписать эту формулу для случая медного проводника с площадью сечения  $S$ :

$$I \text{ [A]} = 96 \cdot S \text{ [мм}^2\text{]}^{3/4}.$$

В эксперименте Приса проводник был подвешен в воздухе в отличие от проводника на печатной плате, условия теплоотвода для которого значительно отличаются. Более близки условия теплоотвода для случаев одиночного соединительного провода, а также для некоторых случаев микропроволочной разварки кристаллов, где эта формула может давать хорошую оценку для предельного тока.

Допустимым приростом температуры печатной дорожки обычно считается 10-30 °С. Это значение может быть и больше в зависимости от параметров проекта, однако во всём диапазоне рабочих температур изделия температура дорожки должна быть меньше температуры стеклования материала печатной платы (*англ.* glass transition temperature,  $T_g$ ) и тем более температуры накала меди. Поэтому полезна зависимость прироста температуры  $\Delta T$  от тока  $I$  печатной дорожки шириной  $w$  и толщиной фольги  $h$ , приведённая Д. Бруксом в одной из статей:

$$\Delta T \text{ [}^\circ\text{C]} = \frac{C \cdot I \text{ [A]}^\alpha}{w \text{ [мм]}^\beta \cdot h \text{ [мкм]}^\gamma},$$

где  $C$ ,  $\alpha$ ,  $\beta$ ,  $\gamma$  – константы, значения которых для внешних и внутренних слоёв приведены в таблице 2. Стоит учитывать, что на внешних слоях толщина фольги обычно больше на 20-40 мкм относительно базового значения в связи с дополнительным осаждением при создании переходных отверстий. Также влияние финишного покрытия может быть значительным. Это используют в силовых приборах, когда печатную дорожку вскрывают от маски и нанесение финишного покрытия обеспечивает дополнительный слой припоя. Однако финишное покрытие не обладает хорошей равномерностью и толщиной, поэтому припой может наноситься вручную<sup>1</sup>.

**Таблица 2.** Значения констант для различных параметров проводящего слоя.

Условие	C	$\alpha$	$\beta$	$\gamma$
Внешний слой	80	2	1,15	1
Внутренний слой:				
• 18 мкм	264-312	2	1,1	1,52
• 35 мкм	480	1,9	1,1	1,52
• 70 мкм	600	2	1,15	1,52
• 105 мкм	450-600	1,9	1,15	1,52

Ещё одной известной формулой расчёта предельной токонесущей способности проводника является формула Ондердонка (*англ.* I.M. Onderdonk), которая содержит такой параметр, как время. Она связывает время  $t$  пропускания тока  $I$  через медный проводник сечением  $S$  и прирост температуры  $\Delta T$  относительно начальной температуры  $T_A$ :

$$8,6 \cdot 10^{-6} \cdot \left( \frac{I [A]}{S [mm^2]} \right)^2 \cdot t [c] = \lg \left( 1 + \frac{\Delta T [^{\circ}C]}{234 + T_A [^{\circ}C]} \right).$$

<sup>1</sup> На YouTube-канале EEVblog есть полезный [видеообзор](#) эффективности такого метода, который показывает, что несмотря на гораздо большую толщину, дополнительный слой припоя обеспечивает снижение сопротивления на 20-50% в связи с гораздо худшей проводимостью олова и свинца по сравнению с медью.

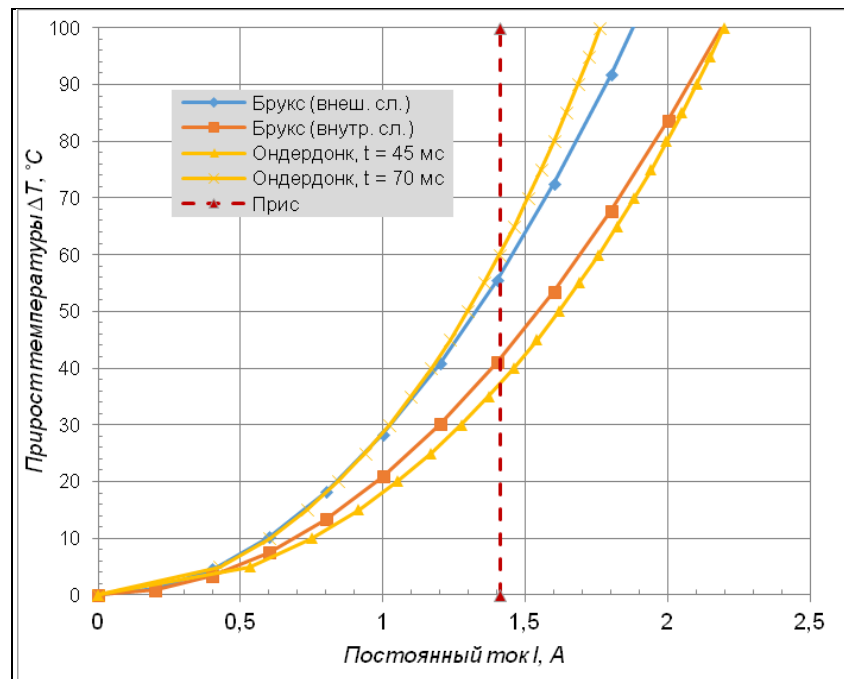
Так как при выводе формулы исключается всякий теплоотвод, то для случая печатной дорожки эта формула применима для короткого импульса тока длительностью до 1-2 секунд. С увеличением времени и влияния теплоотвода точность оценки падает, в разы занижая предельный ток. Графики зависимостей по всем трём приведённым формулам для различных параметров печатной дорожки приведены на рис. 6 и 7.

Всегда важно учитывать условия эксперимента или аналитические допущения при выводе, чтобы понимать границы применимости той или иной формулы. Ни одна из приведённых формул не даст точное и оптимальное соотношение между предельным током и требуемым сечением проводника для реальных приложений. Это же касается и простых калькуляторов, которые можно найти в Интернете<sup>1</sup>, потому что они основаны на этих или аналогичных формулах. Влияние соседних проводников и компонентов как источников и приемников тепла, излучение, активного или пассивного охлаждения может быть учтено только при термоэлектрическом моделировании в специализированных САПР. Однако даже в этом случае результаты моделирования и эксперимента могут значительно отличаться<sup>2</sup>. Дело в том, что печатная дорожка имеет не прямоугольное

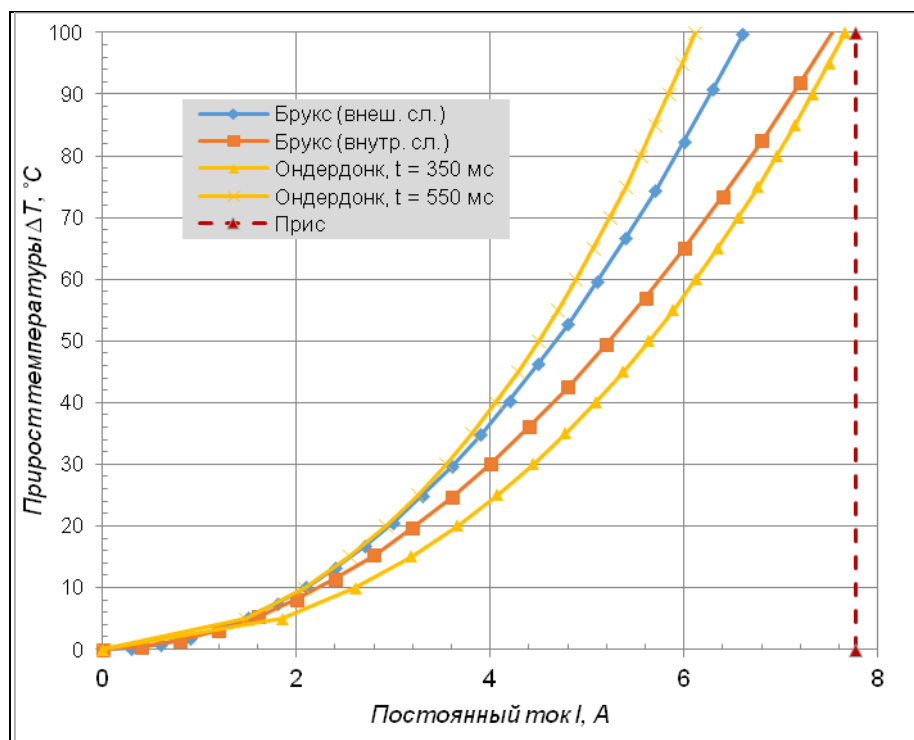
---

<sup>1</sup> Например, <http://circuitcalculator.com/wordpress/2006/01/31/pcb-trace-width-calculator/>.

<sup>2</sup> Важно понимать, что и результаты моделирования, и результаты измерений всегда ошибочны. Вопрос в величине этой ошибки и способах её уменьшения до необходимого минимума.

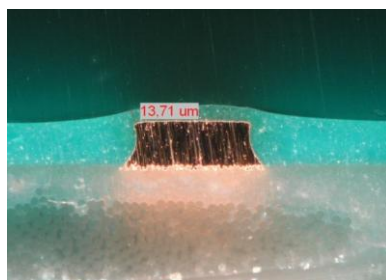


**Рис. 6.** Токонесущая способность печатной дорожки шириной 0,2 мм для слоя медной фольги толщиной 18 мкм.



**Рис. 7.** Токонесущая способность печатной дорожки шириной 1 мм для слоя медной фольги толщиной 35 мкм.

сечение, а близкое к трапецевидному (рис. 8), её ширина и значение проводимости медной фольги не только отличаются от расчётных, но и имеют некоторый разброс от образца к образцу, партии к партии, изготовителю к изготовителю и т.д. Влияние этих отклонений усиливается с уменьшением ширины дорожки. Тем не менее, расчётные результаты по формулам и рекомендации стандартов чаще всего будут представлять наихудший случай, обеспечивая тем самым запас прочности системы. Если разработчику требуется оптимизировать соотношение между предельным током и требуемым сечением печатной дорожки, то к этой цели необходимо идти итеративным путём моделирования и эксперимента. При этом предварительные инженерные расчёты выступают в роли направляющего вектора задачи оптимизации и некой меры адекватности получаемых результатов.



**Рис. 8.** Сечение печатной платы, на котором видна неидеальность геометрии дорожки.



**Р.2.8.** Значение тока или температуры печатной дорожки, рассчитанное по формуле, является сильно приближённым, обеспечивая в большинстве случаев значительный запас прочности. Точное значение может быть получено с помощью термоэлектрического моделирования с уточнением модели с помощью экспериментов.

---

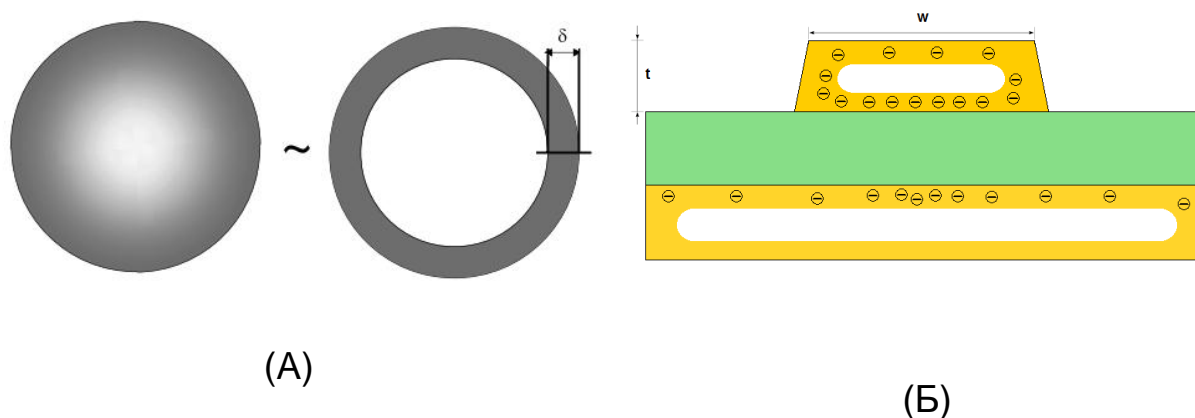
Увеличение сечения печатной дорожки пропорционально снижает её омическое сопротивление на единицу длины, что уменьшает тепловые потери при протекании постоянного тока. Ситуация с переменным током не так проста по причине существования скин-эффекта (*англ.* skin effect), который приводит к тому, что плотность переменного тока неравномерно распределена по сечению проводника, экспоненциально убывая до нуля от поверхности проводника к центру. Для удобства расчётов применяется понятие эффективного сечения проводника с глубиной, определяемой соотношением:

$$\delta = \frac{1}{\sqrt{f\pi\sigma\mu}},$$

где  $f$  – частота тока,  $\sigma$  – проводимость металла,  $\mu$  – магнитная проницаемость. На глубине равной  $\delta$  плотность тока становится меньше в  $e$  раз относительно плотности тока на поверхности  $J_S$ . Математически можно показать верность следующего приближённого равенства для плотности тока  $J(x,y)$  в проводнике:

$$I = \iint J(x,y) dx dy \approx J_S \cdot l \delta,$$

То есть для приближённых вычислений можно принять, что ток течёт только в граничном слое проводника периметра  $l$  глубиной  $\delta$ , причём с равномерным распределением (рис. 9А).



**Рис. 9.** Модель влияния скин-эффекта на распределение переменного тока высокой частоты в круглом одиночном проводнике (А) и в печатной дорожке (Б).

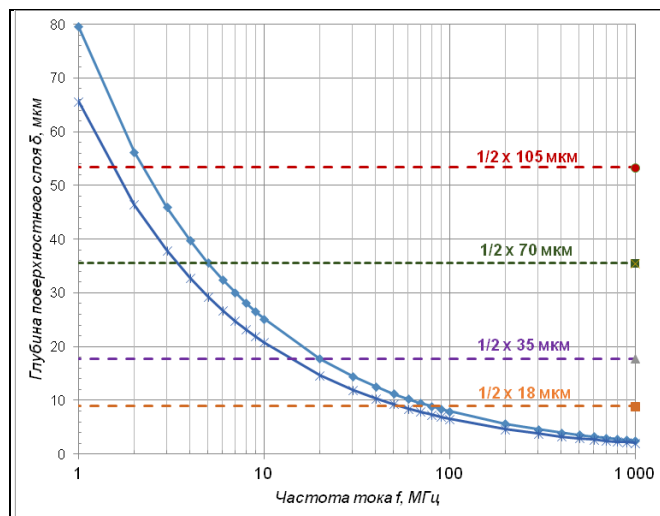
Если половина толщины печатной дорожки больше глубины поверхностного слоя, то импеданс печатной дорожки на данной частоте будет определяться именно этим эффективным сечением, приводя к увеличению омического сопротивления и незначительному снижению индуктивности. На рис. 10 представлена зависимость глубины поверхностного слоя от частоты тока с учётом разброса проводимости осаждённой меди. Из него видно, что для слоёв меди толщиной 18 мкм<sup>1</sup> граничная частота находится в районе 60 МГц, а для слоёв толщиной 35 мкм – в районе 20 МГц.

Влияние скин-эффекта приводит к тому, что эффективное сечение проводника, а значит, и его импеданс становятся функцией частоты сигнала. Это вносит корректировки не только в расчёт тепловыделения печатной дорожки, но и в расчёт её волнового сопротивления. На частотах свыше 100 МГц глубина скин-эффекта меняется незначительно, что снижает его влияние на расчёт

<sup>1</sup> Напомним, что реальная толщина внешних слоёв с базовой толщиной фольги 18 мкм может составлять на 20-40 мкм больше.



указанных параметров печатной дорожки для высокочастотных сигналов.



**Рис. 10.** Глубина скин-эффекта в меди в зависимости от частоты для значений проводимости  $\sigma = 40$  МСм/м и  $\sigma = 58,8$  МСм/м.



**Р.2.9.** Задачи расчёта тепловыделения и волнового сопротивления печатной дорожки требуют учёта влияния скин-эффекта, выражающегося в изменении распределения тока в проводнике и уменьшении его эффективного сечения.

## Глава 3. Трассировка печатной платы

*Get paranoid about system clocks.*

*Be the signal.*

*Forget the world «ground».*

© Цитаты великих разработчиков.

Как уже говорилось в предыдущих главах, в процессе разработки печатной платы должны учитываться возможности доступной технологии её производства. При этом под «доступностью» здесь следует понимать «доступность в заданных временных, финансовых и организационных рамках». Технологические ограничения особенно важны на этапе трассировки печатной платы.



**Р.3.1.** Изучите технологические нормы предполагаемого завода-изготовителя и создайте в используемой САПР набор правил<sup>1</sup>, выполнение которых будет автоматически контролироваться при трассировке печатной платы.

---

Современные САПР предлагают средства автоматической трассировки печатной платы. Возможно, для относительно простого

---

<sup>1</sup> Правила могут быть импортированы в файл и использоваться во всех дальнейших проектах, связанных с конкретным заводом-изготовителем. Не забывайте также следить за обновлением технологических норм.

проекта с хорошим размещением компонентов и продуманным набором правил эти средства и позволят получить качественную топологию, однако их использование я бы не рекомендовал.



**P.3.2. Не** рекомендуется использование средства автоматической трассировки печатной платы.

---

Трассировка печатной платы задаёт пути протекания токов в слоях металлизации печатной платы. В электрических цепях токи<sup>1</sup> текут по замкнутым траекториям – контурам – от положительного полюса источника напряжения к отрицательному. Поэтому необходимо понимать, что прямому току, текущему от источника напряжения к нагрузке, всегда соответствует возвратный ток, текущий от нагрузки обратно к источнику. Эта пара токов образует замкнутый контур, контроль параметров которого, особенно в случае высокочастотных сигналов, является основной задачей разработчика.



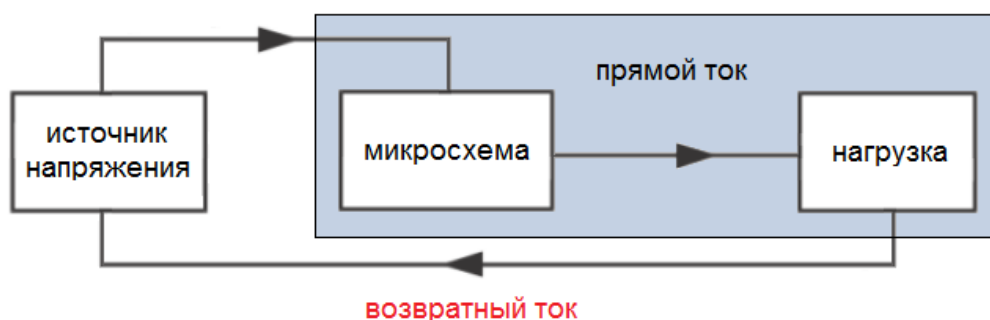
**P.3.3.** Пути протекания как прямых, так и возвратных токов всех сигнальных линий и линий питания должны быть под контролем разработчика.

---

---

<sup>1</sup> В данном случае имеется в виду полный ток, равный сумме тока проводимости и тока смещения. Подробнее о токе смещения, введённом Дж.К. Максвеллом, можно прочитать в теории электродинамики.

На рис. 11 представлен типовой контур протекания тока сигнальной линии, а цветным прямоугольником выделен участок этого контура, которому обычно уделяется большая часть внимания разработчика, тогда как оставшаяся часть контура иногда остаётся предоставленной сама себе. На рисунке также отражён тот факт, что интегральные микросхемы не являются источниками электрической энергии. Они выполняют функцию сложных ключевых элементов, тогда как источниками энергии служат батареи, конденсаторы подсистемы питания, а также внешние относительно печатной платы источники питания.



**Рис. 11.** Замкнутый контур тока в электрической цепи.

Когда траектория возвратного тока не контролируется разработчиком, она контролируется законами физики (впрочем, как и всегда) – возникает распределение плотности тока по траекториям в обратной зависимости от их импеданса. В общем случае это распределение аналитически не выражается, однако для простых случаев решения существуют. Согласно рекомендации [Р.2.4](#) сигнальные слои располагают вблизи сплошного слоя, рассмотрим распределение возвратного тока в такой конфигурации для двух случаев – для низкочастотного и для высокочастотного

сигнала. Импеданс каждой из возможных траекторий возвратного тока в проводнике может быть представлен в виде

$$Z_i = R_i + j \cdot 2\pi f L_i^P,$$

где  $R_i$  – омическое сопротивление участка, а  $L_i^P$  – его собственная индуктивность,  $f$  – частота тока. На низких частотах, когда второе слагаемое пренебрежимо мало, импеданс определяется омическим сопротивлением. Минимальным сопротивлением обладает траектория с кратчайшей длиной. Рассмотрим «параллельное подключение» соседней траектории. Сопротивление их отличается мало, пропорционально разнице в длине<sup>1</sup>, поэтому их параллельное соединение уменьшает общее сопротивление в два раза:

$$R_{i||i+1} = \frac{R_i R_{i+1}}{R_i + R_{i+1}} \approx \frac{R_i}{2}.$$

Таким образом, при расширении области протекания тока полный импеданс падает. Поэтому плотности тока на соседних траекториях примерно равны, что приводит к распределению возвратного тока, близкому к равномерному (рис. 12А). С повышением частоты влияние реактивной составляющей становится определяющим. Минимальной индуктивностью обладает траектория, проходящая под сигнальной дорожкой, так как площадь петли при этом минимальна<sup>2</sup>. Индуктивность соседних траекторий также близка, но увеличивается не только с длиной траектории, но и с удалением от прямого тока. Параллельное соединение не приводит к уменьшению индуктивности, так как из-за близкого расположения взаимная

---

<sup>1</sup> Ширина  $dw$  всех участков, а следовательно и площадь сечения  $S_i = dw \times t$  равны (здесь  $t$  – толщина слоя металлизации). Разницей температур в связи с высокой теплопроводностью меди можно пренебречь.

<sup>2</sup> Подробнее о расчёте индуктивности в [Приложении А](#).

индуктивность траекторий максимальна  $M_{i,i+1} \approx L_i$  и для общей индуктивности получаем:

$$L_{i||i+1} = \frac{L_i L_{i+1} - M_{i,i+1}^2}{L_i + L_{i+1} - 2M_{i,i+1}} \approx \frac{L_i + M_{i,i+1}}{2} \approx L_i.$$

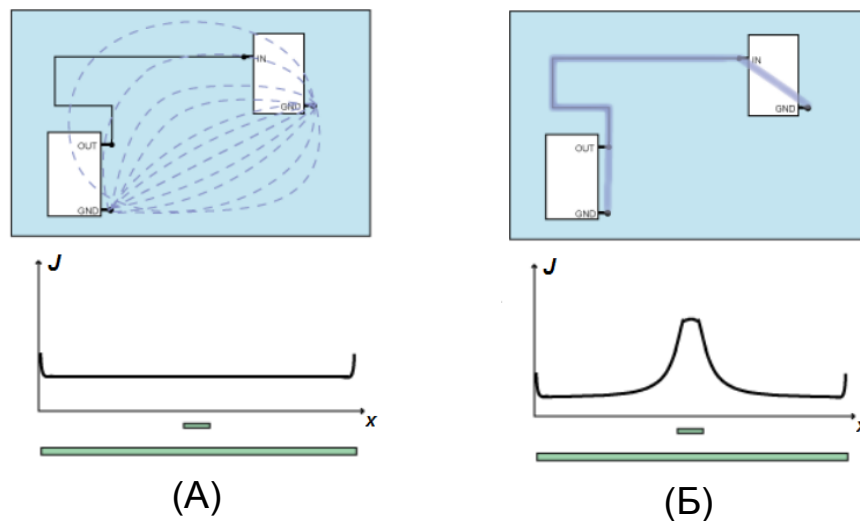
Вывод, который отсюда следует сделать, состоит в том, что взаимная индукция препятствует значительному расширению области протекания возвратного тока (рис. 12Б). Точный аналитический расчёт даёт следующее выражение для плотности распределения возвратного тока микрополосковой линии ( $w$  – ширина печатной дорожки,  $h$  – расстояние до опорного слоя,  $x$  – расстояние от геометрического центра линии):

$$J(x) = \frac{I}{w\pi} \left[ \tan^{-1} \left( \frac{2x-w}{2h} \right) - \tan^{-1} \left( \frac{2x+w}{2h} \right) \right].$$

которое при выполнении условия  $w \leq h$  принимает более простой вид:

$$J(x) = \frac{J(0)}{1 + \left(\frac{x}{h}\right)^2}.$$

Такое распределение обеспечивает минимальное значение индуктивности, то есть для всех частот, для которых омическое сопротивление пренебрежимо мало по сравнению с реактивным, оно будет описываться данной формулой. Анализ распределения показывает, что в полосе  $\pm h$  сосредоточено 50% тока, а в полосе  $\pm 3h$  – 80% тока.



**Рис. 12.** Распределение плотности возвратного тока в сплошном слое земли для низкочастотной (А) и высокочастотной (Б) составляющих сигнала<sup>1</sup>.



**Р.3.4.** Если путь для возвратного тока не задан в виде печатной дорожки, то ток будет распределён в обратной зависимости от импеданса траекторий:

- Для низкочастотных *составляющих*<sup>2</sup> сигнала импеданс определяется омическим сопротивлением, и это означает равномерное распределение вдоль кратчайшего пути.
- Для высокочастотных ( $f > 10 \dots 100$  кГц) *составляющих* сигнала импеданс определяется индуктивностью, и это означает сосредоточение большей части тока в узкой полосе в максимальной близости от прямого тока.

<sup>1</sup> Источники электрической энергии для простоты не показаны.

<sup>2</sup> Реальные сигналы состоят из набора частот, имеющих некоторое спектральное распределение, при этом они имеют шумовую часть, спектр которой может значительно отличаться от спектра самого сигнала. Например, в «низкочастотной» линии питания могут возникать значительные высокочастотные импульсные помехи при переключении цифровых микросхем.

Любое отклонение в распределении тока от оптимального приводит к увеличению индуктивности контура тока, а следовательно, к увеличению ЭМИ и восприимчивости к внешним помехам. Отклонение возникает в случае наличия вырезов (*англ.* split, slot, gap) в опорном слое, причиной которых могут стать сквозные механические и переходные отверстия, ряд переходных отверстий или выводов разъёма, сигнальная дорожка в опорном слое (рис. 13). Г.Джонсон в [5] приводит оценку индуктивности, вносимой узким разрывом длиной  $D$ :

$$\Delta L [\text{нГн}] \approx 2 \cdot D [\text{см}] \cdot \ln \frac{D [\text{см}]}{w [\text{см}]},$$

где  $w$  – ширина дорожки, влияние ширины самого разрыва не учитывается. Для сигнальной дорожки шириной  $w = 0,2$  мм при разрыве длиной  $D = 1$  см увеличение индуктивности составит  $\Delta L_1 \approx 8$  нГн. Для сравнения, если бы сигнальная дорожка была проведена вокруг разрыва, то её длина увеличилась бы в среднем на  $D$ , что в свою очередь при высоте дорожки над опорным слоем  $h = 0,25$  мм привело бы к увеличению индуктивности<sup>1</sup>:

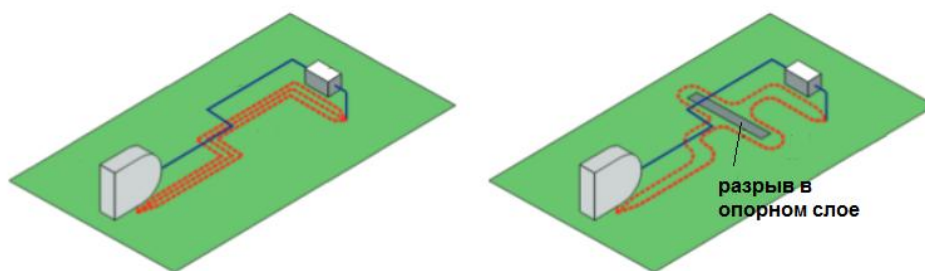
$$\Delta L_2 \approx 2 \cdot D [\text{см}] \cdot \ln \frac{2\pi h [\text{мм}]}{w [\text{мм}]} \approx 4 \text{ нГн}.$$

Паразитная индуктивность есть у каждого элемента печатной платы – дорожки, переходного отверстия, сплошных слоёв, у паяных соединений, выводов микросхем, микропроволочной разварки. Почему важно минимизировать паразитную индуктивность критических линий? Достаточно вспомнить несколько формул, в

---

<sup>1</sup> Здесь используется упрощённая формула погонной индуктивности микрополосковой линии  $l = 2 \ln \frac{2\pi h}{w} [\text{нГн/см}]$ , применимая для случаев  $h \geq w$ .





**Рис. 13.** Вырез в опорном слое приводит к нарушению в распределении возвратного тока.

которые индуктивность входит как параметр: формулу, связывающую поток магнитного поля и силу тока в проводнике

$$\Phi_B = \oint \vec{B} d\vec{S} = LI,$$

формулу, связывающую ЭДС индукции при изменении тока в проводнике (в том числе наведённую – тогда индуктивность взаимная<sup>1</sup>)

$$V = -L \frac{dI}{dt},$$

формулы частоты резонанса

$$f = \frac{1}{2\pi\sqrt{LC}},$$

и добротности LC-контура

$$Q = \frac{1}{R} \sqrt{\frac{L}{C}}.$$

Таким образом, чем выше индуктивность, тем выше излучение, тем выше импульсные помехи, в том числе перекрёстные, тем ниже частоты возбуждения паразитных осцилляций и больше время их

<sup>1</sup> Тут также стоит отметить, что взаимная индуктивность не превышает собственной индуктивности контура,  $M \leq L$ .

затухания. Все эти эффекты, естественно, нежелательны, и связанные с ними проблемы далеко не всегда можно решить доработками печатной платы, таких как установка дополнительных фильтрующих компонентов, экранирование.



**P.3.5.** Необходимо стремиться минимизировать индуктивность критических сигнальных линий. Это достигается за счёт:

- минимизации длины печатной дорожки,
- исключения переходов между сигнальными слоями<sup>1</sup>,
- близкого расположения дорожки к опорному слою (см. [P.2.4](#)),
- отсутствия разрывов в опорном слое на пути возвратного тока<sup>2</sup>.

---

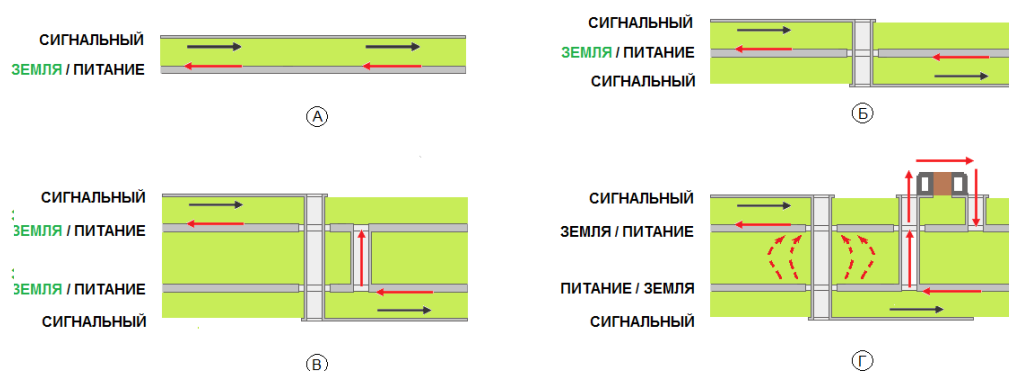
Отдельного рассмотрения требует важный вопрос перехода дорожки между сигнальными слоями, потому что не всегда возможно исключить перекрестия для всех критических сигналов. На рис. 14 условно показываются пути прямых и возвратных токов для различных вариантов перехода между слоями. На рисунке отображается влияние скин-эффекта: возвратные токи текут в поверхностном слое проводника. По увеличению количества красных стрелок можно судить об увеличении общей индуктивности пути, к которой прибавляется индуктивность переходных отверстий, а в случае различающихся опорных слоёв и индуктивность паяных

---

<sup>1</sup> Подробнее – в рекомендации [P.3.6](#).

<sup>2</sup> В случае отсутствия возможности устранить протяжённый разрыв в опорном слое под сигнальной линией, рекомендуется в максимальной близости с сигнальной линией расположить хотя бы один керамический конденсатор (*англ.* stitching capacitor), обеспечивающий путь возвратного тока через разрез. Однако эффективность решения падает с ростом частоты, так как возрастает роль паразитной индуктивности конденсатора и его соединений с опорным слоем.

соединений и последовательная индуктивность конденсатора (*англ.* equivalent series inductance, ESL). Кроме того, в случае опорных слоёв разного потенциала высокочастотная часть возвратного тока течёт в виде токов смещения (красные пунктирные стрелки на рис. 14). Помимо проблем с целостностью сигнала это приводит к возникновению шумов в данной цепи питания и повышению уровня ЭМИ.



**Рис. 14.** Путь возвратного тока (красные стрелки) при смене сигнального слоя при различных вариантах расположения опорных слоёв.

Генри Отт в [1, раздел 16.3.3] приводит данные эксперимента, в котором исследовалось изменение ЭМИ для четырёхслойной печатной платы в случае перехода одной высокочастотной линии с верхнего слоя на нижний с опорными земляными. Опорные слои не были соединены между собой переходным отверстием, а только за счёт ёмкостной связи. За исходный был принят уровень излучения для той же платы, где сигнальная линия была разведена в одном слое. Увеличение составило около 30 дБ на частоте ~250 МГц, и только после 2 ГГц распределённая ёмкость печатной платы обеспечивала достаточно низкий импеданс перехода между опорными слоями, чтобы уровень ЭМИ отличался мало.



**P.3.6.** При необходимости смены сигнального слоя для критического сигнала<sup>1</sup> рекомендуются следующие варианты в порядке приоритета:

- между двумя слоями, примыкающими к одному и тому же опорному слою (рис. 14Б, также см. [P.2.5](#)),
- между двумя слоями, примыкающими к опорным слоям одного потенциала (питание/земля), при этом в максимальной близости от места смены слоя (рис. 14В) и, желательно, вдоль сигнальной линии опорные слои соединены переходными отверстиями (*англ. stitching vias*),
- между двумя слоями, примыкающими к соседним опорным слоям разного потенциала, при этом в максимальной близости от места смены слоя опорные слои соединены как минимум двумя керамическими конденсаторами с низкой индуктивностью соединения (рис. 14Г),
- между двумя слоями, примыкающими к разнесённым опорным слоям разного потенциала, при этом в максимальной близости от места смены слоя опорные слои соединены керамическими конденсаторами с низкой индуктивностью соединения – не рекомендуется для критических сигналов с фронтами порядка 1 нс.

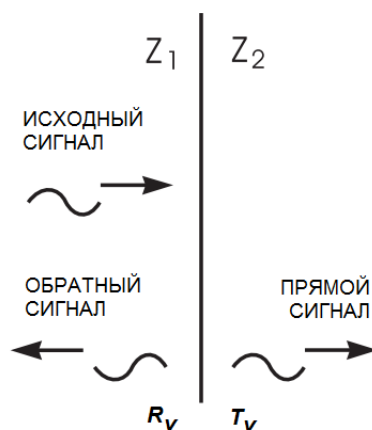
Смена между более, чем двумя слоями для критических сигналов **не** рекомендуется. Предпочитаемый опорный слой в первых двух вариантах – слой земли. Если опорным слоем является слой питания, то необходимо обеспечить низкий импеданс подсистемы питания в полосе спектра сигнала.

---

<sup>1</sup> Рекомендация распространяется как на ассиметричные (*англ. single-ended*), так и на дифференциальные (*англ. differential*) сигнальные линии. Влияние геометрии переходного отверстия будет рассмотрено ниже при рассмотрении неоднородностей импеданса сигнальной линии.

Заметим, что чаще всего около микросхем расположено достаточно большое количество керамических конденсаторов, поэтому смена слоя сигнальной дорожкой вблизи от приёмника/передатчика наиболее оптимальна и в лучшем случае не потребует размещения дополнительных компонентов.

Как уже было сказано, наличие вырезов на пути возвратного тока увеличивает индуктивность контура сигнала, что негативно влияет на уровень ЭМИ печатной платы. Однако на этом, увы, негативное влияние не заканчивается. Вырез, как и другие неоднородности (переходное отверстие, ветвление дорожки, изменение ширины дорожки или расстояния от опорного слоя и т.п.) изменяют локальное значение импеданса (*англ.* instantaneous impedance) сигнальной линии. Любое изменение волнового сопротивления по ходу распространения сигнала приводит к изменению амплитуды исходного сигнала и появлению отражённого сигнала, распространяющегося обратно к источнику (рис. 15).



**Рис. 15.** Появление отражённого обратного сигнала в точке изменения импеданса  $Z_1 \neq Z_2$ .

Амплитуды обратного и прямого сигналов относительно исходного (коэффициенты отражения  $R_V$  и прохождения  $T_V$ ) определяются только значениями импедансов  $Z_1$  и  $Z_2$  на данной частоте<sup>1</sup>:

$$R_V = \frac{V_{\text{обр}}}{V_{\text{исх}}} = \frac{Z_2 - Z_1}{Z_2 + Z_1}$$

$$T_V = \frac{V_{\text{прям}}}{V_{\text{исх}}} = \frac{V_{\text{исх}} + V_{\text{обр}}}{V_{\text{исх}}} = 1 + R_V$$

Знак минус перед коэффициентами будет означать изменение фазы волны на  $180^\circ$ . Даже если сигнальная линия однородна<sup>2</sup> на всей своей протяжённости, а её импеданс постоянен и носит название волнового сопротивления (*англ.* characteristic impedance), отражения могут возникать не только в самой линии, но и на её концах – на стороне источника или на стороне нагрузки. Рассмотрим простую цепь (рис. 16), в которой сопротивления и источника сигнала, и нагрузки не согласованы с волновым сопротивлением однородной линии. В таком случае отражения в линии возникают многократно, постепенно затухая, и приводят к интерференционной картине – сумме сигналов. Схема образования отраженных сигналов и результаты симуляции в LTSpice<sup>3</sup> для ступенчатого импульсного

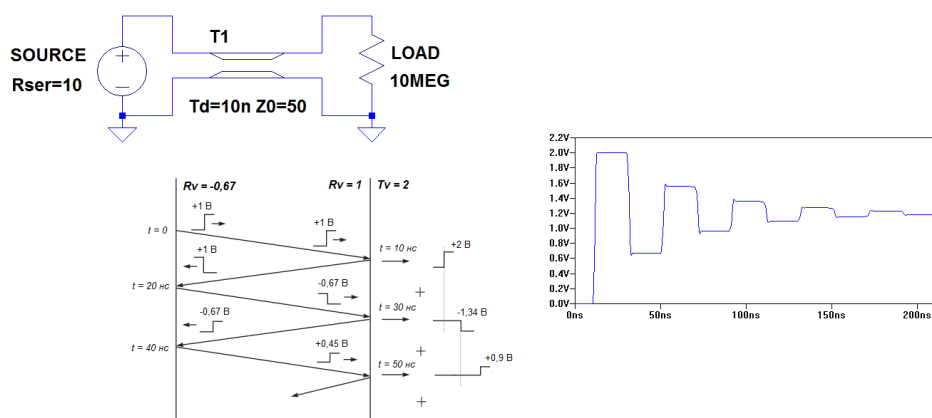
---

<sup>1</sup> Значение импеданса сигнальной линии без потерь имеет некоторую зависимость от частоты до частот в несколько десятков мегагерц, когда скин-эффект влияет на значение индуктивности линии (подробнее в [Приложении Б](#)). Сигнальные линии с потерями будут позже рассмотрены в данной главе.

<sup>2</sup> Под однородностью линии здесь и далее понимается постоянство геометрических параметров её сечения (предполагая неизменность материалов проводника и диэлектрика в пределах печатной платы).

<sup>3</sup> Существуют более простые и наглядные средства моделирования распространения сигнала. Например, Flash-анимация, доступная на сайте [bethesignal.com](http://bethesignal.com) в открытом уроке VRPW-30-16. Рекомендуется ознакомиться и с другими открытыми материалами сайта.

сигнала амплитудой 1,2 В и передним фронтом 1 нс приведены на рисунке.



**Рис. 16.** Пример образования интерференционной картины отражений на концах сигнальной линии: схема отражений и результаты симуляции напряжения на нагрузке в LTSpice ( $t_R = 1$  нс).

Отметим, что напряжение на входе сигнальной линии в течении времени распространения сигнала<sup>1</sup> не равно напряжению источника сигнала  $V_S$  и связано с ним коэффициентом резистивного делителя  $V_{IN} = V_S \cdot \frac{Z_0}{Z_0 + R_{SER}}$ . После многократных отражений от концов линий значение напряжения на нагрузке стремится к сумме убывающей геометрической прогрессии, равной напряжению на нижнем плече резистивного делителя  $V_{LOAD}(t \rightarrow \infty) = V_S \cdot \frac{R_{LOAD}}{R_{LOAD} + R_{SER}}$ .

Так как в реальных условиях обеспечить постоянство импеданса на пути распространения сигнала невозможно<sup>2</sup>, то отражения происходят всегда. Вопрос в том, при каких условиях они приводят к заметным искажениям сигнала. Повторно рассмотрим

<sup>1</sup> Соотношение сохраняется до момента появления первой отражённой волны от нагрузки.

<sup>2</sup> Не только из-за разброса параметров компонентов и платы, но и хотя бы по причине наличия неоднородных переходов интегральный кристалл – микропроводочная разварка – вывод корпуса микросхемы – печатная плата.

пример цепи, приведённой на рис. 16, зафиксировав значения сопротивлений источника сигнала, нагрузки и волнового сопротивления линии. Следовательно, амплитуды интерферирующих сигналов, входящих в сумму, также сохраняются. Однако помимо амплитуд сигналов  $A_i$  значение суммы зависит от их смещений по времени  $\tau_i$ :

$$V_{LOAD}(t) = \sum_i A_i \cdot u(\tau_i, t), \quad \tau_i = TD + 2 \cdot TD \cdot (i - 1),$$

где  $TD$  – время распространения сигнала в линии или временная задержка линии (*англ.* transmission line delay). Эта величина определяется длиной  $l$  сигнальной линии и скоростью  $v$  распространения сигнала в линии  $TD = \frac{l}{v}$ . Будем снижать временную задержку линии – при этом длительность «полок», когда значение сигнала постоянно, будет также снижаться<sup>1</sup>. А когда  $i+1$ -ый отражённый сигнал будет приходить на нагрузку сразу же после достижения  $i$ -ым сигналом своего амплитудного значения, полки исчезнут. Так как сигнал достигает своего амплитудного значения за время, равное длительности фронта  $t_R$ , то должно выполняться следующее:

$$t_R = \tau_{i+1} - \tau_i \Rightarrow TD = \frac{t_R}{2}.$$

Дальнейшее снижение величины временной задержки приведёт к тому, что амплитудные значения пульсаций (*англ.* ringing) достигаться не будут. В предельном случае бесконечно короткой линии  $TD \rightarrow 0$  колебательный переходный процесс отсутствует. Отсюда следует вывод о необходимости минимизации длины линии

---

<sup>1</sup> Удобным средством визуализации данного примера является уже упоминавшаяся Flash-анимация из урока VRPW-30-16 на сайте [bethesignal.com](http://bethesignal.com).



для критических сигналов, уже упоминавшийся в [P.3.5](#). Безусловно, реальные сигнальные линии на печатной плате имеют конечную длину, поэтому математическим критерием малости величины пульсаций является условие  $TD \ll t_R$ .



**P.3.7.** Практическим условием малых искажений импульсного сигнала с длительностью фронта  $t_R$  в сигнальной линии с временной задержкой  $TD$ , является  $TD < \frac{1}{5} \cdot t_R$ . Для оценки длины сигнальной линии можно принять  $v \approx 15$  см/нс (для FR4), тогда условие может быть переписано в виде  $L [\text{см}] < 3 \cdot t_R [\text{нс}]$ .

---

Важно понимать, что допустимую степень искажений должен определять либо разработчик печатной платы, либо этот параметр должен быть указан ему в качестве ограничительного. Кроме того, амплитуда пульсаций зависит не только от соотношения между  $t_R$  и  $TD$ , но и от степени рассогласования линии. В рекомендации [P.3.7](#) под малыми искажениями понимаются пульсации, амплитуда которых не превышает порядка  $\pm 10\%$ . Если условие  $t_R > 5 \cdot TD$  не выполняется или если требование к пульсациям более жёсткое, то существует три пути снижения резонансных явлений в линии:

- уменьшение  $TD$  (прежде всего за счёт уменьшения длины линии),
- увеличение  $t_R$  (снижение скорости переключений сигнала),
- согласование линии (*англ.* termination).

Целью всех методов согласования линии (таблица 3) является обеспечение отсутствия отражений на одном или обоих её концах. Ни один из методов не является идеальным – каждый из них имеет

свои плюсы и минусы, при этом абсолютно все методы приводят к дополнительным потерям энергии.



**P.3.8.** **Не** рекомендуется прибегать к согласованию линии, прежде чем не обеспечены минимально возможные длина линии и скорость переключения сигнала.

---

В случае, когда сигнальная линия соединяет источник сигнала с единственной нагрузкой (*англ.* point-to-point), может использоваться как согласование на стороне источника, так и на стороне нагрузки. Если же нагрузок на сигнальной линии несколько (*англ.* multiload), то рекомендуется применять согласование на стороне нагрузки.

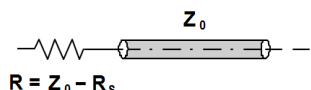
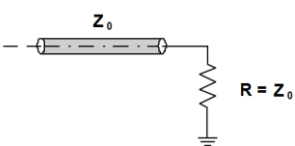
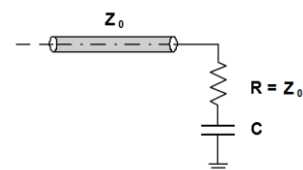
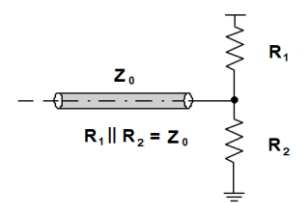
Примеров таких схем, где отсутствие искажений сигналов всегда критично, много – распределённая схема тактирования, многоточечная шина данных, организация внешней памяти с несколькими микросхемами и др. В англоязычной литературе выделяют короткие (*англ.* stub) и длинные (*англ.* branch) ответвления сигнальной линии. Преимущество коротких ответвлений заключается в том, что они могут не иметь на конце согласующих компонентов, однако существует ограничение на их длину.



**P.3.9.** Короткие ответвления от сигнальной линии могут быть несогласованными, однако их длина должна быть минимальной и не должна превышать значения, при котором  $TD_{STUB} > \frac{1}{5} \cdot t_R$ .

---

Таблица 3. Методы согласования сигнальной линии.

Название и схема	Уровень потерь	Комментарии
<p>Последовательная схема</p>  <p><math>R = Z_0 - R_s</math></p>	низкий	<ul style="list-style-type: none"> <li>• Приводит к снижению скорости нарастания сигнала.</li> <li>• Отражение на стороне нагрузки. Время установления, равное <math>2 \cdot TD</math>, ограничивает частоту переключения источника цифрового сигнала.</li> <li>• Волновое сопротивление линии должно быть не меньше выходного сопротивления источника.</li> <li>• Выходные сопротивления источника цифрового сигнала в «0» и в «1» могут отличаться и зависеть от напряжения питания (поэтому рекомендуется использование IBIS-модели источника сигнала). Кроме того, сопротивление источника имеет разброс от микросхемы к микросхеме.</li> <li>• Согласующий резистор должен быть расположен максимально близко к выходу источника сигнала (не более <math>0,2 \cdot t_R \cdot v</math>).</li> <li>• Не применима для топологии с несколькими нагрузками.</li> </ul>
<p>Параллельная схема<sup>(1)</sup></p>  <p><math>R = Z_0</math></p>	высокий	<ul style="list-style-type: none"> <li>• Высокие требования к нагрузочной способности источника сигнала.</li> <li>• Потери могут быть снижены за счёт подключения к чаще встречающемуся уровню на линии («0» или «1»).</li> </ul>
<p>Параллельная схема<sup>(1)</sup> по переменному току</p>  <p><math>R = Z_0</math> C</p>	средний	<ul style="list-style-type: none"> <li>• Отсутствуют потери по постоянному току.</li> <li>• Сложность выбора оптимального<sup>(1)</sup> номинала конденсатора, зависящего от таких параметров передаваемого сигнала как скважность и частота.</li> <li>• Подходит для линий тактирования (постоянство скважности и частоты).</li> <li>• Необходимость учёта влияния RC-цепи на сигнальную линию.</li> </ul>
<p>Тевенина</p>  <p><math>R_1 \parallel R_2 = Z_0</math></p>	высокий	<ul style="list-style-type: none"> <li>• Дополнительные потери из-за постоянного тока утечки через резисторы.</li> <li>• Сложность выбора оптимальных<sup>(2)</sup> номиналов резисторов.</li> <li>• Создаёт напряжение смещения на линии. В случае применения с источником с тремя состояниями на выходе оно не должно вызывать появление сквозного тока!</li> </ul>
<p><sup>(1)</sup> В параллельной схеме может использоваться подключение как к общему проводу, так и к питанию.</p> <p><sup>(2)</sup> Под оптимальностью здесь понимается критерий минимизации потерь энергии.</p>		

Три основных схемы ветвления сигнальной линии на  $N$  участков приведены на рис. 17. Схема с коротким участком (критерий тот же, что в рекомендации [P.3.9](#)) до разветвления приводит к повышенной нагрузке на источник сигнала. Если участок до разветвления длинный, то необходимо увеличивать импеданс ветвей. Увеличение

волнового сопротивления сигнальной линии на том же слое потребует уменьшение её ширины<sup>1</sup>, что может стать ограничением. Если же использовать последовательный резистор сопротивлением  $R = (N - 1) \cdot Z_0$ , то он образует делитель напряжения – и амплитуда сигнала на нагрузке уменьшается  $V_{LOAD} = \frac{1}{N} V_{IN}$ . Очевидно, что каждая из схем не лишена недостатков (помимо того, что повышается количество используемых компонентов), поэтому топологию с ветвлением (*англ.* star topology) рекомендуется применяться только тогда, когда использование топологии с основной сигнальной линией и короткими ответвлениями от неё (*англ.* daisy-chain topology) невозможно.



**P.3.10.** Рекомендуется использовать короткие ответвления от основной сигнальной линии, при этом согласование линии осуществляется на её конце **после** последнего ответвления.

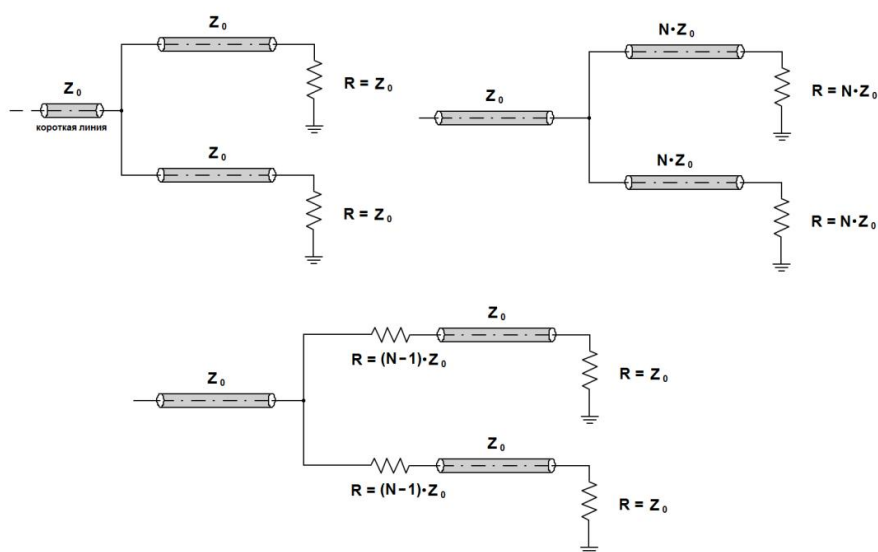
---

Вернёмся к неоднородностям на пути распространения сигнала, с которых начался разговор о контроле импеданса сигнальной линии. Как уже было сказано, они приводят к локальному изменению импеданса, что вызывает отражения и искажение сигнала<sup>2</sup>. Рекомендуемый путь оценки влияния неоднородностей – моделирование. Варианты моделей приведены на рис. 18 – каждый из них является оптимальным для того или иного случая.

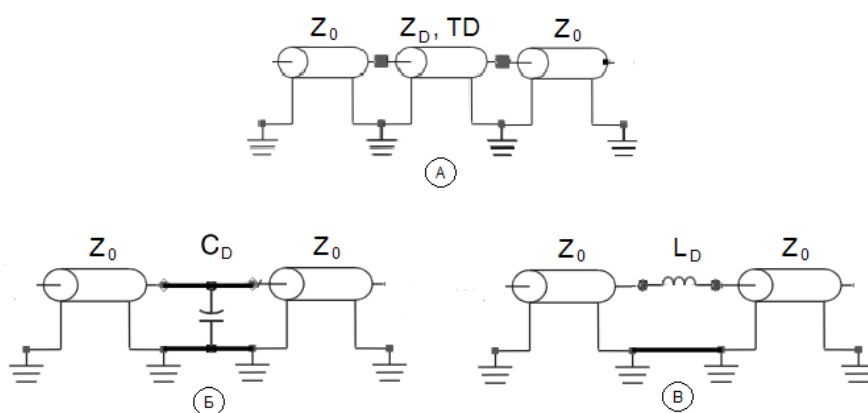
---

<sup>1</sup> Формулы для расчёта волнового сопротивления сигнальных линий приведены в [Приложении Б](#).

<sup>2</sup> Неоднородности эквиваленты фильтрующим элементам, что критично для широкополосных цифровых сигналов, но не для узкополосных СВЧ сигналов, для которых такие неоднородности проектируются целенаправленно для построения фильтров относительно основной гармоники.



**Рис. 17.** Схемы согласования при ветвлении сигнальной линии ( $N$  – число ответвлений). Для примера используется параллельная схема с подключением к общему проводу.



**Рис. 18.** Упрощённые модели для оценки влияния неоднородностей на сигнальные линии.

Вариант А является универсальным, но наиболее подходит для ситуации, когда на определённой длине  $TD$  волновое сопротивление печатной дорожки  $Z_D$  меняется (смены слоя,

изменение ширины и др.). Вариант Б хорошо описывает влияние паразитной ёмкости технологических ответвлений от сигнальной линии (тестовые площадки и др.), переходных отверстий, поворотов печатной дорожки под углом<sup>1</sup>. Вариант В подходит для моделирования эффекта увеличения индуктивности в связи с вырезом в опорном слое, в связи с наличием последовательно включённого в линию пассивного компонента ( $L_D \approx ESL + L_{\text{пайки}}$ ) и т.п.



**Р.3.11.** Влияние неоднородностей на целостность сигнала уменьшается с уменьшением  $TD$ ,  $C_D$ ,  $L_D$  (рис. 18). Для получения точного результата рекомендуется выполнять расчёты с использованием средств моделирования с учётом всех параметров линии. В качестве простой оценки малости искажений можно использовать следующие условия:  $TD < \frac{1}{5} \cdot t_R$ ,  $C_D < \frac{1}{5} \cdot \frac{t_R}{Z_0}$ ,  $L_D < \frac{1}{5} \cdot t_R \cdot Z_0$ .

---

Важно понимать, что неоднородность с точки зрения сигнала – это не изменение геометрии, это изменение импеданса. Что касается геометрии, то теоретически для любого элемента топологии можно подобрать параметры для обеспечения требуемого значения импеданса. На практике решение этой задачи требует использования специализированных САПР электромагнитного моделирования совместно с тестовыми печатными платами и точными измерительными средствами. Безусловно, такие временные и финансовые затраты должны быть

---

<sup>1</sup> Дополнительная ёмкость  $C_D$  возникает за счёт изменения ширины дорожки при повороте. Однако даже для 90° поворотов отражения малы в полосе вплоть до 25 ГГц, поэтому на этих частотах допустимо использование любой геометрии поворота для ассиметричной линии: под прямым углом, скруглённого или двух 45°.

оправданы в рамках проекта (если это не исследовательская работа, то критерий, прежде всего, - это гигагерцовая область частот сигналов). Для более простых задач достаточно применения общих рекомендаций.

Например, для снижения паразитной емкости переходных отверстий рекомендуются следующие меры:

- уменьшение пояска переходного отверстия на сигнальных слоях и его удаление на всех неиспользуемых слоях,
- увеличение зазора между переходным отверстием и огибающим сплошным металлом (*англ.* via anti-pad) до значения ~1 мм,
- удаление неиспользуемой части переходного отверстия (*англ.* via stub) при помощи технологии «backdrilling» или использования слепых (*англ.* blind via) и скрытых (*англ.* buried via) переходных отверстий.

Несмотря на то, что применение указанных мер имеет только положительное влияние на целостность сигнала, цена может быть неоправданной. Удаление «паразитного» участка предполагает использование продвинутых технологий производства печатных плат, что приведёт к увеличению стоимости проекта. Поэтому такая мера должна быть расчётно обоснована. В [статье](#) “Via Stubs Demystified” приводится следующая оценка максимальной длины неиспользуемого участка переходного отверстия в зависимости от символьной скорости передачи данных (*англ.* baudrate) в линии:

$$L_{STUB} [\text{мм}] < \frac{20}{BR [\text{Гбод/с}] \cdot \sqrt{\epsilon_r}} ,$$

где  $\epsilon_r$  – относительная диэлектрическая проницаемость материала печатной платы. Согласно этой оценке 1 Гбод/с (1 Гбит/с для двухуровневого кодирования) соответствует 10 мм «паразитной» длины переходного отверстия, т.е. удаление этого участка может быть оправдано только в гигагерцовом частотном диапазоне (по результатам моделирования).

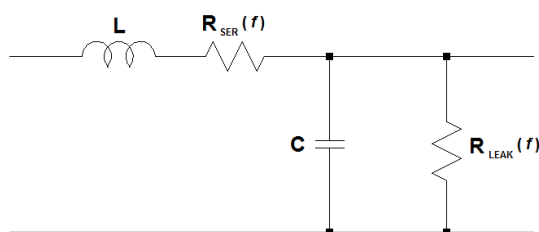
Стоит отметить, что одновременное согласование на стороне источника сигнала и нагрузки значительно снижают искажения, так как возникающие отражения поглощаются на обоих концах линии. Однако сохраняется эффект дополнительной задержки сигнала (за счёт замедления фронта), а также амплитуда сигнала на нагрузке уменьшается (при точном согласовании  $V_{LOAD} = V_{IN} \approx \frac{1}{2} \cdot V_S$ ).

Выбор метода согласования сигнальной линии тесно связан со схемотехникой печатной платы, поэтому если разработчик отвечает только за топологию печатной платы, решение должно приниматься совместно с инженером-схемотехником с применением моделирования сигнальной линии (SPICE или специализированные программные средства). Однако вопрос о необходимости согласования линии всегда инициируется разработчиком печатной платы в случае невозможности обеспечения требуемого уровня искажений иными способами.

Все рассмотренные методы согласования предполагают обеспечение равенства импедансов нагрузки и/или источника волновому сопротивлению сигнальной линии. Отсюда следует вывод, что если импеданс нагрузки непостоянен и зависит от некоторого параметра, точное согласование обеспечить невозможно. К примеру, входной каскад логических элементов



всегда характеризуется эквивалентной входной ёмкостью (обычно это единицы пикофарад). Напряжение на входном конденсаторе при переходных процессах, а следовательно, и его импеданс  $Z_C = \frac{V}{C \cdot dV/dt}$  зависят от времени. Это приводит к изменению коэффициента отражения на стороне нагрузки и замедлению длительности фронта на время  $\tau \approx 2,2 \cdot Z_0 C$  (по аналогии с RC-цепью). Если длительность фронта источника  $t_R$  мала по сравнению с  $\tau$ , то процесс зарядки конденсатора будет определять длительность фронта на дальнем конце линии.



**Рис. 19.** Модель линии передачи с потерями.

В реальной сигнальной линии фронт сигнала замедляется не только по причине наличия на ней емкостной нагрузки, но и в связи с потерями энергии, а именно, омическими потерями и потерями утечки в диэлектрике<sup>1</sup>. На рис. 19 изображена модель линии с потерями, где последовательное сопротивление  $R_{SER} = R_{DC} + R_{AC}\sqrt{f}$  моделирует омические потери (в т.ч. скин-эффект), а сопротивление  $R_{LEAK} = (2\pi f \cdot \text{tg}(\delta) \cdot C)^{-1}$  – диэлектрические (здесь  $\text{tg}(\delta)$  – тангенс угла потерь, характеристика материала диэлектрика). Увеличение потерь с ростом частоты приводит к тому, что высокочастотные составляющие сигнала ослабляются значительно, что и приводит к

<sup>1</sup> Потери на излучение (дальнее поле – *англ.* far-field) малы по сравнению с указанными, потери по причине наличия перекрёстной связи с соседними проводниками (ближнее поле – *англ.* near-field) важны и будут рассмотрены ниже.

замедлению фронта сигнала. Эрик Богатин в [2, раздел 9.13] приводит формулу для оценки длительности фронта на выходе сигнальной линии с потерями длиной  $l$  и диэлектриком с проницаемостью  $\varepsilon$  и тангенсом угла потерь  $\operatorname{tg}(\delta)$ :

$$t_R^{OUT} [\text{нс}] = \sqrt{(t_R^{IN} [\text{нс}])^2 + (0,1 \cdot \operatorname{tg}(\delta) \cdot \sqrt{\varepsilon} \cdot l [\text{см}])^2}.$$

Далее, из условия  $\Delta t_R = t_R^{OUT} - t_R^{IN} < 0,1 \cdot t_R^{IN}$  можно вывести оценочный критерий необходимости учёта эффектов, связанных с потерями в сигнальной линии.



**P.3.12.** Для сигнальной линии, длина  $l$  которой соответствует критерию  $l [\text{см}] < \frac{5}{\operatorname{tg}(\delta) \cdot \sqrt{\varepsilon}} \cdot t_R [\text{нс}]$ , влияние потерь на длительность фронта сигнала можно **не** учитывать. Для диэлектрика FR4<sup>1</sup> это условие приобретает вид  $l [\text{см}] < 125 \cdot t_R [\text{нс}]$ .

---

Как видно из рекомендации [P.3.12](#), в большинстве приложений при разработке печатных плат можно использовать модель сигнальной линии без потерь, где  $R_{LEAK} = \infty$  и  $R_{SER} = 0$ .

Другим источником потерь является перекрёстная связь<sup>2</sup> с соседними проводниками (*англ.* coupling), которая приводит к искажениям сигнала в активной (*англ.* aggressor, active line) линии (по причине потерь в ближнем поле) и к наведённым

---

<sup>1</sup> Диэлектрик FR4 имеет относительно высокое значение тангенса угла потерь, поэтому выполнение указанного здесь численного условия гарантирует малость влияния потерь и для большинства других типов современных диэлектриков.

<sup>2</sup> Перекрёстная связь здесь рассматривается на примере проводников, расположенных в одном слое. Для случая расположения проводников на соседних слоях закономерности аналогичны.

перекрёстным помехам (*англ.* crosstalk) в пассивной (*англ.* victim, quiet line) линии. Эффект возникает за счёт двух физических принципов – электрической (ёмкостной) связи и магнитной (индуктивной) связи. На рис. 20 показаны определяющие параметры<sup>1</sup> перекрёстной связи – взаимная индуктивность  $L_M$  и взаимная ёмкость  $C_M$ . Приведённая эквивалентная электрическая схема перекрёстной связи может использоваться при выполнении расчётов и моделирования. При этом количество  $N$  таких последовательных звеньев должно быть тем больше, чем выше электрическая длина линий  $TD$  и требуемая спектральная полоса модели<sup>2</sup>  $BW$ :

$$N > 10 \cdot TD \cdot BW.$$

Ёмкость  $C_L$  и индуктивность  $L_L$  звеньев можно рассчитать по формулам:

$$C_L = \frac{TD}{N \cdot Z_0}, \quad L_L = C_L \cdot Z_0^2.$$

Основная трудность при моделировании эквивалентной схемы перекрёстной связи заключается в вычислении значений  $L_M$  и  $C_M$  в расчёте на одно звено. Для некоторых случаев существуют оценочные аналитические соотношения, в общем случае для решения этой задачи применяются специализированные программные средства на основе численных методов. Ключевая с практической точки зрения закономерность для  $L_M$  и  $C_M$  заключается в следующем:

---

<sup>1</sup> Важно понимать, что эти параметры зависят прежде всего от геометрии и параметров материалов.

<sup>2</sup> Для прямоугольного импульса достаточная спектральная полоса определяется соотношением  $BW_{MIN} = \frac{0,35}{t_R}$ .



**Р.3.13.** В случае сплошного опорного слоя величины взаимной индуктивности и взаимной ёмкости уменьшаются с увеличением расстояния между проводниками и с уменьшением расстояния между проводником и опорным слоем.

---

Наличие вырезов в опорном слое усложняет ситуацию. В этой главе неоднократно рассматривалось их негативное влияние на ЭМС и ЭМИ. Перекрёстные помехи – не исключение. Любой вырез будет нарушать локализацию электромагнитного поля вокруг активной линии, приводя к его большему сцеплению с окружающим проводниками. Отдельный случай – это протяжённый прямоугольный вырез в опорном слое, при котором энергия распространяется вдоль самого выреза (*англ.* slotline) ко всем проводникам, которые этот разрыв пересекают. Если в спектральном диапазоне сигнала активной линии разрыв будет являться хорошим волноводом, зависимость от расстояния между проводниками в пределах разрыва будет мала, а уровень перекрёстных помех при этом значительно увеличится.

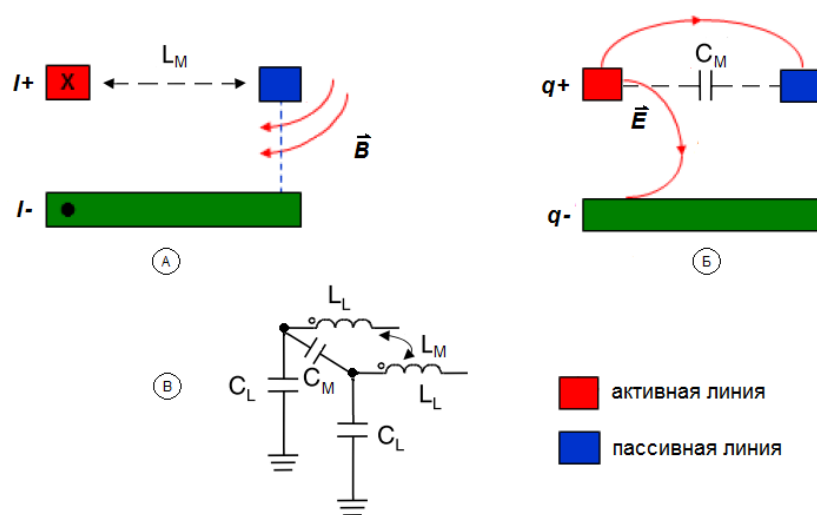


**Р.3.14.** Для высокочастотных сигнальных линий наличие вырезов в опорном слое крайне нежелательно, особенно для микрополосковых<sup>1</sup>. Они являются причинами увеличения индуктивности контура тока, уязвимости к помехам, ЭМИ, отражений и искажений сигнала, перекрёстных помех, шумов в шинах питания.

---

---

<sup>1</sup> Для полосковых линий негативное влияние выреза в одном из опорных слоёв смягчается по причине разделения токов между слоями. Это влияние тем меньше, чем более удалён опорный слой с вырезом (критерием толщины диэлектрика может выступать  $h_{slot} > 4 \cdot w$ ).

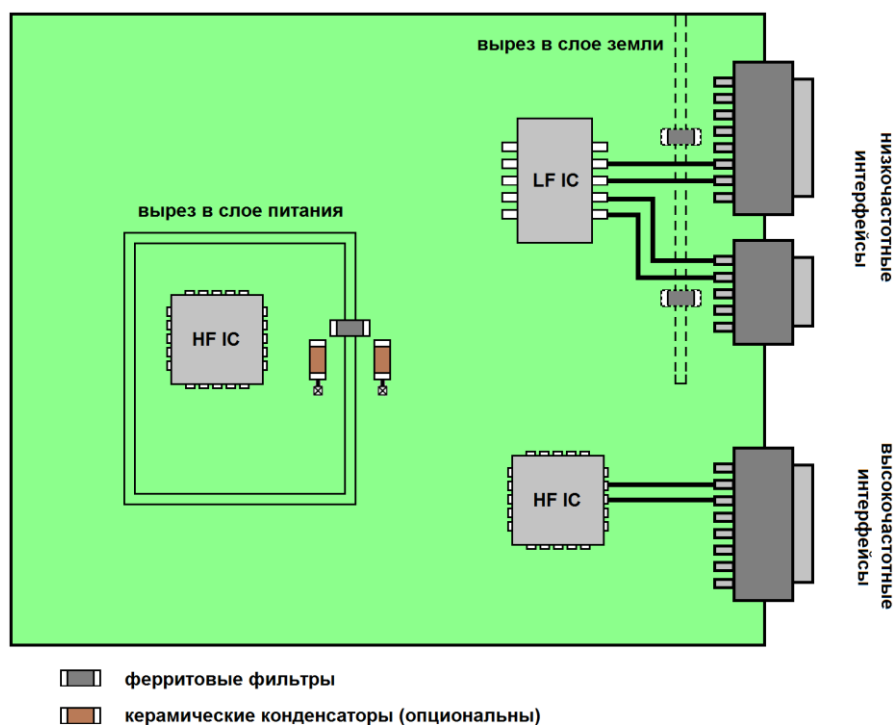


**Рис. 20.** Перекрёстная связь двух микрополосковых линий: индуктивная (А) и емкостная (Б). Эквивалентная электрическая схема перекрёстной связи (В).

Безусловно, существуют ситуации, когда использование вырезов в опорном слое положительно сказываются на ЭМИ и ЭМС печатной платы в целом, однако они требуют большой аккуратности с точки зрения контроля возвратных токов и не могут быть рекомендованы в общем случае. Например, для предотвращения излучения помех опорного слоя через кабельные соединения область соединительных разъёмов низкочастотных интерфейсов отделяется вырезом в опорном слое, а для обеспечения пути возвратного тока через вырез используются ферритовые фильтры (рис. 21). В то же время, для высокочастотных интерфейсов (USB, LVDS и др.) вырезы в опорном слое недопустимы, а для снижения ЭМИ используются кабели со встроенным ферритовым фильтром. Другой пример – изолированные<sup>1</sup> области питания (*англ.* power island), когда в слоях питания сложных проектов с сигналами

<sup>1</sup> Не следует путать с высоковольтной изоляцией, где для передачи питания и сигналов через изоляционный барьер применяются специальные схемотехнические решения.

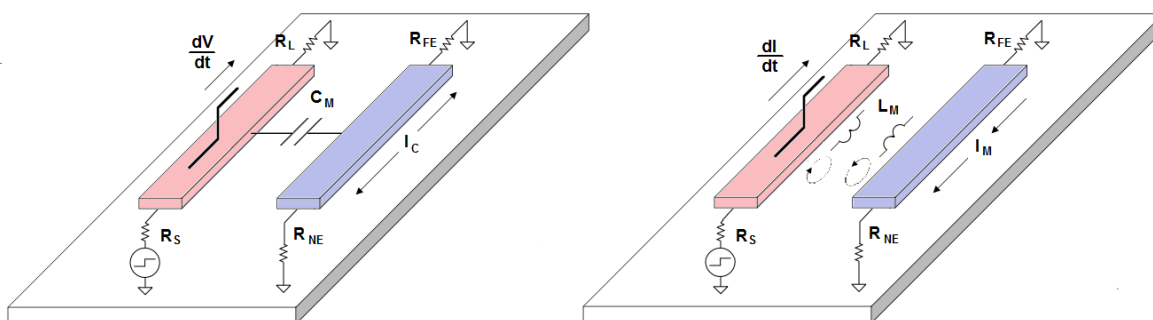
смешанного типа с помощью вырезов полностью изолируются агрессивные источники шума, а электрическое соединение осуществляется с помощью ферритовых фильтров<sup>1</sup> (рис. 21). Данные ситуации предполагают целенаправленное использование вырезов разработчиком для достижения конкретных целей или же компромиссное с точки зрения оптимизации цены решение, когда расчётная оценка негативных последствий (при всей сложности этой задачи) укладываются в допустимые нормы проекта. Во всех прочих случаях вырезы в слоях питания и земли использовать **не** рекомендуется, предпочтительнее создавать виртуальное разделение сплошных слоёв за счёт группировки компонентов (рекомендация [P.1.3](#)).



**Рис. 21.** Примеры использования вырезов в опорных слоях, оправданные с точки зрения ЭМС и ЭМИ.

Итак, электрическая и магнитная связь приводят к потерям энергии и искажению сигнала в активной линии и появлению сигнала в пассивной линии. Токи емкостной  $I_C$  и индуктивной  $I_M$  связи (рис. 22) однонаправлены в сторону источника (*англ. near-end*) и противоположно направлены в сторону нагрузки (*англ. far-end*)<sup>1</sup>:

$$I_{NE} = I_C^{NE} + I_L^{NE}, \quad I_{FE} = I_C^{FE} - I_L^{FE}.$$

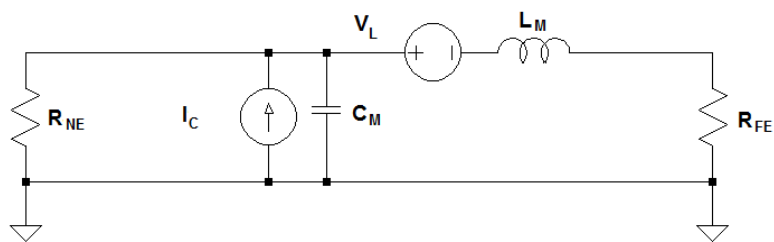


**Рис. 22.** Направление токов, вызванных перекрёстной связью, в пассивной линии.

Эквивалентная схема электрически короткой (согласно определению рекомендации [P.3.7](#)) пассивной линии представлена на рис. 23, где источники электрической энергии определяются формулами:

$$I_C = \frac{dq}{dt} = C_M \cdot \frac{dV}{dt}, \quad V_L = L_M \cdot \frac{dI}{dt}.$$

<sup>1</sup> Подробнее об индуцированных перекрёстной связью токах, например, в [2, разделах 10.9, 10.10]. Flash-анимация, доступная на сайте [bethesignal.com](http://bethesignal.com) в открытом уроке VRPW-30-12, даёт наглядное представление перекрёстной связи.



**Рис. 23.** Эквивалентная схема перекрёстных помех в короткой линии.

Схема является упрощённой<sup>1</sup> и применима только для оценки амплитуды перекрёстных помех. Однако для данной схемы выводятся аналитические соотношения, которые показывают основные зависимости, выполняющиеся и для более сложных случаев:

$$V_{NE} = \left[ \frac{R_{NE} \cdot R_{FE}}{R_{NE} + R_{FE}} \cdot C_M \cdot \frac{R_L}{R_S + R_L} + \frac{R_{NE}}{R_{NE} + R_{FE}} \cdot L_M \cdot \frac{1}{R_S + R_L} \right] \cdot \frac{dV_S}{dt},$$

$$V_{FE} = \left[ \frac{R_{NE} \cdot R_{FE}}{R_{NE} + R_{FE}} \cdot C_M \cdot \frac{R_L}{R_S + R_L} - \frac{R_{FE}}{R_{NE} + R_{FE}} \cdot L_M \cdot \frac{1}{R_S + R_L} \right] \cdot \frac{dV_S}{dt}.$$



### **Р.3.15.** Методы снижения перекрёстных помех:

- Увеличение длительности фронтов сигнала в активной линии.
  - Снижение длины параллельного участка линий<sup>2</sup>.
  - Увеличение расстояния между проводниками.
- Существуют рекомендации минимального

<sup>1</sup> Более точное схемотехническое моделирование требует применения указанной на рис. 20-В схемы звена сигнальной линии.

<sup>2</sup> Амплитуда помехи на дальнем конце  $V_{FE}$  линейно растёт с увеличением длины участка перекрёстной связи, помеха на ближнем конце  $V_{NE}$  растёт до тех пор, пока длина участка не превысит значения  $L_{SAT} = \frac{1}{2} \cdot v \cdot t_R$ . Подробнее в [2, гл. 10].



расстояния между краями печатных дорожек<sup>1</sup>  $s \sim 6 \cdot h$  или  $s \sim 3 \cdot w$ , где  $h$  – расстояние до опорного слоя,  $w$  – ширина дорожки.

- Снижение расстояния  $h$  между проводником и опорным слоем.
  - Подбор согласующих сопротивлений на концах активной и пассивной линий. Высокоимпедансные пассивные линии более уязвимы к помехам, кроме того, несогласованность пассивной линии приводит к переотражениям и наложениям перекрёстных помех.
  - Применение экранирующих проводников (*англ.* guard trace), закороченных на опорный слой на концах и по всей длине (порядка трёх переходных отверстий на длину  $t_R \cdot v$ ).
  - Применение специальных геометрий микрополосковых сигнальных линий, содержащих регулярные неоднородности (*англ.* tabbed lines, single/dual stub lines), для снижения  $V_{FE}$ .
  - Применение встроенных микрополосковых<sup>2</sup> (*англ.* embedded microstrip) или полосковых линий, для которых в силу симметрии диэлектрика вокруг линии выполняется  $V_{FE} \approx 0$ .
- 

Приведённые принципы применимы и в случаях, когда проводники находятся на разных слоях. При этом если они имеют общий опорный слой, то идеальное расположение проводников – по разные стороны от него (опорный слой обеспечивает экранирование), в противном случае рекомендуется либо располагать проводники на удалении друг от друга  $s \sim 3 \cdot (h_1 + h_2)$  и перпендикулярно друг другу в месте пересечения.

---

<sup>1</sup> Первый критерий является основным и связан с распределением высокочастотного тока вида  $(1 + (\frac{x}{h})^2)^{-1}$ , а второй обладает большей наглядностью при разводке печатной платы и связан с тем, что для типовых 50-омных волновых сопротивлений  $w \sim 2h$ .

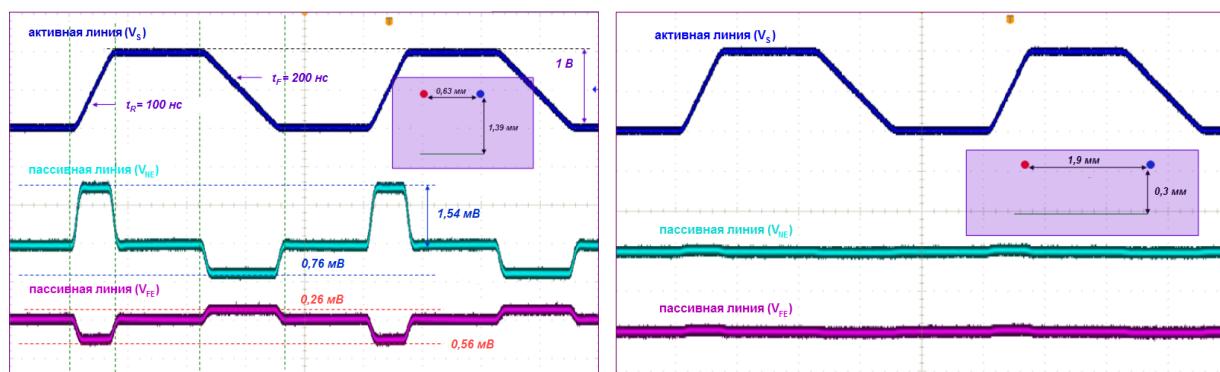
<sup>2</sup> Толщина диэлектрика над сигнальными дорожками должна быть сравнима с расстоянием до опорного слоя.

На рис. 24 изображены осциллограммы измерения перекрёстных помех между двумя 50-омными микрополосковыми линиями на экспериментальной плате в двух случаях:  $w \sim 2,5$  мм,  $s \sim 0,6$  мм,  $h = 1,39$  мм и  $w \sim 0,6$  мм,  $s \sim 1,9$  мм,  $h = 0,3$  мм. Длина параллельных участков дорожек составляет порядка 30 см. Стоит обратить внимание на то, что и длительность фронтов сигнала на активной линии значительно превышает типичные значения для быстродействующих цифровых печатных плат. Величина помех на рис. 23 не должна рассматриваться как характерная, данные осциллограммы прежде всего являются наглядным представлением влияния на величину помехи длительности фронта сигнала, расстояния между проводниками и близости опорного слоя. Отметим, что при близком расположении линий импульс помехи на дальнем конце  $V_{FE}$  имеет обратную полярность относительно производной сигнала  $\frac{dV_s}{dt}$ , то есть индуктивная связь сильнее емкостной. С увеличением расстояния меняется не только амплитуда, но и полярность помехи на дальнем конце.

Приведённая выше теория для простоты рассматривала пример двух проводников. Однако важно понимать, что для цифровых печатных плат типичной является ситуация, когда несколько однонаправленных сигнальных линий синхронно изменяют своё состояние. Так как перекрёстные помехи активных линий накладываются друг друга, то в таком случае величина помехи может стать критической, приводя к некорректному функционированию системы. Кроме того, перекрёстные помехи приводят к значительному увеличению ЭМИ печатной платы, если они наводятся на линию, выходящую на внешнее кабельное

соединение<sup>1</sup>. Для численного моделирования в этом случае применяется специализированное программное обеспечение<sup>2</sup>, но принципы снижения величины перекрёстных помех остаются те же (рекомендация [P.3.15](#)).

Если в случае независимых сигнальных линий перекрёстная связь является источником нежелательных помех, то в случае дифференциальной схемы передачи сигнала сильная перекрёстная связь, напротив, делает сигнал более устойчивым к помехам. При такой схеме передачи сигнала используются две линии (дифференциальная пара), источники сигнала которых находятся в



**Рис. 24.** Осциллограммы измерения перекрёстных помех<sup>3</sup>.

противофазе, а приёмник реагирует на разницу напряжений на линиях  $V_{DIFF} = V_+ - V_-$  (рис. 25). Синфазный сигнал (*англ.* common

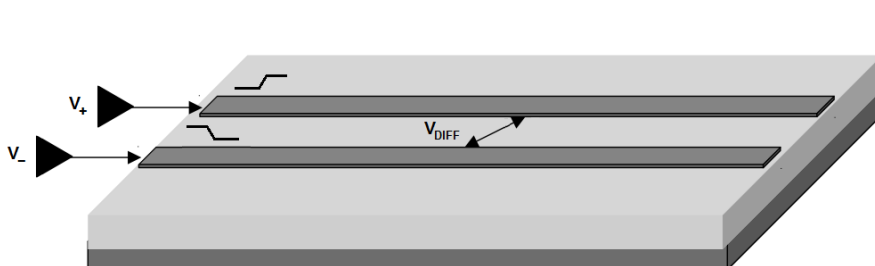
<sup>1</sup> Расчётные и экспериментальные данные, а также оценка эффективности некоторых методов снижения перекрёстных помех представлены в статье *“Radiation from a PCB with Coupling between a Low Frequency and a Digital Signal Traces”* (авторы - Naoto Oka и др.).

<sup>2</sup> Подробнее, например, в [2, разделе 10.14].

<sup>3</sup> Источник – статья *“EMC Crosstalk between PCB Traces”* (автор - Bogdan Adamczyk). Стоит заметить, что только длительность перекрёстной помехи на дальнем конце  $V_{FE}$  равна длительности фронта сигнала  $t_R$ , длительность же помехи на ближнем конце  $V_{NE}$  составляет порядка  $2 \cdot TD + t_R$ . Для представленных экспериментальных данных длительность обеих помех ограничена  $t_R$ , так как длительность фронта велика и  $TD \ll t_R$ .

signal) определяется как  $V_{COMM} = \frac{1}{2} \cdot (V_+ + V_-)$  и может быть ненулевым, например, как в распространённом стандарте LVDS. Дифференциальная пара характеризуется двумя сопротивлениями:

$$Z_{DIFF} = \frac{V_{DIFF}}{I_+}, Z_{COMM} = \frac{V_{COMM}}{I_{COMM}}.$$

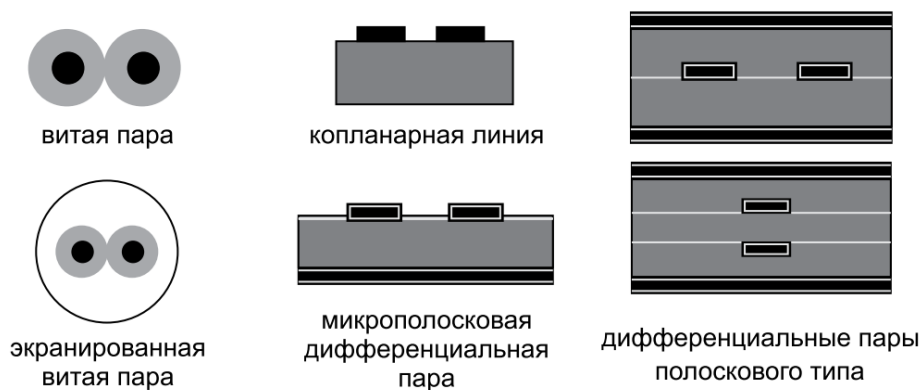


**Рис. 25.** Дифференциальная схема передачи сигнала по двум микрополосковым линиям.

Вводная теория дифференциальной передачи сигналов описывается во многих источниках, например, в [2, глава 11]. С точки зрения проектирования печатных плат важно остановиться на преимуществах дифференциальной схемы относительно ассиметричной (*англ.* single-ended) и на требованиях к топологии дифференциальных пар, эти преимущества обеспечивающие.

Прежде всего, идеальная дифференциальная пара симметрична, то есть на всей протяжённости её сечение должно быть неизменным и обладать осью симметрии (рис. 26). Это, так же, как и в случае ассиметричной линии передачи, обеспечивает

постоянство волнового сопротивления дифференциальной пары<sup>1</sup>, что значительно снижает отражения в линии и искажения сигнала.



**Рис. 26.** Примеры сечений дифференциальных пар.



**Р.3.16.** Сечение дифференциальной пары должно быть максимально (в идеале – зеркально) симметрично и однородно на всей её протяжённости. Симметрия касается и расположения переходных отверстий (в т.ч. соединяющих опорные слои), пассивных компонентов и т.п. Между линиями пары не должно быть элементов топологии других сигнальных цепей.

Каждой линии дифференциальной пары соответствует своё распределение возвратного тока в опорном слое. Если взаимная связь между линиями пары значительно меньше, чем их связь с опорным слоем ( $C_M \ll C_L$  в обозначениях рис. 20-В), то

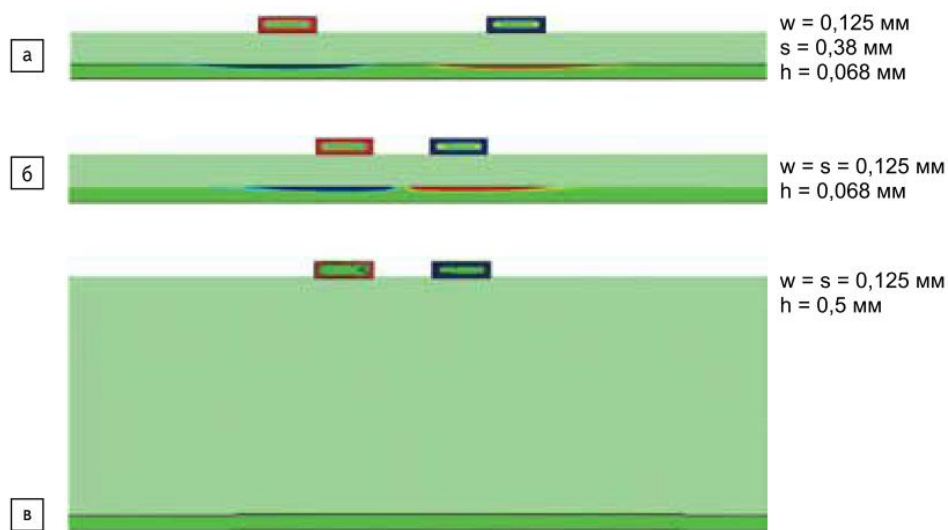
<sup>1</sup> Некоторые заводы-изготовители предоставляют рекомендуемую ими геометрию дифференциальной пары для получения заданного типового значения волнового сопротивления.

распределения возвратных токов не пересекаются (рис. 27-А). Такая дифференциальная пара называется дифференциальной парой со слабой взаимной связью (*англ.* loosely coupled differential line, weak coupling). Так как распределение высокочастотных составляющих сигнала сконцентрировано в опорном слое в области  $\pm 3 \cdot h$  (см. рис. 12), то практическим критерием для слабой связи является условие, что расстояние между краями печатных дорожек  $s > 6 \cdot h$  или  $s > 3 \cdot w$  (по аналогии с рекомендацией [P.3.15](#)). Так как дифференциальный импеданс пары со слабой связью практически не зависит от расстояния между дорожками  $Z_{DIFF} \approx 2 \cdot Z_0$ , то это расстояние может меняться вдоль длины линии – например, при наличии препятствия на пути дифференциальной пары. Это упрощает требования к топологии дифференциальной пары, однако такие линии лишены основных преимуществ дифференциальной передачи данных.

Уменьшения расстояния между линиями до  $s \leq 2 \cdot h$  приводит к значительному увеличению взаимной связи и перекрытию распределений возвратных токов в опорном слое (рис. 27-Б). Такая дифференциальная пара называется дифференциальной парой с сильной взаимной связью (*англ.* tightly coupled differential line). Дифференциальный импеданс становится в большей степени зависимым от расстояния между дорожками. Его значение снижается, поэтому для сохранения прежнего значения требуются более узкие дорожки, что несколько повышает омические потери. Однако именно такая топология дифференциальной пары обеспечивает следующие преимущества относительно асимметричной линии:

1. Бóльшая устойчивость дифференциального сигнала к наведённым помехам, в том числе к перекрёстным помехам и помехам в опорном слое. Близкое расположение и симметрия линий приводит к тому, что наведённые помехи на каждую из линий практически равны  $V_{NOISE}^+ \approx V_{NOISE}^-$ , поэтому дифференциальная помеха мала  $V_{NOISE}^{DIFF} = V_{NOISE}^+ - V_{NOISE}^- \approx 0$ . Эта помеха тем меньше, чем дальше от дифференциальной пары находится её источник.
2. Меньший уровень ЭМИ и создаваемых перекрёстных помех. Так как сигналы  $V_+$  и  $V_-$  находятся в противофазе, то излучаемые ими электромагнитные поля примерно равны по величине и имеют противоположное друг другу направление. Это приводит к тому, что суперпозиция полей в дальнем поле стремится к нулю. Тот же эффект значительно снижает создаваемые дифференциальной парой перекрёстные помехи в ближнем поле.
3. Меньшее влияние разрывов в опорном слое. Возвратные токи  $I_+$  и  $I_-$  также находятся в противофазе, при этом в силу геометрической симметрии их распределения в опорном слое симметричны. В связи с этим суммарный ток в опорном слое  $I_{REF} = I_+ + I_-$  уменьшается, а в области перекрытия становится равным нулю. В случае полного перекрытия, когда дифференциальная пара находится на удалении от опорного слоя  $h > 2 \cdot (s + w)$  и взаимная связь линий значительно превышает их связь с опорным слоем, ток в опорном слое отсутствует (рис. 27-В). Такая ситуация может возникать, в частности, когда дифференциальная пара пересекает широкий разрыв в опорном слое. Несмотря на то, что импеданс в месте пересечения претерпевает локальное изменение, искажения дифференциального сигнала малы по

сравнению с искажениями асимметричного сигнала в подобном случае [2, раздел 11.18].



**Рис. 27.** Моделирование (Ansoft SI2D) распределения возвратного тока микрополосковой дифференциальной пары в зависимости от её геометрии [2, раздел 11.6].

Указанные преимущества стоит назвать потенциальными преимуществами, потому что в полной мере они реализуются только при одновременном выполнении двух условий:

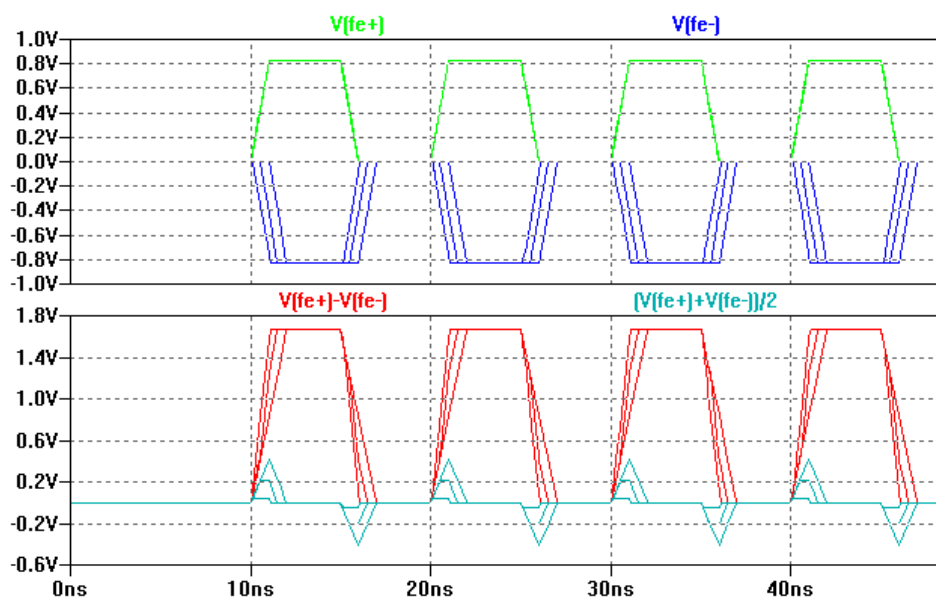
1. строгая противофазность сигналов на всей протяженности линии,
2. отсутствие помех синфазного сигнала.

Если не учитывать неидеальность источника сигнала<sup>1</sup>, то выполнение первого требования обеспечивается соблюдением рекомендации [P.3.16](#) и согласованием как дифференциального, так и синфазного сигналов на стороне нагрузки (таблица 4). Однако на практике из-за ограничений, накладываемых расположением и

<sup>1</sup> Неодновременность переключения драйверов пары, различие в длительностях переднего и заднего фронта приводят к разбегу фаз (*англ. skew*).



геометрией контактных площадок компонентов и переходных отверстий, необходимостью поворотов, строгое постоянство сечения дифференциальной пары труднореализуемо, что выражается также и в разности длин линий пары. Разность длин пары приводит к разбегу фазы, искажая дифференциальный сигнал (в том числе приводя к возможному возникновению неопределённого состояния на входе приёмника) и создавая помехи синфазного сигнала (рис. 28).



**Рис. 28.** SPICE-моделирование сигнала на дальнем конце дифференциальной пары с разностью электрических длин линий в 0,1 нс, 0,5 нс и 1 нс (фронт сигнала  $t_R = 1$  нс).

Распространённой практикой выравнивания длин линий (*англ.* length matching, tuning) является увеличение длины более короткой линии за счёт дополнительных изгибов (*англ.* serpentine), которые могут образовывать регулярную структуру (рис. 29). Очевидно, что при этом неизбежно изменяется расстояние между линиями пары. Это в свою очередь приводит к локальному изменению импеданса пары и возникновению отражений. Д. Брукс в своей [статье](#) "Adjusting Signal Timing (Part 1)" высказывает мнение, что задача выравнивания длин линий пары имеет бóльшую важность с точки

зрения целостности сигналов и ЭМС<sup>1</sup>. Критерий достаточной степени равенства длин линий приводится в [2, раздел 11.15].



**Р.3.17.** Длины линий дифференциальной пары должны быть выровнены между собой<sup>2</sup> с точностью  $\Delta L < 0,1 \cdot t_R \cdot v$ . Участок выравнивания рекомендуется располагать в той части дифференциальной пары, где симметрия уже нарушена (чаще всего вблизи поворотов дорожки и выводов микросхемы<sup>3</sup>). Выравнивание рекомендуется выполнять и для отдельных сегментов дифференциальной пары (участок пары на одном слое от одной пары контактных площадок/переходных отверстий до другой), при этом без нарушения требования для общей длины.

---

---

<sup>1</sup> Этот тезис не является универсальным правилом. Дело в том, что существуют и более продвинутой методика выравнивания длин линий, которая заключается в одновременном сохранении импеданса пары в области выравнивания (за счёт изменений ширины линий, применения локальных вырезов в опорном слое и т.п.). Однако построение такой геометрии выравнивания является достаточно сложной задачей, требующей применения специализированных САПР, и оправдана только для гигагерцовых сигнальных линий. Другой вариант – это локальное увеличение расстояния между линиями пары на небольшом участке с последующим выравниванием длин за счёт изгибов на одной из линий. Иными словами, осуществление локального перехода к дифференциальной паре со слабой связью, для которой импеданс не так сильно зависит от расстояния между линиями (что наблюдается в местах изгибов). Примеры и более подробная информация по этим методикам может быть найдена в материалах, представленных на [сайте](#) Simberian, Inc.

<sup>2</sup> Современные САПР проектирования печатных плат берут на себя вычисление длины печатных дорожек, однако путём виртуального эксперимента стоит изучить нюансы алгоритма вычисления. Например, учитывается ли длина переходного отверстия? Как учитывается длина печатной дорожки, в случае если она не доведена до центра контактной площадки, или, наоборот, когда она имеет лишние участки внутри неё?

<sup>3</sup> При трассировке линий дифференциальной пары стоит прорабатывать возможность выравнивания длин, меняя направления выхода линий от контактных площадок микросхем. Например, направление выхода изначально более короткой линии можно изменить на противоположное, тем самым увеличив её длину (*англ.* back-jog length matching).

По аналогии с рекомендацией для ассиметричных линий [Р.3.11](#) влияние локальной неоднородности дифференциального импеданса тем меньше, чем меньше электрическая длина участка выравнивания по сравнению с длительностью фронта сигнала. Но это не означает, что лучше обеспечить выравнивание на максимально коротком участке за счёт увеличения длины ответвления. Такие структуры могут приводить к искажениям за счёт повышения взаимной связи участков. В [руководстве](#) по трассировке высокоскоростных интерфейсов специалисты компании Toradex AG рекомендуют при выравнивании не увеличивать расстояние между линиями дифференциальной пары более чем в два раза относительно исходного (на рис. 29 выравнивание нижней дифференциальной пары соответствует данному требованию). Выравнивание длин линий рекомендуется локализовать вблизи того места, где при трассировке возникает расхождение, максимизируя длину участка пары, на котором сигналы противофазны<sup>1</sup>.

Помимо общих рекомендаций по трассировке дифференциальных пар существуют требования стандартов для конкретных интерфейсов передачи данных и руководства по проектированию от производителей приёмопередатчиков, с которыми важно ознакомиться перед их использованием.

Задача обеспечения противофазности на всей протяжённости линий осложняется тем, что выравнивание прекрасно работает только для полосковой линии, для которой скорости распространения синфазного и дифференциального сигналов равны. Для микрополосковой линии даже идеальное выравнивание

---

<sup>1</sup> При необходимости точной настройки может быть учтён и скомпенсирован разбег фаз драйвера (соответственно, вблизи самого передатчика).

длин линий пары не обеспечивает отсутствия искажений, а только является методом их снижения. Но так как полосковая линия требует перехода на внутренние слои с применением переходных отверстий, самих по себе являющихся неоднородностями, то нельзя однозначно сказать, что у микрополосковой линии нет преимуществ. Безусловно, значимость этих эффектов растёт с повышением верхней границы частотной полосы сигнала. И если на частотах ниже 1 ГГц выравнивание обеспечивает низкий уровень искажений, то в области нескольких гигагерц и выше не существует универсальных рекомендаций, и задача трассировки решается с помощью моделирования для каждого конкретного случая.

Схема без согласования синфазного сигнала проста и поэтому используется достаточно часто, однако при наличии синфазных помех в линий простота оборачивается потенциальными проблемами. В отличие от дифференциального сигнала, синфазный сигнал является хорошим источником ЭМИ. Особенно синфазные помехи становятся критичными при использовании для передачи сигнала неэкранированной витой пары.



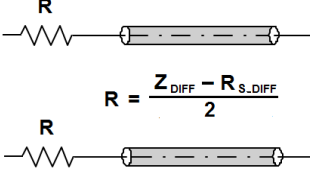
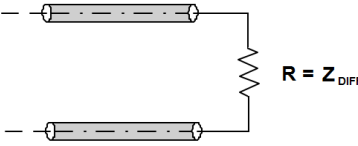
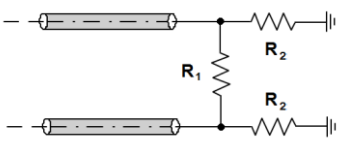
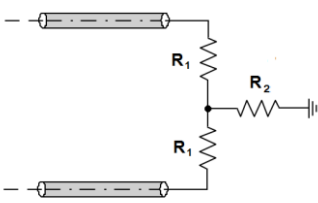
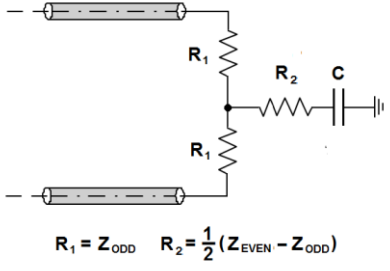
**Р.3.18.** Для передачи дифференциального сигнала рекомендуется использовать экранированные витые пары, синфазные дроссели на выходе<sup>1</sup>, источники сигнала с низким значением разбега фаз. Несимметричность дифференциальной пары и перекрёстные помехи должны быть сведены к минимуму.

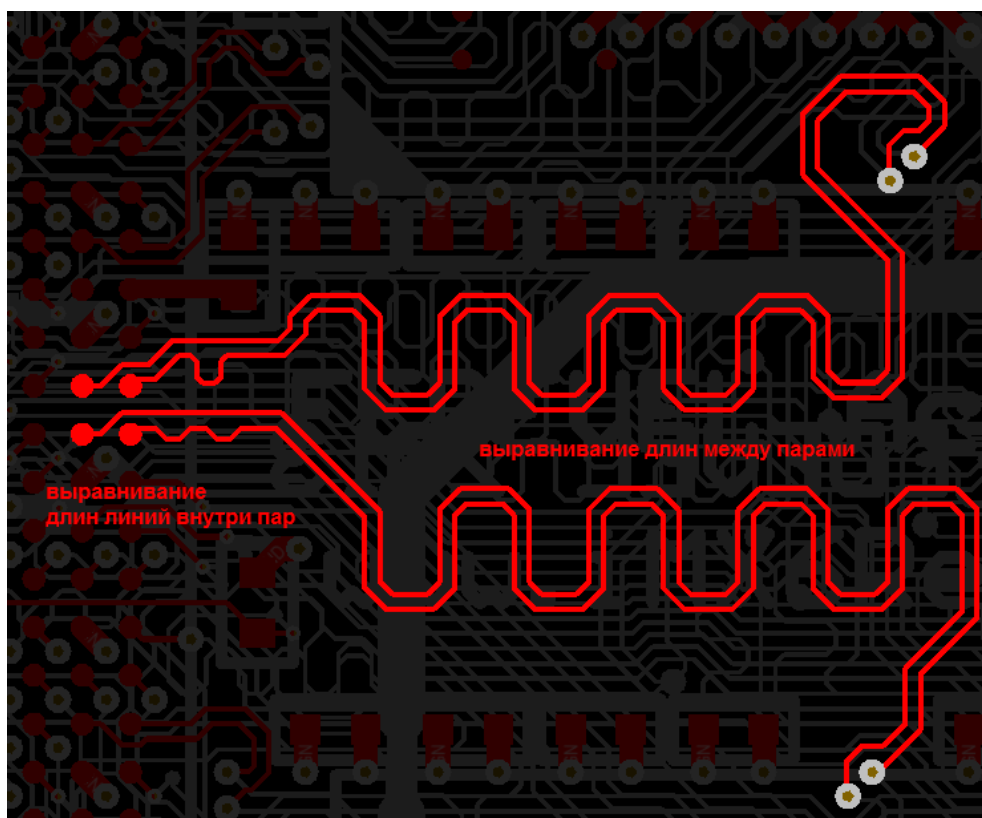
---

---

<sup>1</sup> При выборе дросселя важно убедиться, что сопротивление дифференциальному сигналу в требуемом диапазоне частот достаточно мало, а собственная частота резонанса дросселя выше частоты синфазных помех.

**Таблица 4.** Методы согласования дифференциальной пары.

Название и схема	Уровень потерь	Комментарии
<p>Последовательная</p>  $R = \frac{Z_{DIFF} - R_{S\_DIFF}}{2}$	низкий	<ul style="list-style-type: none"> <li>См. комментарии к последовательной схеме согласования асимметричной сигнальной линии (<a href="#">таблица 3</a>).</li> </ul>
<p>Без согласования синфазного сигнала</p>  $R = Z_{DIFF}$	средний	<ul style="list-style-type: none"> <li>Синфазный сигнал остаётся несогласованным, что вызывает его многократные отражения.</li> <li>Последовательное включение конденсатора позволит снизить уровень потерь, снижая при этом быстродействие линии.</li> </ul>
<p>П-образная</p>  $R_1 = \frac{2Z_{EVEN}Z_{ODD}}{Z_{EVEN} - Z_{ODD}} \quad R_2 = Z_{EVEN}$	высокий	<ul style="list-style-type: none"> <li>Одновременное согласование дифференциального и синфазного сигналов.</li> <li>Один из резисторов может подключаться к питанию, задавая входное напряжение в отсутствие сигнала источника.</li> </ul>
<p>Т-образная</p>  $R_1 = Z_{ODD} \quad R_2 = \frac{1}{2}(Z_{EVEN} - Z_{ODD})$	высокий	<ul style="list-style-type: none"> <li>Одновременное согласование дифференциального и синфазного сигналов.</li> <li>При ненулевом уровне синфазного напряжения требует подключения <math>R_2</math> к дополнительному источнику питания.</li> </ul>
<p>Т-образная по переменному току</p>  $R_1 = Z_{ODD} \quad R_2 = \frac{1}{2}(Z_{EVEN} - Z_{ODD})$	средний	<ul style="list-style-type: none"> <li>Снижение потерь.</li> <li>Сложность выбора оптимального номинала конденсатора, импеданс которого для низкочастотной составляющей сигнала должен быть мал по сравнению с сопротивлением резисторов. В качестве отправной точки можно выбрать <math>C \sim \frac{100 \cdot t_R}{Z_{COMM}}</math>.</li> </ul>
<p><b>Примечания:</b></p> <p>1. При расчёте значений согласующих сопротивлений удобно использовать значения импеданса чётного <math>Z_{EVEN}</math> (англ. even mode) и нечётного <math>Z_{ODD}</math> (англ. odd mode) режимов работы дифференциальной пары. По определению это значения импеданса одной из линий в специальных режимах работы, когда сигнал при распространении в дифференциальной паре не искажается. В случае симметричной дифференциальной пары это равные сигналы <math>V_+ = V_-</math> для чётного режима и противофазные сигналы <math>V_+ = -V_-</math> для нечётного режима. При этом они связаны со значениями характеристических импедансов дифференциальной пары следующими соотношениями: <math>Z_{DIFF} = 2 \cdot Z_{ODD}</math>, <math>Z_{COMM} = \frac{1}{2} \cdot Z_{EVEN}</math>.</p> <p>2. Для дифференциальной пары со слабой взаимной связью <math>Z_{ODD} \approx Z_{EVEN} \approx Z_0</math> и Т-образные схемы согласования вырождаются в параллельную схему согласования каждой из линий.</p>		



**Рис. 29.** Пример выравнивания длин линий внутри дифференциальных пар и между отдельными дифференциальными парами<sup>1</sup>.

В технических статьях, посвящённых трассировке печатных плат, можно встретить множество других рекомендаций. Они могут быть эффективны в той или иной ситуации, но важно применять рекомендации только в случае понимания принципов, на которых

<sup>1</sup> Задача выравнивания длин сигнальных линий возникает и в случае необходимости синхронизации высокоскоростных цифровых шин, при этом допустимая разность длин определяется временными параметрами протокола обмена данными. На рисунке длины дифференциальных пар за счёт дополнительных изгибов приведены к требуемому для всей шины данных значению. В данном случае дифференциальные пары расположены на одном слое, если же нужно выравнивать микрополосковые и полосковые пары, то может потребоваться учёт разности скорости распространения сигналов – и выравнивать именно время распространения. Поэтому, конечно же, если есть такая возможность, то проще выполнять трассировку каждого из интерфейсов в пределах одного слоя, а начинать её с внешних, наиболее длинных линий, чтобы определить необходимое значение удлинения внутренних, коротких линий. Стоит также обратить внимание, что между соседними параллельными участками меандра выдержана дистанция  $\sim 4 \cdot s$ .

они основываются. Рассмотрим для примера две важных рекомендации.

- Не рекомендуется располагать печатные дорожки критических сигналов к краю платы ближе, чем на расстоянии  $3...20h$ , где  $h$  – расстояние от опорного слоя.

Рекомендация объясняется тем, что возвратный ток в опорном слое распространяется в стороны от печатной дорожки (рис. 12). На краю печатной платы (как и на краю опорного слоя) это распределение нарушается, что приводит не только к изменению импеданса сигнальной линии, но и к большему уровню излучения. Если на краю платы расположить полигон, соединённый вдоль края переходными отверстиями (рекомендуемый шаг  $\lambda_{MIN}/4$ ) с опорным слоем, то это уменьшит уровень излучения.

- Не рекомендуется располагать критические линии, не связанные с вводом-выводом, вблизи разъёмов.

Данная рекомендация связана с предыдущей, с тем важным дополнением, что соединённые с опорным слоем выводы разъёма вместе с внешним кабелем образуют эффективную антенну (рис. 3). Близость к ним высокочастотных линий приводит к повышенному уровню ЭМИ, а на чувствительные линии эффективно наводятся помехи. Одна из мер устранения этого эффекта, о которой уже говорилось на стр. 71 – вырез в опорном слое в области низкочастотных интерфейсов. Кроме того, рекомендуется применение фильтров помех для сигнальных линий низкоскоростных интерфейсов.

Каждую из встречающихся рекомендаций следует критически анализировать, опираясь на базовые принципы и качественное представление о распределении электромагнитного поля. Точное численное представление может быть получено с помощью специализированных программных средств, основанных на конечно-элементном анализе уравнений Максвелла.



## Приложение А. Расчёт индуктивности элементов печатной платы

*Inductance is everywhere!*

© Цитаты великих разработчиков.

С данным приложением рекомендуется ознакомиться до изучения материала основных глав руководства, так как именно с индуктивностью связаны многие проблемы ЭМИ и ЭМС высокочастотных печатных плат. Помимо сложности понимания физических основ индуктивности существует нечёткая терминология, когда одним словом «индуктивность» называют величины хоть и связанные, но имеющие совершенно разный математический и физический смысл.



К примеру, «индуктивностью» часто называют катушку индуктивности, что может приводить к ошибочному мнению, что только катушки индуктивности обладают индуктивностью.

---

Определение со страницы русскоязычной Википедии выглядит так: «Индуктивность (или коэффициент самоиндукции) – коэффициент пропорциональности между электрическим током, текущим в каком-либо замкнутом контуре, и полным магнитным потоком, называемым также потокосцеплением, создаваемым этим током через поверхность, краем которой является этот контур». Оно верно с точки зрения курса общей физики, но с практической точки зрения в этом определении важно одно:



Индуктивность определена для замкнутого контура тока.

---

В определении также говорится о полном магнитном потоке, разберёмся с ним. Движущийся электрический заряд порождает магнитное поле, а магнитное поле вокруг электрического тока – суперпозиция или векторная сумма магнитных полей отдельных зарядов. Для наглядного изображения магнитных полей используются силовые линии<sup>1</sup>. Например, для тока в длинном прямолинейном проводе силовые линии – это концентрические окружности, плоскость которых перпендикулярна проводу, а направление определяется известным правилом «правой руки» (рис. А1). С помощью силовых линий можно судить и о напряжённости магнитного поля – она тем выше, чем выше плотность силовых линий (число линий через единицу перпендикулярной им площади). Далее, поток магнитного поля – это поверхностный интеграл напряжённости магнитного поля  $\Phi_B = \iint_S \vec{B} d\vec{S}$ , где поверхность  $S$  определяется контуром тока. Следовательно, поток магнитного поля пропорционален числу силовых линий магнитного поля через поверхность  $S$  и определение индуктивности можно привести к более удобному с практической точки зрения виду.

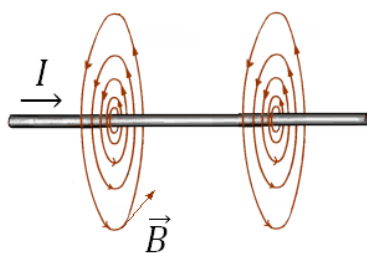


Индуктивность пропорциональна числу силовых линий магнитного поля, которые пересекают поверхность, определяемую контуром тока, при величине тока в 1 А.

---

---

<sup>1</sup> Направление касательной к силовой линии в каждой точке совпадает с направлением вектора магнитного поля в этой точке.



**Рис. А1.** Силовые линии магнитного поля прямолинейного тока.

Важное замечание заключается в следующем – индуктивность не зависит от величины тока и определяется конфигурацией линий тока в проводнике. Часто в подобной формулировке говорится о геометрии проводника, но такая формулировка не учитывает тот эффект, что распределение тока в проводнике не всегда равномерное – на него влияет частота тока (скин-эффект) и близость других проводников с током. Наиболее простой для получения аналитических соотношений случай – это равномерное распределение тока по сечению проводника и все известные аналитические соотношения получены с учётом этого предположения. Однако на практике указанные эффекты мало влияют на значение индуктивности и использование этих формул расчёта индуктивности обеспечивает достаточную для практических задач точность.

Следующее физическое явление, связанное с индуктивностью, определяет её основополагающую роль в вопросах ЭМС и ЭМИ. Открыто оно Майклом Фарадеем и носит название электромагнитной индукции. Согласно одноимённому закону, при изменении потока магнитного поля через замкнутый контур в нём возникает ЭДС:

$$V = - \frac{d\Phi_B}{dt}.$$

В терминах силовых линий это означает изменение их количества, вызванное любой из причин: изменение силы тока в самом проводнике, изменение силы тока в соседнем проводнике, изменение геометрии контура или его ориентации в магнитном поле, нахождение контура в переменном магнитном поле, изменение расстояния до другого контура с током и т.п.



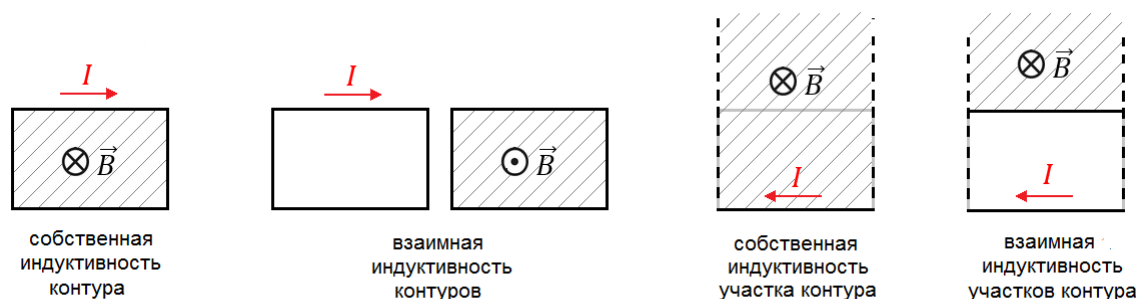
При изменении количества силовых линий магнитного поля через замкнутый контур в нём возникает напряжение ЭДС индукции.

---

Прежде чем перейти к формулам, проведём разграничение между разными типами «индуктивностей» (рис. А2). Если рассчитывается магнитный поток через контур, вызванный только током в самом контуре, то говорят о собственной индуктивности контура  $L$  (*англ.* loop inductance, self-inductance). Если учитывается магнитный поток через контур, вызванный только током в другом контуре, то это взаимная индуктивность контуров  $M$  (*англ.* loop mutual inductance, mutual inductance).

Но с практической точки зрения бывает важен вопрос, чему равно напряжение ЭДС индукции на конкретном участке контура электрической цепи. Для этого нужно связать с этим участком значение индуктивности. Поэтому был разработан математический аппарат расчёта частичной собственной индуктивности участка контура  $L_P$  (*англ.* partial self-inductance) и частичной взаимной индуктивности двух участков одного или разных контуров  $M_P$  (*англ.*

partial mutual inductance)<sup>1</sup>. Они рассчитываются так, что учитывается магнитное поле, вызванное только током этого участка, словно остальная часть контура не существует. Иначе это можно представить следующим образом – остальная часть контура замещается бесконечно длинными подводящим проводами и контур, через который вычисляется магнитный поток, определяется так, как на рис. A2.



**Рис. A2.** Разграничение между типами индуктивности.

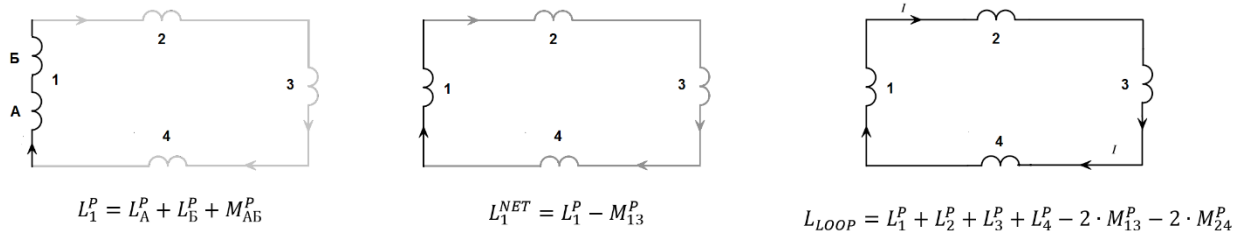
Зная значения собственных и взаимных индуктивностей отдельных участков контура может быть получено значение индуктивности любой их комбинации, в том числе и всего контура:

$$L = \sum_i L_i^P + \sum_{i \neq j} M_{ij}^P,$$

здесь  $M_{ij}^P$  – взаимная индуктивность  $i$ -го и  $j$ -го участков, знак которой положителен, если токи в участках сонаправлены и отрицателен в противном случае. Взаимная индуктивность обладает свойством симметрии, то есть  $M_{ij}^P = M_{ji}^P$ , для участков, перпендикулярных друг другу, взаимная индуктивность равна нулю (рис. A3). Если в расчёте учитывается только ток рассматриваемого составного участка, то указанная формула даёт его частичную

<sup>1</sup> Серьёзная работа на тему расчёта индуктивности элементов печатной платы: Paul, Clayton R., "Inductance: loop and partial", Wiley, 2010.

индуктивность, если же во второй сумме учитывается влияние всего контура, то полученное значение – полная индуктивность участка (*англ.* total inductance, net inductance).



**Рис. А3.** Примеры расчёта индуктивности.

Именно полная индуктивность определяет падение напряжение на участке при изменении тока в контуре:

$$V = L^{NET} \cdot \frac{dI}{dt}.$$

Из формулы для полной индуктивности участка прямоугольного контура  $L_1^{NET}$  на рис. А3 видно, что это значение тем меньше, чем больше взаимная индуктивность этого участка с противоположным ему  $M_{13}^P$ . Именно поэтому сближение сигнальной дорожки и опорного слоя рекомендуется как мера снижения шумов в опорном слое<sup>1</sup>.

Частичная индуктивность параллельного соединения двух участков рассчитывается по формуле:

$$L_{i||j}^P = \frac{L_i^P \cdot L_j^P - M_{ij}^{P^2}}{L_i^P + L_j^P - 2 \cdot M_{ij}^P},$$

<sup>1</sup> Сближение это имеет критическое значение расстояния между дорожкой и опорным слоем, когда омическая часть импеданса опорного слоя становится равна индуктивной и дальнейшее снижение расстояния не приводит к уменьшению значения импеданса. Подробнее – в [1, раздел 10.6.2.6].

которая только в случае, когда взаимная индуктивность пренебрежимо мала (значительно удалённые проводники), превращается в известную формулу для параллельного соединения катушек индуктивности. В случае идентичных проводников (например, два одинаковых переходных отверстия) формула принимает вид

$$L_i^P = L_j^P \Rightarrow L_{i||j}^P = \frac{L_i^P + M_{ij}^P}{2},$$

то есть индуктивность уменьшается в два раза только для проводников, расстояние между которыми достаточно велико, чтобы пренебречь их взаимной индуктивностью.

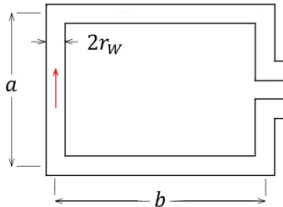
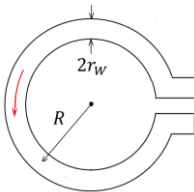
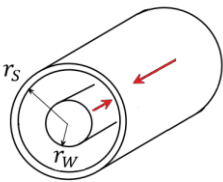
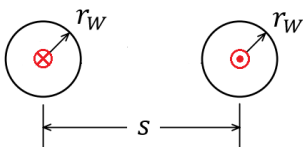
С использованием математического аппарата частичной индуктивности участков цепи и приближённых аналитических формул (таблица А1) можно проводить оценку индуктивности участков топологии печатной платы и варьировать их геометрические параметры для снижения паразитной индуктивности. А следовательно искажений сигнала, шумов и ЭМИ. Полезно также произвести расчёт для типовых применяемых элементов топологии печатной платы, чтобы в дальнейшем при трассировке с ними ассоциировалось оценочное значение паразитной индуктивности.

На схематических изображениях стрелкой указано направление тока, распределение которого равномерно по сечению. Так как именно распределение тока определяет индуктивность, важно соотносить распределение тока в рассматриваемой структуре печатной платы с указанной в таблице.

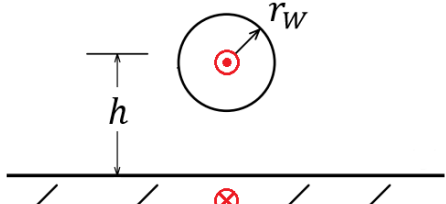
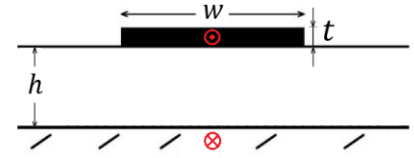
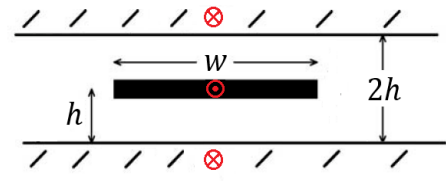
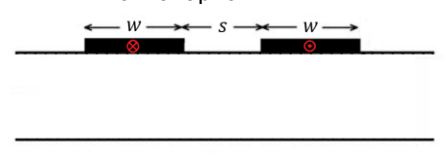
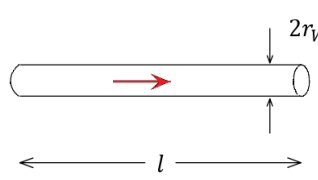


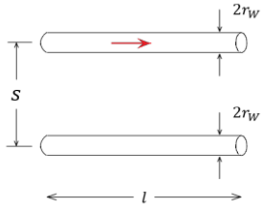
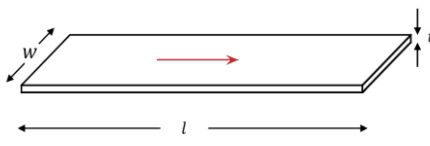
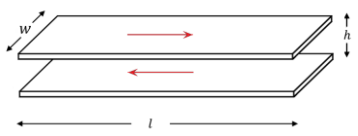
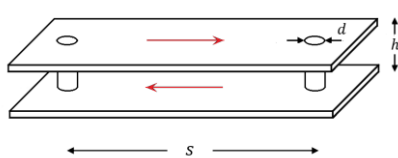
Индуктивность определяется не только геометрией проводника, но и распределением тока в нём (в том числе в результате скин-эффекта).

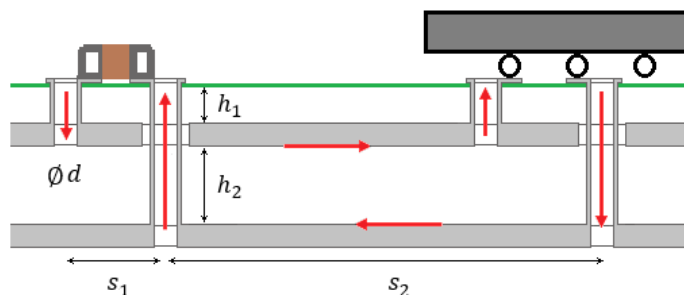
**Таблица А1.** Формулы для оценки индуктивности элементов топологии платы<sup>(1)</sup>.

Название и схематическое изображение	Формула
<p>Собственная индуктивность тонкого прямоугольного контура круглого сечения</p> 	<p>Условия применимости: <math>r_w \ll a, b</math>.</p> $L_{LOOP} = \frac{\mu_0}{\pi} \left[ -a \ln \left( 1 + \sqrt{1 + \left( \frac{b}{a} \right)^2} \right) - b \ln \left( 1 + \sqrt{1 + \left( \frac{a}{b} \right)^2} \right) + a \ln \frac{2b}{r_w} + b \ln \frac{2a}{r_w} + 2\sqrt{a^2 + b^2} - 2a - 2b \right]$
<p>Собственная индуктивность тонкой окружности круглого сечения</p> 	<p>Условия применимости: <math>r_w \ll R</math>.</p> $L_{LOOP} \cong \mu_0 R \left( \ln \frac{8R}{r_w} - 2 \right)$
<p>Погонная<sup>(2)</sup> собственная индуктивность коаксиального кабеля<sup>(3)</sup></p> 	$l_{LOOP} = \frac{\mu_0}{2\pi} \ln \frac{r_s}{r_w}$
<p>Погонная<sup>(2)</sup> собственная индуктивность сигнальной линии из двух параллельных проводов круглого сечения<sup>(4)</sup></p> 	$l_{LOOP} = \frac{\mu_0}{\pi} \ln \left[ \frac{s}{2r_w} + \sqrt{\left( \frac{s}{2r_w} \right)^2 - 1} \right]$ $s \gg r_w \Rightarrow l_{LOOP} \cong \frac{\mu_0}{\pi} \ln \frac{s}{r_w}$



<p>Погонная<sup>(2)</sup> собственная индуктивность круглого провода над проводящей плоскостью</p> 	$l_{LOOP} = \frac{\mu_0}{2\pi} \ln \left[ \frac{h}{r_w} + \sqrt{\left(\frac{h}{r_w}\right)^2 - 1} \right]$ $h \gg r_w \Rightarrow l_{LOOP} \cong \frac{\mu_0}{2\pi} \ln \frac{2h}{r_w}$
<p>Погонная<sup>(2)</sup> собственная индуктивность микрополосковой линии</p> 	$l_{LOOP} = \frac{30}{c} \ln \left[ 1 + \frac{4h}{w_{EFF}} \left( \frac{8h}{w_{EFF}} + \sqrt{\left(\frac{8h}{w_{EFF}}\right)^2 + \pi^2} \right) \right]$ $w_{EFF} = w + \frac{t}{\pi} \ln \left( \frac{4e}{\sqrt{(t/h)^2 + \left(\frac{1/\pi}{w/t+1,1}\right)^2}} \right)$
<p>Погонная<sup>(2)</sup> собственная индуктивность полосковой линии<sup>(5)</sup></p> 	$l_{LOOP} \cong \frac{30\pi}{c} \frac{1}{\beta + 0,441}$ $\beta = \begin{cases} \frac{w}{2h} & \frac{w}{2h} \geq 0,35 \\ \frac{w}{2h} - \left(0,35 - \frac{w}{2h}\right)^2 & \frac{w}{2h} < 0,35 \end{cases}$
<p>Погонная<sup>(2)</sup> собственная индуктивность копланарной линии<sup>(5)</sup></p> 	$l_{LOOP} = \begin{cases} \frac{120}{c} \ln \left( 2 \frac{1 + \sqrt{k}}{1 - \sqrt{k}} \right) & \frac{1}{\sqrt{2}} \leq k \leq 1 \\ \frac{120\pi^2}{c} \left[ \ln \left( 2 \frac{1 + \sqrt{k'}}{1 - \sqrt{k'}} \right) \right]^{-1} & 0 \leq k < \frac{1}{\sqrt{2}} \end{cases}$ $k = \frac{s}{s + 2w} \quad k' = \sqrt{1 - k^2}$
<p>Собственная индуктивность круглого прямолинейного проводника<sup>(6)</sup></p> 	$L_P = \frac{\mu_0}{2\pi} l \left[ \ln \left( \frac{l}{r_w} + \sqrt{\left(\frac{l}{r_w}\right)^2 + 1} \right) - \sqrt{\left(\frac{r_w}{l}\right)^2 + 1} + \frac{r_w}{l} \right]$ $l \gg r_w \Rightarrow L_P \cong \frac{\mu_0}{2\pi} l \left( \ln \frac{2l}{r_w} - 1 \right)$
<p>Взаимная индуктивность двух параллельных круглых проводников<sup>(4)</sup></p>	$M_P = \frac{\mu_0}{2\pi} l \left[ \ln \left( \frac{l}{s + r_w} + \sqrt{\left(\frac{l}{s + r_w}\right)^2 + 1} \right) - \sqrt{\left(\frac{s + r_w}{l}\right)^2 + 1} + \frac{s + r_w}{l} \right]$

	$l \gg s \Rightarrow L_p \cong \frac{\mu_0}{2\pi} l \left( \ln \frac{2l}{s} - 1 \right)$
<p>Собственная индуктивность плоского длинного проводника</p> 	<p>Условия применимости: <math>t, w \ll l</math>.</p> $L_p \cong \frac{\mu_0}{2\pi} l \left( \ln \frac{2l}{w} + \frac{1}{2} + \frac{w}{3l} - \frac{t}{w} \right)$
<p>Собственная индуктивность двух близко расположенных плоских проводников</p> 	<p>Условия применимости: <math>h \ll l, w</math>.</p> $L_{LOOP} \cong \mu_0 l \frac{h}{w}$
<p>Собственная индуктивность двух переходных отверстий между двумя проводящими плоскостями<sup>(7)</sup></p> 	$L_{LOOP} \cong \frac{2\mu_0}{\pi} h \ln \frac{s}{d}$
<p><sup>(1)</sup> Для среды с относительной магнитной проницаемостью <math>\mu_r = 1</math>. Для расчёта индуктивности для сред с другим значением магнитной проницаемости необходимо умножение данных формул на <math>\mu_r</math>.</p> <p><sup>(2)</sup> В расчёте на единицу длины.</p> <p><sup>(3)</sup> Формула иногда применяется для оценки собственной индуктивности переходного отверстия между двумя сплошными слоями в предположении, что возвратный ток смещения равномерно распределён вокруг отверстия (см., например, рис. 14Г).</p> <p><sup>(4)</sup> Формула может применяться для оценки собственной индуктивности пары переходных отверстий.</p> <p><sup>(5)</sup> В расчётной аналитической модели проводники имеют нулевую толщину, поэтому чем меньше толщина металлизации относительно остальных геометрических параметров, тем больше точность результата вычислений.</p> <p><sup>(6)</sup> Формула может применяться для оценки собственной индуктивности переходного отверстия.</p> <p><sup>(7)</sup> Габариты сплошных проводящих слоёв должны быть достаточно велики, чтобы не ограничивать распределение тока между переходными отверстиями.</p>	



**Рис. А4.** Топология соединения конденсатора подсистемы питания.

**Таблица А2.** Примеры значений индуктивности элементов топологии печатной платы.

Структура	Значение индуктивности			
	$h_{l(2)} = 0,15 \text{ мм}$	$h_{l(2)} = 0,25 \text{ мм}$	$h_{l(2)} = 0,3 \text{ мм}$	$h_{l(2)} = 0,5 \text{ мм}$
Соединительная дорожка $w = 0,1 \text{ мм}$	0,54 нГн/мм	0,61 нГн/мм	0,65 нГн/мм	0,74 нГн/мм
Соединительная дорожка $w = 0,25 \text{ мм}$	0,33 нГн/мм	0,5 нГн/мм	0,51 нГн/мм	0,58 нГн/мм
Пара переходных отверстий $d = 0,2 \text{ мм}, s_1 = 1 \text{ мм}$	0,14 нГн	0,23 нГн	0,28 нГн	0,46 нГн
Пара переходных отверстий $d = 0,2 \text{ мм}, s_1 = 3 \text{ мм}$	0,2 нГн	0,34 нГн	0,41 нГн	0,68 нГн
Пара переходных отверстий $d = 0,4 \text{ мм}, s_1 = 3 \text{ мм}$	0,16 нГн	0,27 нГн	0,32 нГн	0,54 нГн
Пара переходных отверстий между слоями земли и питания $d = 0,2 \text{ мм}, s_2 = 1 \text{ см}$	0,47 нГн	0,78 нГн	0,94 нГн	1,56 нГн
Пара переходных отверстий между слоями земли и питания $d = 0,2 \text{ мм}, s_2 = 5 \text{ см}$	0,66 нГн	1,1 нГн	1,33 нГн	2,21 нГн
Пара переходных отверстий между слоями земли и питания $d = 0,4 \text{ мм}, s_2 = 5 \text{ см}$	0,58 нГн	0,97 нГн	1,16 нГн	1,93 нГн

## Приложение Б. Волновое сопротивление сигнальных линий

Значение волнового сопротивления необходимо для корректного согласования длинных сигнальных линий, что обеспечивает целостность распространяющихся в них сигналов. Это касается не только подбора номиналов согласующих пассивных компонентов, но и подбора параметров геометрии самой сигнальной дорожки при её ветвлении, при смене сигнального слоя и т.д.



Волновое сопротивление для критических сигналов и для длинных сигнальных линий на всей их протяженности должно контролироваться разработчиком печатной платы.

---

Волновое сопротивление связывает мгновенные значения силы и напряжения переменного тока в сигнальной линии по аналогии с законом Ома и для линии без потерь равно<sup>1</sup>:

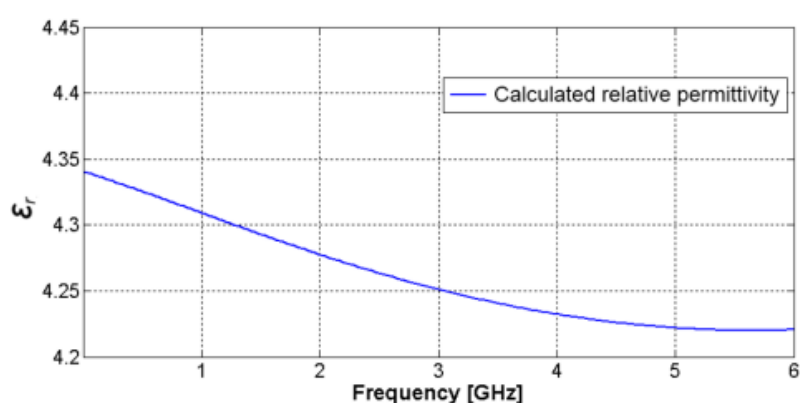
$$Z_0 = \sqrt{\frac{L_L}{C_L}}, \quad v(x, t) = \pm Z_0 \cdot i(x, t)$$

Здесь  $L_L$  и  $C_L$  – погонные индуктивность и ёмкость линии, которые зависят от частоты, поэтому и волновое сопротивление меняется с изменением частоты. Влияние скин-эффекта на индуктивность ограничивается частотами до нескольких десятков мегагерц, в верхнем диапазоне частот она меняется незначительно. На значение ёмкости оказывает зависимость диэлектрической

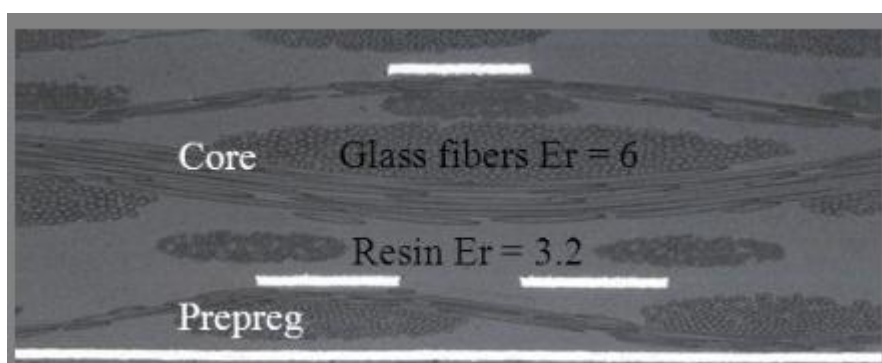
---

<sup>1</sup> Вывод формулы можно найти, например, у Д.В. Сивухина в «Общем курсе физики. Т.III, Электричество» в §143.

проницаемости материала печатной платы от частоты, а для микрополосковых линий из-за несимметричности диэлектрика ещё и эффект дисперсии. Данные для стеклотекстолита FR-4 в различных источниках отличаются, однако в качестве оценки можно принять, что диэлектрическая проницаемость снижается на 0,15-0,2 каждую декаду (рис. Б1). Отличие в данных объясняется тем, что стеклотекстолит состоит из стекловолокна и эпоксидной смолы, имеющих значительно отличающиеся диэлектрические проницаемости (рис. Б2). Чем больше смолы в материале, тем меньше усреднённое по объёму значение диэлектрической проницаемости стеклотекстолита.

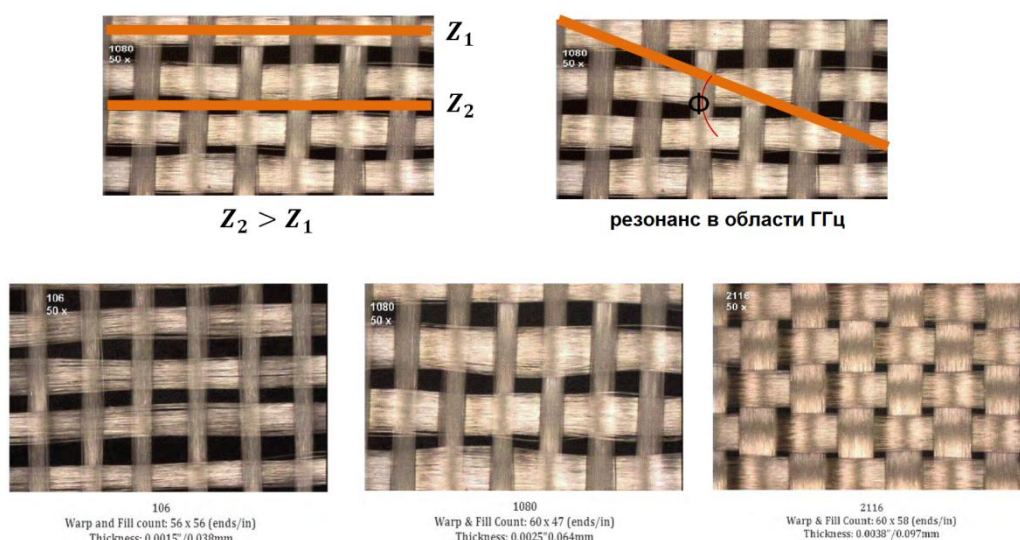


**Рис. Б1.** Зависимость диэлектрической проницаемости FR-4 от частоты.



**Рис. Б2.** Анизотропная структура стеклотекстолита.

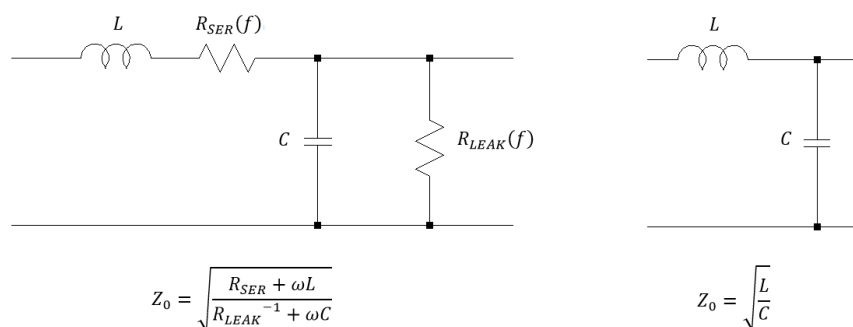
Взаимное расположение волокон стекловолокна и проводника также влияет на волновое сопротивление. Если проводник расположен над волокном, то его волновое сопротивление будет несколько выше по сравнению с соседним проводником, который попал в промежуток между волокнами. Если проводник направлен под углом к волокнам, то это приводит к периодическому изменению волнового сопротивления и резонансным эффектам на частотах в области десятков ГГц. Степень влияния значительно зависит от типа плетения стекловолокна (рис. Б3). Именно поэтому существуют специализированные материалы для высокочастотных печатных плат, где влияние этих эффектов становится значимым. Параметры таких диэлектриков обладают лучшей стабильностью в широком диапазоне частот и гораздо лучше документированы.



**Рис. Б3.** Типы плетения стекловолокна и его влияние на импеданс сигнальной линии.

Что касается потерь (рис. Б4), то для большинства практических случаев применима модель с низкими потерями (*англ.* low-loss

model), для которой на высоких частотах потерями можно пренебречь  $R_{SER} \ll \omega L$ ,  $R_{LEAK} \gg 1/\omega C$ . Такое упрощение позволило разработать эффективные модели, позволяющие с высокой точностью вычислять параметры сигнальных линий при помощи стандартных функций (таблица Б1).



**Рис. Б4.** Модели сигнальной линии с потерями и без учёта потерь.

Помимо значений  $Z_0$ ,  $L_L$  и  $C_L$  часто приводится значение временной задержки  $TD_L$ . Эти параметры связаны следующими соотношениями:

$$TD_L = \frac{TD}{l} = \frac{1}{v} = \sqrt{C_L L_L}$$

$$L_L = C_L Z_0^2 = \frac{Z_0}{v} \quad C_L = \frac{L_L}{Z_0^2} = \frac{1}{v Z_0}$$

В настоящее время существует множество калькуляторов волнового сопротивления для основных типов сигнальных линий, в том числе онлайн<sup>1</sup>. При использовании таких калькуляторов рекомендуется обращать внимание на аналитические формулы (к

<sup>1</sup> Например, достаточно полные инженерные калькуляторы представлены на сайте компании [Mantaro](#), на сайтах ресурсов [All About Circuits](#) и [EETWeb](#), однако их не рекомендуется использовать для точных вычислений из-за слабого описания аналитического аппарата и, следовательно, неконтролируемой погрешности.

сожалению, содержат опечатки), на основании которых они построены, и условия их применимости (к сожалению, не всегда указываются). Многие из таких калькуляторов ссылаются на простые формулы, приведённые в книге *"Transmission Line Design Handbook"* (автор – Brian Wadell) или стандарте IPC-2141. Точность аналитических соотношений, описанных в стандарте, сильно варьируется в зависимости от геометрии сигнальной линии. Однако они просты в применении и адекватно отражают основные закономерности влияния геометрических параметров на волновое сопротивление, в то время как более точные расчётные формулы занимают несколько страниц. Поэтому рекомендуется использовать автоматизированные средства расчёта, основанные на точных формулах. К тому же некоторые из них предоставляют возможность расчёта параметров линии для получения заданного значения импеданса, что удобно на практике.

При этом всегда нужно помнить, что все используемые в расчёте параметры заведомо имеют технологические погрешности<sup>1</sup>. Некоторые заводы-изготовители печатных плат предоставляют данные о параметрах сигнальных дорожек для типовых значений волнового сопротивления, либо услугу изготовления с контролем получаемых значений импеданса за счёт отбраковки по данному параметру.

Важно понимать, что приведённые в таблице Б1 аналитические соотношения выведены для сигнальных линий, находящихся на значительном удалении от других проводников, что трудно

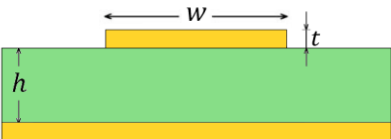
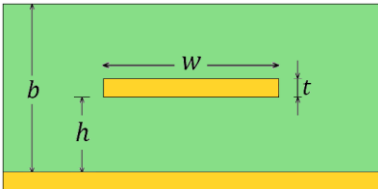
---

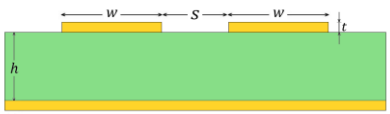
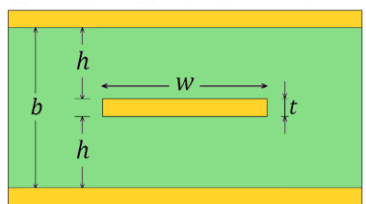
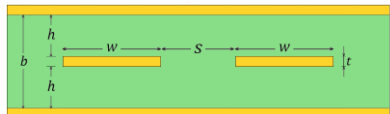
<sup>1</sup> Стандартная точность при выполнении ширины проводника и зазора составляет  $\pm 20\%$ . Точность толщин фольги и диэлектриков в готовой плате в большей степени определяется допусками на толщины исходных материалов, которая обычно составляет  $\pm 10\%$  от номинала.



реализовать для большинства проектов. Поэтому в реальных условиях значение импеданса будет отклоняться от расчётного, причём значение отклонения не всегда постоянная величина. Например, если драйверы двух цифровых сигнальных линий с сильной взаимной связью переключают логическое состояние синхронно (чётный режим работы), то значение импеданса увеличивается, если в противофазе (нечётный режим работы), то значение импеданса снижается. Влияние этого эффекта становится менее значительным при слабой взаимной связи ( $s > 6 \cdot h$  или  $s > 3 \cdot w$ ), именно поэтому при трассировке высокоскоростных интерфейсов типовым требованием является выдерживание расстояния между сигнальными линиями.

**Таблица Б1.** Формулы оценки волнового сопротивления сигнальных линий без потерь

Название и схематическое изображение	Формула
<p>Микрополосковая линия</p> 	$Z_{uS0} = \frac{60}{\sqrt{2(\varepsilon_r + 1)}} \ln \left( 1 + \frac{4h}{w_{EFF}} (A + B) \right)$ $A = \frac{4h}{w_{EFF}} \frac{14 + 8/\varepsilon_r}{11}, \quad B = \sqrt{A^2 + \frac{1 + 1/\varepsilon_r}{2} \pi^2}$ $w_{EFF} = w + \frac{t}{\pi} \ln \left( \frac{4e}{\sqrt{(t/h)^2 + \left(\frac{1/\pi}{w/t+1,1}\right)^2}} \right) \frac{1 + 1/\varepsilon_r}{2}$
<p>Встроенная микрополосковая линия</p> 	$Z_{euS0} = Z_{uS0} \frac{1}{e^{\frac{2(b-h)}{h}} + \frac{\varepsilon_r}{\varepsilon_{EFF}} \left( 1 - e^{\frac{2(b-h)}{h}} \right)}$ $\varepsilon_{EFF} = \begin{cases} \frac{\varepsilon_r + 1}{2} + \frac{\varepsilon_r - 1}{2} \left[ \left( 1 + 12 \frac{h}{w} \right)^{-1/2} + 0,04 \left( 1 - \frac{w}{h} \right)^2 \right] & \frac{w}{h} < 1 \\ \frac{\varepsilon_r + 1}{2} + \frac{\varepsilon_r - 1}{2} \left( 1 + 12 \frac{h}{w} \right)^{-1/2} & \frac{w}{h} \geq 1 \end{cases}$

<p>Дифференциальная микрополосковая линия</p> 	<p>Условия применимости: <math>s &gt; \frac{1}{3} \cdot h</math>.</p> $Z_{DIFF} \approx 2 \cdot Z_{uS0} \left( 1 - 0,48 \cdot e^{-0,96 \frac{s}{h}} \right)$
<p>Симметричная полосковая линия</p> 	$Z_{sS0} = \begin{cases} \frac{60}{\sqrt{\epsilon_r}} \ln \frac{4b}{\pi A} & \frac{w}{b} < 0,35 \\ \frac{94,15}{\sqrt{\epsilon_r}} \left( \frac{w/b}{1 - t/b} + \frac{B}{\pi} \right)^{-1} & \frac{w}{b} \geq 0,35 \end{cases}$ $A = \frac{w}{2} \left[ 1 + \frac{t}{\pi w} \left( 1 + \ln \frac{4\pi w}{t} + 0,51\pi \left( \frac{t}{w} \right)^2 \right) \right]$ $B = \frac{2}{1 - t/b} \ln \left( \frac{1}{1 - t/b} + 1 \right) - \left( \frac{1}{1 - t/b} - 1 \right) \ln \left( \frac{1}{(1 - t/b)^2} - 1 \right)$
<p>Дифференциальная полосковая линия</p> 	<p>Условия применимости: <math>s &gt; \frac{1}{3} \cdot h</math>.</p> $Z_{DIFF} \approx 2 \cdot Z_{sS0} \left( 1 - 0,748 \cdot e^{-2,9 \frac{s}{h}} \right)$

## Приложение В. Краткое содержание

Здесь для удобства собраны все рекомендации по проектированию печатных плат, которые встречались в данном руководстве. Их можно просматривать в процессе проектирования печатной платы в качестве напоминания. Однако стоит напомнить, что рекомендация в отрыве от её фундаментальных основ может принести больше вреда, чем пользы, поэтому номер каждой рекомендации – это гиперссылка на то место, где она впервые приводится в тексте и поясняется.

<b>Размещение компонентов   <i>Placement</i></b>	
<a href="#"><b>P.1.1</b></a>	<p>Базовые принципы при размещении компонентов:</p> <ul style="list-style-type: none"><li>• Размещение во многом определяет весь дизайн печатной платы.</li><li>• Размещение определяется задачами остальных этапов.</li><li>• На поздних этапах проектирования внесение изменений в размещение – наиболее трудоёмкий процесс.</li><li>• Положение некоторых компонентов может быть задано ограничительными параметрами проекта.</li></ul>
<a href="#"><b>P.1.2</b></a>	<p>Используйте 3D-модели компонентов.</p>
<a href="#"><b>P.1.3</b></a>	<p>Компоненты на печатной плате необходимо группировать по принципу принадлежности к той или иной электрической подсистеме, располагая группу преимущественно на одной стороне платы.</p>

<a href="#"><u>P.1.4</u></a>	Все соединительные разъёмы рекомендуется располагать на одной стороне или в одном углу печатной платы.
<a href="#"><u>P.1.5</u></a>	Компоненты, не относящиеся к интерфейсной подсистеме, следует располагать на некотором удалении от интерфейсных разъёмов (согласно одному из источников – от 2 см и более). Особенно компоненты, являющиеся агрессивными источниками импульсных токов (импульсные источники питания, источники тактовых сигналов, быстродействующие цифровые микросхемы и др.), и чувствительные к шумам аналоговые схемы.
<a href="#"><u>P.1.6</u></a>	Интерфейсные микросхемы рекомендуется располагать в непосредственной близости от интерфейсных разъёмов.
<a href="#"><u>P.1.7</u></a>	Источники тактового сигнала (особенно кварцевые резонаторы) следует располагать максимально близко к связанным с ними компонентам.
<a href="#"><u>P.1.8</u></a>	При расположении компонентов важно добиться минимального количества пересечений линий, условно обозначающих соединения между компонентами в редакторе топологии.
<a href="#"><u>P.1.9</u></a>	Зачастую простое переназначение вывода программируемой цифровой микросхемы (микроконтроллер, ПЛИС и т.п.) решает проблему, которая была бы сложной на уровне топологии.
<a href="#"><u>P.1.10</u></a>	Линии шин данных в пределах байта и адреса чаще всего допускают перестановку, на некоторых микросхемах они не имеют номера, так как нумерация условна. Некоторые интерфейсы, например PCI Express, допускают перекрёстное соединение дифференциальных пар.

<a href="#"><u>P.1.11</u></a>	Необходимо учитывать рекомендации производителя по расположению связанных с микросхемой компонентов и по топологии разводки.
<a href="#"><u>P.1.12</u></a>	То, что хорошо работает – хорошо и выглядит.
<b><i>Выбор структуры печатной платы / Stack-up Design</i></b>	
<a href="#"><u>P.2.1</u></a>	Структура печатной платы должна быть симметричной по её толщине, а распределение меди по слоям – сбалансированным.
<a href="#"><u>P.2.2</u></a>	Рекомендуется использование калькуляторов стоимости печатных платы при выборе структуры.
<a href="#"><u>P.2.3</u></a>	В структуре печатной платы должен быть хотя бы один сплошной слой земли.
<a href="#"><u>P.2.4</u></a>	Сигнальный слой должен быть расположен максимально близко к сплошному слою земли или питания.
<a href="#"><u>P.2.5</u></a>	Оптимальный переход высокочастотной сигнальной линии между слоями обеспечивает структура, в которой между этим слоями находится сплошной слой земли или питания.
<a href="#"><u>P.2.6</u></a>	Сплошной слой питания рекомендуется располагать вблизи сплошного слоя земли.
<a href="#"><u>P.2.7</u></a>	Слои питания разных доменов <b>не</b> рекомендуется располагать на соседних близких слоях. Или, в более общем виде, емкостная связь между разными доменами питания должна быть минимизирована.

<a href="#"><u>P.2.8</u></a>	Значение тока или температуры печатной дорожки, рассчитанное по формуле, является сильно приближённым, обеспечивая в большинстве случаев значительный запас прочности. Точное значение может быть получено с помощью термоэлектрического моделирования с уточнением модели с помощью экспериментов.
<a href="#"><u>P.2.9</u></a>	Задачи расчёта тепловыделения и волнового сопротивления печатной дорожки требуют учёта влияния скин-эффекта, выражающегося в изменении распределения тока в проводнике и уменьшении его эффективного сечения.
<b>Трассировка   Routing</b>	
<a href="#"><u>P.3.1</u></a>	Изучите технологические нормы предполагаемого завода-изготовителя и создайте в используемой САПР набор правил, выполнение которых будет автоматически контролироваться при трассировке печатной платы.
<a href="#"><u>P.3.2</u></a>	<b>Не</b> рекомендуется использование средства автоматической трассировки печатной платы.
<a href="#"><u>P.3.3</u></a>	Пути протекания как прямых, так и возвратных токов всех сигнальных линий и линий питания должны быть под контролем разработчика.
<a href="#"><u>P.3.4</u></a>	<p>Если путь для возвратного тока не задан в виде печатной дорожки, то ток будет распределён в обратной зависимости от импеданса траекторий:</p> <ul style="list-style-type: none"> <li>• Для низкочастотных <i>составляющих</i> сигнала импеданс определяется омическим сопротивлением, и это означает равномерное распределение вдоль кратчайшего пути.</li> </ul>

	<ul style="list-style-type: none"> <li>Для высокочастотных (<math>f &gt; 10 \dots 100</math> кГц) составляющих сигнала импеданс определяется индуктивностью, и это означает сосредоточение большей части тока в узкой полосе в максимальной близости от прямого тока.</li> </ul>
<a href="#">P.3.5</a>	<p>Необходимо стремиться минимизировать индуктивность критических сигнальных линий. Это достигается за счёт:</p> <ul style="list-style-type: none"> <li>минимизации длины печатной дорожки,</li> <li>исключения переходов между сигнальными слоями,</li> <li>близкого расположения дорожки к опорному слою,</li> <li>отсутствия разрывов в опорном слое на пути возвратного тока.</li> </ul>
<a href="#">P.3.6</a>	<p>При необходимости смены сигнального слоя для критического сигнала рекомендуются следующие варианты в порядке приоритета:</p> <ul style="list-style-type: none"> <li>между двумя слоями, примыкающими к одному и тому же опорному слою,</li> <li>между двумя слоями, примыкающими к опорным слоям одного потенциала (питание/земля), при этом в максимальной близости от места смены слоя и, желательно, вдоль сигнальной линии опорные слои соединены переходными отверстиями (<i>англ.</i> stitching vias),</li> <li>между двумя слоями, примыкающими к соседним опорным слоям разного потенциала, при этом в максимальной близости от места смены слоя опорные слои соединены как минимум двумя керамическими конденсаторами с низкой индуктивностью соединения,</li> <li>между двумя слоями, примыкающими к разнесённым опорным слоям разного потенциала, при этом в максимальной близости от места смены слоя опорные слои соединены керамическими конденсаторами с низкой индуктивностью соединения – не рекомендуется для критических сигналов с фронтами порядка 1 нс.</li> </ul>

	<p>Смена между более, чем двумя слоями для критических сигналов <b>не</b> рекомендуется. Предпочитаемый опорный слой в первых двух вариантах – слой земли. Если опорным слоем является слой питания, то необходимо обеспечить низкий импеданс подсистемы питания в полосе спектра сигнала.</p>
<a href="#"><u>P.3.7</u></a>	<p>Практическим условием малых искажений импульсного сигнала с длительностью фронта <math>t_R</math> в сигнальной линии с временной задержкой <math>TD</math>, является <math>TD &lt; \frac{1}{5} \cdot t_R</math>. Для оценки длины сигнальной линии можно принять <math>v \approx 15</math> см/нс (для FR4), тогда условие может быть переписано в виде <math>L [\text{см}] &lt; 3 \cdot t_R [\text{нс}]</math>.</p>
<a href="#"><u>P.3.8</u></a>	<p><b>Не</b> рекомендуется прибегать к согласованию линии, прежде чем не обеспечены минимально возможные длина линии и скорость переключения сигнала.</p>
<a href="#"><u>P.3.9</u></a>	<p>Короткие ответвления от сигнальной линии могут быть несогласованными, однако их длина должна быть минимальной и не должна превышать значения, при котором <math>TD_{STUB} &gt; \frac{1}{5} \cdot t_R</math>.</p>
<a href="#"><u>P.3.10</u></a>	<p>Рекомендуется использовать короткие ответвления от основной сигнальной линии, при этом согласование линии осуществляется на её конце <b>после</b> последнего ответвления.</p>
<a href="#"><u>P.3.11</u></a>	<p>Влияние неоднородностей на целостность сигнала уменьшается с уменьшением <math>TD</math>, <math>C_D</math>, <math>L_D</math>. Для получения точного результата рекомендуется выполнять расчёты с использованием средств моделирования с учётом всех параметров линии. В качестве простой оценки малости искажений можно использовать следующие условия:  <math>TD &lt; \frac{1}{5} \cdot t_R</math>, <math>C_D &lt; \frac{1}{5} \cdot \frac{t_R}{Z_0}</math>, <math>L_D &lt; \frac{1}{5} \cdot t_R \cdot Z_0</math>.</p>



<a href="#"><u>P.3.12</u></a>	<p>Для сигнальной линии, длина <math>l</math> которой соответствует критерию <math>l [\text{см}] &lt; \frac{5}{\text{tg}(\delta) \cdot \sqrt{\varepsilon}} \cdot t_R [\text{нс}]</math>, влияние потерь на длительность фронта сигнала можно <b>не</b> учитывать. Для диэлектрика FR4 это условие приобретает вид <math>l [\text{см}] &lt; 125 \cdot t_R [\text{нс}]</math>.</p>
<a href="#"><u>P.3.13</u></a>	<p>В случае сплошного опорного слоя величины взаимной индуктивности и взаимной ёмкости уменьшаются с увеличением расстояния между проводниками и с уменьшением расстояния между проводником и опорным слоем.</p>
<a href="#"><u>P.3.14</u></a>	<p>Для высокочастотных сигнальных линий наличие вырезов в опорном слое крайне нежелательно, особенно для микрополосковых. Они являются причинами увеличения индуктивности контура тока, уязвимости к помехам, ЭМИ, отражений и искажений сигнала, перекрёстных помех, шумов в шинах питания.</p>
<a href="#"><u>P.3.15</u></a>	<p>Методы снижения перекрёстных помех:</p> <ul style="list-style-type: none"> <li>• Увеличение длительности фронтов сигнала в активной линии.</li> <li>• Снижение длины параллельного участка линий.</li> <li>• Увеличение расстояния между проводниками. Существуют рекомендации минимального расстояния между краями печатных дорожек <math>s \sim 6 \cdot h</math> или <math>s \sim 3 \cdot w</math>, где <math>h</math> – расстояние до опорного слоя, <math>w</math> – ширина дорожки.</li> <li>• Снижение расстояния <math>h</math> между проводником и опорным слоем.</li> <li>• Подбор согласующих сопротивлений на концах активной и пассивной линий. Высокоимпедансные пассивные линии более уязвимы к помехам, кроме того, несогласованность пассивной линии приводит к переотражениям и наложениям перекрёстных помех.</li> <li>• Применение экранирующих проводников (<i>англ.</i> guard trace), закороченных на опорный слой на концах и по</li> </ul>

	<p>всей длине (порядка трёх переходных отверстий на длину <math>t_R \cdot v</math>).</p> <ul style="list-style-type: none"> <li>• Применение специальных геометрий микрополосковых сигнальных линий, содержащих регулярные неоднородности (<i>англ.</i> tabbed lines, single/dual stub lines), для снижения <math>V_{FE}</math>.</li> <li>• Применение встроенных микрополосковых (<i>англ.</i> embedded microstrip) или полосковых линий, для которых в силу симметрии диэлектрика вокруг линии выполняется <math>V_{FE} \approx 0</math>.</li> </ul>
<a href="#"><b>P.3.16</b></a>	<p>Сечение дифференциальной пары должно быть максимально (в идеале – зеркально) симметрично и однородно на всей их протяженности. Симметрия касается и расположения переходных отверстий (в т.ч. соединяющих опорные слои), пассивных компонентов и т.п. Между линиями пары не должно быть элементов топологии других сигнальных цепей.</p>
<a href="#"><b>P.3.17</b></a>	<p>Длины линий дифференциальной пары должны быть выровнены между собой с точностью <math>\Delta L &lt; 0,1 \cdot t_R \cdot v</math>. Участок выравнивания рекомендуется располагать в той части дифференциальной пары, где симметрия уже нарушена (чаще всего вблизи поворотов дорожки и выводов микросхемы). Выравнивание рекомендуется выполнять и для отдельных сегментов дифференциальной пары (участок пары на одном слое от одной пары контактных площадок/переходных отверстий до другой), при этом без нарушения требования для общей длины.</p>
<a href="#"><b>P.3.18</b></a>	<p>Для передачи дифференциального сигнала рекомендуется использовать экранированные витые пары, синфазные дроссели на выходе, источники сигнала с низким значением разбега фаз. Несимметричность дифференциальной пары и перекрёстные помехи должны быть сведены к минимуму.</p>