

Dokumentation zum Semesterprojekt Programmierbare Logik: Realisierung des Videospiels "Pong"

Marc Ludwig, Matthias Springstein

17. Juli 2012

Inhaltsverzeichnis

1	Aufgabenstellung	3
1.1	Anforderungen	3
2	Dokumentation	3
3	Entwicklungshierarchie	3
4	Entwicklungsstrategie	4
4.1	Hierarchische Strukturierung des Entwurfs	4
4.2	Lokalität der Module und Signale	4
4.3	Reguläre Strukturen	4
5	Struktureller Entwurf mit Komponenten	5

1 Aufgabenstellung

Ziel des Semesterprojektes ist es, auf dem Entwicklungsboard DE2-70 von Terasic ¹ eine Umsetzung des 1972 erstmals von Atari veröffentlichten Spiels Pong zu implementieren.

Das 1972 von Atari veröffentlichte Pong wurde zum ersten weltweit populären Videospiel und in den 1970er-Jahren zunächst auf Geräten in Spielhallen bekannt. Es gilt als Urvater der Videospiele, obgleich schon zuvor Videospiele entwickelt worden waren.²

Das Spielprinzip von Pong ist simpel und ähnelt dem des Tischtennis: Ein Punkt (Ball) bewegt sich auf dem Bildschirm hin und her. Jeder der beiden Spieler steuert einen senkrechten Strich (Schläger), den er mit einem Drehknopf (Paddle) nach oben und unten verschieben kann. Lässt man den Ball am Schläger vorbei, erhält der Gegner einen Punkt.

1.1 Anforderungen

- durchgeführte Dokumentation des Projektes (Quellcode und Aufgabenbearbeitung)
 - Quellcode durch Doxygen ^{3 4}
 - Aufgabenbearbeitung durch ein PDF Dokument ^{5 6}
- funktionale Bedienelemente für beide Spieler
- graphische Darstellung auf einem via VGA angeschlossenen CRT/TFT Monitor
- Quellcode, basierend auf einem durch mehrere Mitarbeitende Personen realisierbarem Konzept, welcher kommentiert und dokumentiert ist

2 Dokumentation

Die Dokumentation des Semesterprojektes wird mit dem bereits erwähnten Textsatzsystem LaTeX durchgeführt und als generierte PDF Datei zur Verfügung gestellt. Eingebundene Abbildungen und Diagramme sind ebenfalls im Dokumentationsverzeichnis enthalten. Die mittels Doxygen erstellte Quellcode Dokumentation liegt als HTML-Dokument ⁷ vor.

3 Entwicklungshierarchie

Als Entwicklungsansatz wurde zunächst das Top-Down Modell gewählt, unter dem Aspekt, mit einem spätere Bottom-Up Modell den gewählten Ansatz zu verifizieren. Als zu bevorzugendes Entwurfsmuster für VHDL Designs ist das Register Transfer Level (im folgenden RTL) gewählt worden.

Charakteristisch für eine RTL-Beschreibung ist die Trennung von Registern und kombinatorischen Logikstufen, die jeweils das Eingangssignal der nachfolgenden Registerstufe definieren. Vgl. Abb. 1 Der Datenpfad wird somit als Pipeline aufgefasst. Entsprechend sollen beim reinen RTL-Entwurfstil kombinatorische und getaktete Prozesse streng voneinander getrennt werden.

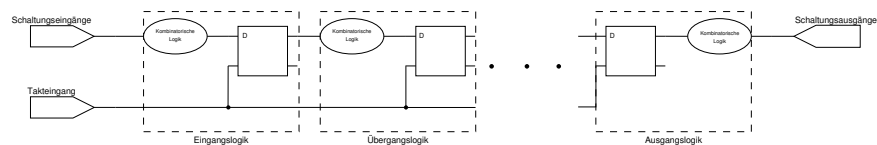


Abbildung 1: Register Transfer Level

¹Altera Produktbeschreibung

²Artikel in der freien Wikipedia Enzyklopädie

³Projektseite

⁴Artikel in der freien Wikipedia Enzyklopädie

⁵Projektseite

⁶Artikel in der freien Wikipedia Enzyklopädie

⁷LINK ZUR DATEI EINFÜGEN

4 Entwicklungsstrategie

Bezugnehmend auf dem Daten-Steuerpfad Modell [1], haben wir uns für folgende Methoden zur Systempartitionierung entschieden.

- Hierarchische Strukturierung des Entwurfs
- Lokalität der Module und Signale
- Reguläre Strukturen

4.1 Hierarchische Strukturierung des Entwurfs

Unter Hierarchischer Strukturierung versteht man die Partitionierung einer komplexen Entwurfsaufgabe in Teilaufgaben sowie deren weitere Gliederung in noch kleinere Einheiten, solange bis die Teilprobleme mit einfachen Lösungsansätzen zu beschreiben sind. Mit Hilfe von Komponenten (*component*) läßt sich eine hierarchische Problemlösung erreichen. Ergebnis der Synthese ist letztlich eine hierarchische Netzliste.

4.2 Lokalität der Module und Signale

Dies ist eine Forderung, daß die einzelnen Module zur Lösung der Teilprobleme keine Seiteneffekte auf benachbarte Schaltungsteile aufweisen. Durch Blöcke (*block*) lassen sich innerhalb einer Architektur nebenläufige Anweisungen zu Funktionsblöcken zusammenfassen. Innerhalb von Blöcken können lokale Signale definiert werden, die nur innerhalb des Blocks gültig sind.

4.3 Reguläre Strukturen

Dies bedeutet die Verwendung möglichst einheitlich aufgebauter Bibliothekskomponenten. Derartig reguläre Entwürfe sind einfacher zu beschreiben und zu verifizieren. Prozeduren (*procedure*) und Funktionen (*function*), die insbesondere auch in übergeordneten Bibliotheken (*library*) oder Design-spezifischen Bibliotheken (*package*) abgelegt werden können, dienen dazu, standardisierte Lösungen für häufig auftretende Probleme zu verwenden.

Zunächst wird die Problemstellung in einzelne Funktionsblöcke gegliedert. Sollten diese noch nicht überschaubar genug sein, so sind diese weiter aufzuteilen. Anschließend werden alle zwischen den Funktionsblöcken erforderlichen Schnittstellensignale mit Signalflußrichtung und Datentyp festgelegt. Jeder Funktionsblock wird als Komponente betrachtet.

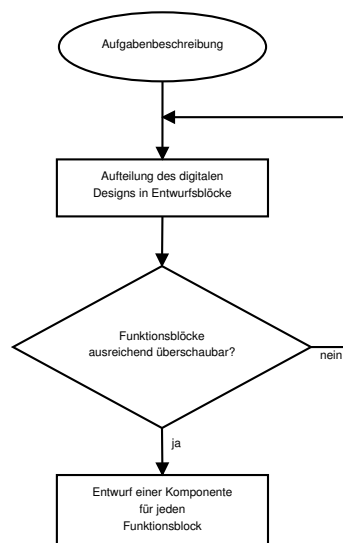


Abbildung 2: Ablaufplan zur Erstellung der Partitionierung eines digitalen Systems

5 Struktureller Entwurf mit Komponenten

In diesem Abschnitt erläutern wir nun, wie der strukturelle Entwurf digitaler Systeme auf Basis vom vorangegangenen eingeführten hierarchisch aufgebauten *entity/architecture*-Paaren realisiert wird. In der übergeordneten Ebene wird dazu ein Strukturmodell formuliert, in dem diese Paare als Komponenten zu einer größeren Schaltung zusammengefaßt werden. Sie enthalten entweder die Verhaltensbeschreibungen digitaler Funktionen, oder sie bestehen wiederum aus Strukturbeschreibungen einer hierarchisch niedrigeren Stufe. [1]

Mit dem VHDL-Strukturbeschreibungsstil werden in einer Top-Entity die Signalkopplungen von mehreren Komponenten in einer Architektur erzeugt. Jede Komponente bezieht sich somit auf eine untergeordnete *entity* mit mindestens einer dazugehörigen *architecture*. In der Top-Entity sind deshalb nur die Schnittstellen der einzelnen Komponenten untereinander und zu Systemgrenzen sichtbar und die Top-Entity stellt somit eine textuelle Formulierung eines Blockschaltbildes dar. Welches von den meisten Synthesewerkzeugen über eine Schaltplanausgabe automatisch erstellt werden kann. [2] [3] Mit diesem Ansatz wird dann ein Top-Down Entwurf verfolgt.

In der nun Vorliegenden strukturellen Architektur der Top-Entity werden die zu nutzenden Komponenten zuerst mit ihren Schnittstellen deklariert und im Architekturrumpf instanziiert. In dieser Instanz werden die Komponentenanschlüsse durch interne Koppelsignale bzw. durch Signale aus der Schnittstellenliste der Top-Entity verdrahtet. Zum leichteren Verständnis kann man sich Analog einen Hardwarebezug mit dem „Board-Socket-Chip-Modell“ [4] vorstellen. Hier repräsentiert die Top-Entity eine zu modellierende Platine (Board). Die Komponentendeklaration macht den IC-Typ mit seinen Anschlüssen bekannt. Wobei eine Komponenteninstanziierung dem Einlöten eines IC-Sockels (Socket) entspricht. Mit der Konfiguration werden im letzten Schritt die IC-Sockel mit ICs bestückt, welche durch ihre speziellen *entity/architecture*-Kombinationen die Funktionalität der Platine bestimmen. [1]

Literatur

- [1] Jürgen Reichardt and Bernd Schwarz. *VHDL-Synthese - Entwurf digitaler Schaltungen und Systeme*. Oldenbourg Verlag, München, aktualisierte Aufl. edition, 2009.
- [2] *Introduction to the Quartus® II Software*.
- [3] *ISE 10.1 Quick Start Tutorial*.
- [4] Perry Perry. *Vhdl - Programming by Example*. McGraw-Hill, New York, 4. a. edition, 2002.

Abbildungsverzeichnis

1	Darstellung RTL	3
2	Ablaufplan Partitionierung	4

Index

Anforderungen, 3
Aufgabenstellung, 3

Dokumentation, 3

Entwicklungshierarchie, 3
Entwicklungsstrategie, 4

Methoden zur Systempartitionierung, 4

Struktureller Entwurf, 5