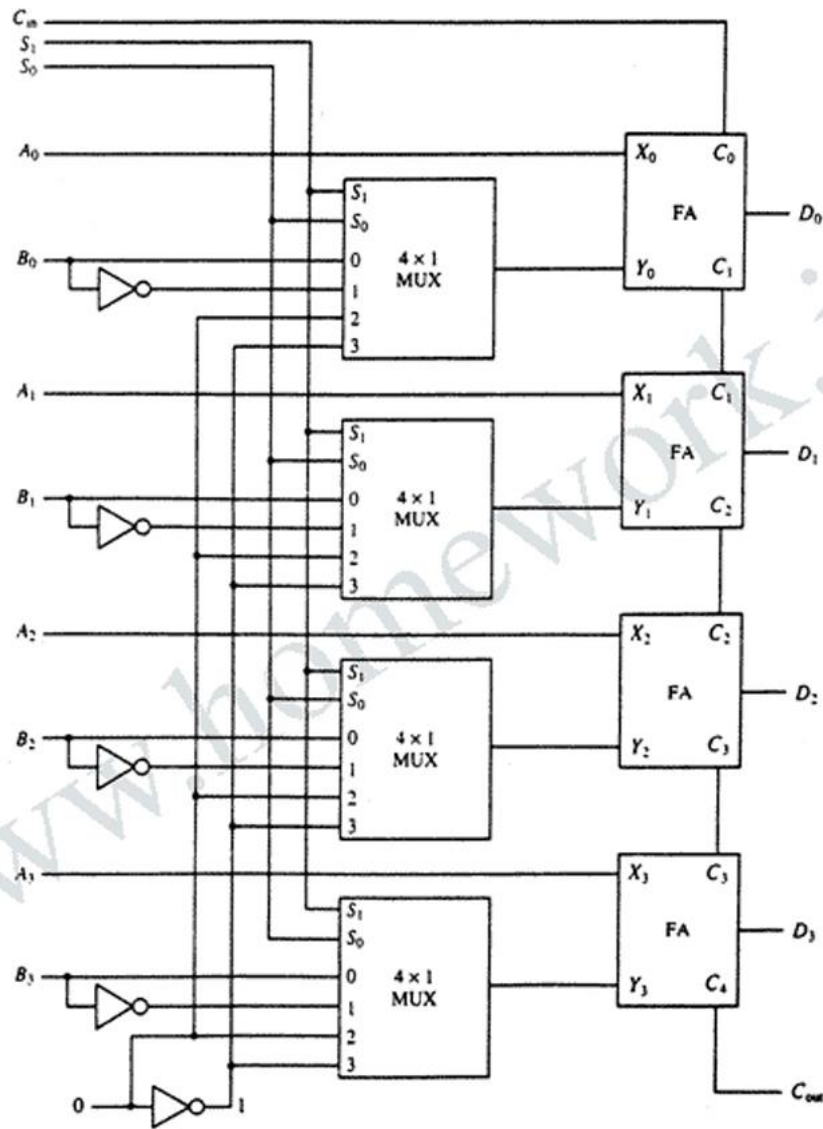


## به نام خدا

هدف این پروژه پیاده‌سازی یک مدار حساب ۴ بیتی است که در شکل آورده شده است:



اجزای این مدار عبارتند از: چهار مدار full adder که جمع ۴ بیت را به وجود می‌آورند و چهار multiplexer که انتخاب مقدار مناسب برای عملیات (جمع یا تفریق) را بر اساس سیگنال‌های کنترلی S<sub>0</sub> و S<sub>1</sub> انجام می‌دهند. همچنین شامل یک inverter می‌باشد که در هر خط از B یعنی

از  $B_0$  تا  $B_3$ ، مقدار  $B$  را NOT می‌کند و  $\sim B$  را تولید می‌کند که این خروجی‌ها به ورودی‌های multiplexer داده می‌شود تا در صورت نیاز برای تفریق استفاده شوند.

## Multiplexer

یک مالتی‌پلکسر عمل انتخاب یکی از ورودی‌ها برای ارسال به خروجی را انجام می‌دهد، که این عمل توسط سیگنال‌های کنترلی آن انجام می‌شود. در این مدار چهار مالتی‌پلکسر وجود دارد که هر کدام چهار ورودی دارند و سیگنال‌های کنترلی  $S_0$  و  $S_1$  تعیین می‌کنند که کدام یک از این ورودی‌ها به خروجی مالتی‌پلکسر متصل شود.

## Full Adder

Full Adder هم یک مدار منطقی است که برای انجام عمل جمع دو عدد باینری به صورت کامل استفاده می‌شود. این مدار عمل جمع اعداد را با در نظر گرفتن ورودی‌های عددی ( $A$  و  $B$ ) و ورودی Carry In انجام می‌دهد و نتیجه جمع (Sum) و Carry Out را تولید می‌کند. مدار بالا شامل چهار جمع‌کننده کامل (FA) است که هر کدام شامل سه ورودی و دو خروجی است. این جمع‌کننده‌ها بیت‌های مربوط به  $A$  و خروجی‌های مالتی‌پلکسر را جمع می‌کنند و بیت‌های انتقال (Carry) را به جمع‌کننده بعدی انتقال می‌دهند.

هر مالتی‌پلکسر یک ورودی را بر اساس سیگنال‌های کنترلی  $S$  انتخاب می‌کند و به Full Adder مربوطه ارسال می‌کند و بیت  $A$  هم مستقیم به Full Adder ارسال می‌شود.

Cin به اولین Full Adder وارد می‌شود و بیت Cout به جمع‌کننده بعدی منتقل می‌شود.

این فرآیند برای چهار بیت ادامه دارد تا خروجی نهایی  $D$  و بیت انتقال خروجی Cout تولید شود.

## نحوه عملکرد مدار در حالت‌های سیگنال‌های کنترلی:

```
always @(*) begin
    case(S)
        2'b00: mux_out = 4'b0000;
        2'b01: mux_out = 4'b1111;
        2'b10: mux_out = B;
        2'b11: mux_out = not_B;
    endcase
end
```

**:S = 00**

همه خروجی‌های مولتی‌پلکسر صفر هستند، بنابراین A با صفر جمع می‌شود و خروجی D برابر با A خواهد بود.

**:S = 01**

همه خروجی‌های مولتی‌پلکسر یک می‌شوند، بنابراین A با یک جمع می‌شود. این باعث افزایش مقدار A به اندازه ۱ در هر بیت می‌شود.

**:S = 10**

بیت‌های B به عنوان ورودی Y انتخاب می‌شوند، بنابراین A و B جمع می‌شوند و خروجی برابر با مقدار جمع آنها خواهد بود.

**:S = 11**

بیت‌های مکمل B به عنوان ورودی Y انتخاب می‌شوند، بنابراین A و مکمل B جمع می‌شوند. این حالت می‌تواند برای عملیات تفریق استفاده شود، به شرطی که Cin برابر با ۱ باشد.

## نتیجه‌گیری

این مدار یک جمع‌کننده چهار بیتی با قابلیت انتخاب ورودی‌های مختلف برای عملیات‌های جمع و تفریق است که با استفاده از مالتی‌پلکسرها و جمع‌کننده‌های کامل، مدار قادر است عملیات‌های مختلفی را بر اساس سیگنال‌های کنترلی انجام دهد.