

با اسمہ تعالیٰ

آزمایشگاه مدار منطقی و معماری کامپیوتر

MAY,20,2024

برنامه نویسان و طراحان پروژه :

امیررضا فرجی

امیرحسین خدادادی

محمد مبین سعیدی

سرفصل ها :

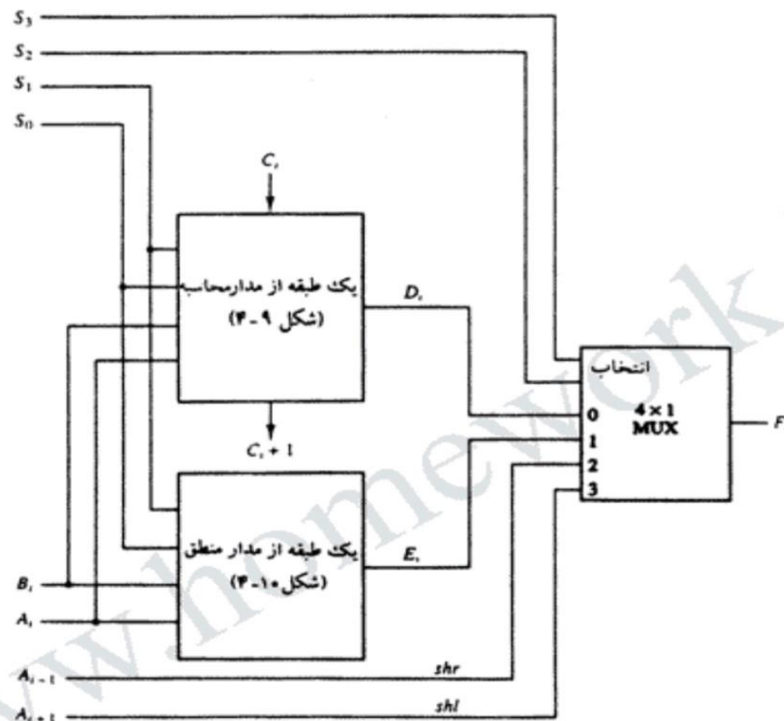
page

- | | | |
|---|-------|---------------------------|
| 2 | | • یک واحد حساب و منطق شیف |
| 4 | | • مازول محاسباتی |
| 6 | | • مدار مطق |

منابع :

- مدار های منطقی از موريس مانو
- طراحی سیستم های دیجیتال
- And CPT4

۱. یک واحد حساب منطق و شیف:



شکل ۱۳-۴ یک طبقه از واحد حساب، منطق و شیف

این مدار یک نمایش دهنده‌ی ساختاری از یک سیستم دیجیتال است. که در ادامه بصورت مختصر بخش های مختلف آن را توضیح میدهیم:

1. **رجیسترها (Registers):** رجیسترها در این مدار برای ذخیره‌سازی داده‌ها و میان‌برهای موقت استفاده می‌شوند. آن‌ها می‌توانند داده‌ها را به صورت موازی ذخیره کنند.

2. **مولتی‌پلکسرها (Multiplexers):** مولتی‌پلکسرها یکی از اجزای کلیدی در مدارهای دیجیتال هستند. آن‌ها برای انتخاب یکی از ورودی‌ها بر اساس سیگنال‌های کنترلی (مانند S1 و S2) استفاده می‌شوند.

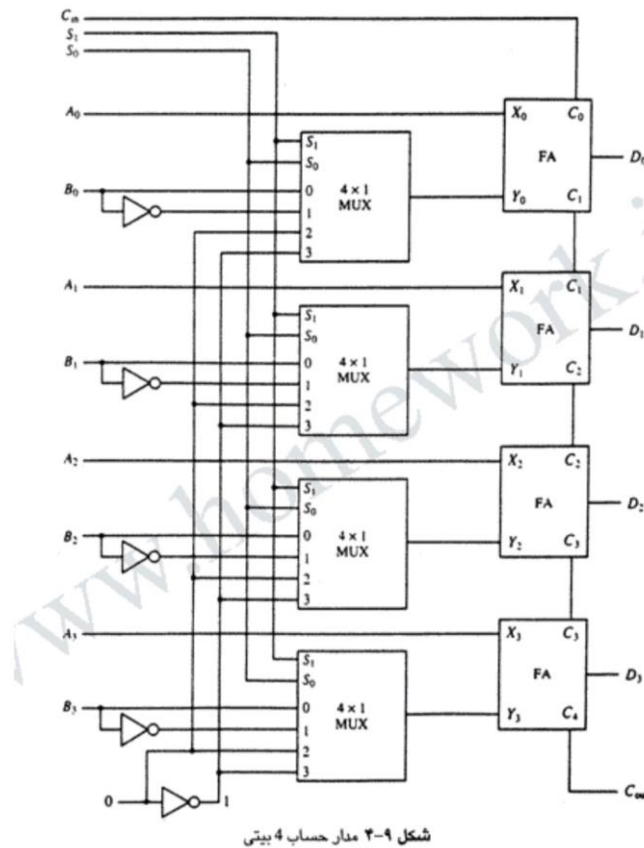
3. واحد منطق حسابی (ALU) : ALU یک بخش مهم در پردازش‌های دیجیتال است.

آن‌ها عملیات‌های حسابی و منطقی را انجام می‌دهند، مانند جمع، تفریق، ضرب، و تبدیل‌های منطقی.

4. منطق کنترل (Control Logic) : این بخش مسئول کنترل ترتیب اجرای عملیات‌ها و انتخاب منابع داده است. سیگنال‌های کنترلی مانند S3 و S4 برای تعیین عملیات‌های مورد نیاز در ALU و مولتی‌پلکسرها استفاده می‌شوند.

- این مدار به عنوان یک نمونه از ساختارهای دیجیتالی استفاده می‌شود و می‌تواند در آموزش‌های مرتبط با مهندسی کامپیوتر و الکترونیک مورد استفاده قرار گیرد.

۲. ساختار ماژول محاسباتی :



مدار دیجیتالی که در تصویر مشاهده می کنید، شامل اجزای زیر است:

۱. مالتی پلکسر (MUX):

این اجزا سیگنال‌های ورودی را بر اساس سیگنال‌های انتخابی که به آن‌ها داده می‌شود، انتخاب می‌کنند. در این مدار، سه مالتی پلکسر ۴ به ۱ وجود دارد که هر کدام چهار سیگنال ورودی (A_0 تا A_3 ، B_0 تا B_3 و C_0 تا C_3) را دریافت می‌کنند و توسط دو خط انتخاب (S_0 و S_1) کنترل میشوند.

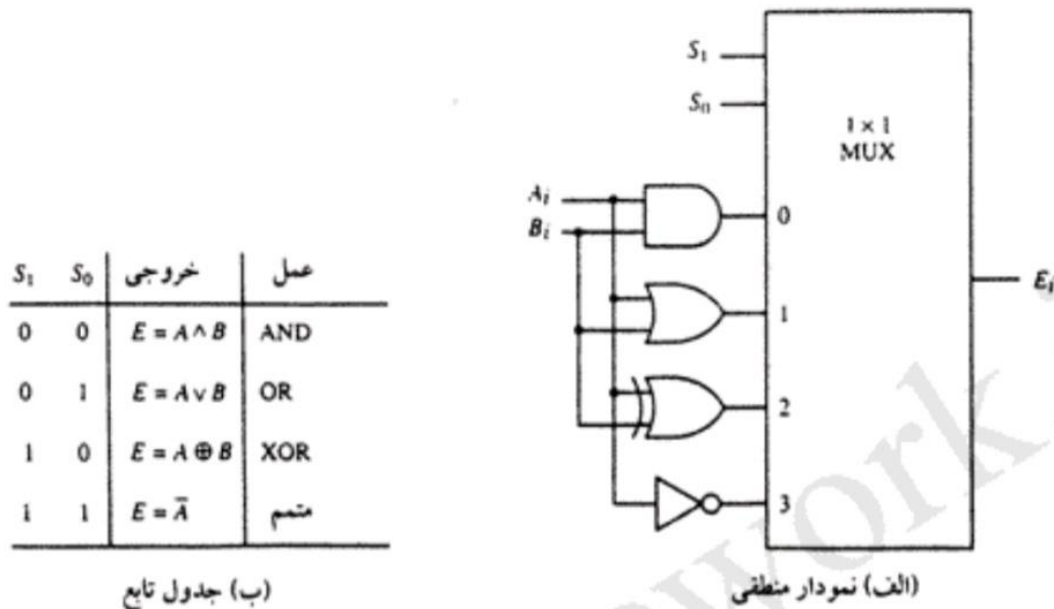
2. فول ادرها (FA): این قطعات دو ورودی و یک ورودی حمل (carry-in) را دریافت می کنند و یک خروجی جمع (sum) و یک سیگنال حمل خروجی (carry-out) تولید می کنند. در این مدار، خروجی های مالتی پلکسرها به فول ادرها متصل هستند.

3. گیت های (AND):

این گیت ها عملیات منطقی AND را بر روی دو ورودی انجام می دهند و در پایین مدار قرار دارند.

- این مدار می تواند برای انجام عملیات حسابی یا انتخاب داده ها بر اساس سیگنال های کنترلی خاص استفاده شود. به عنوان مثال، مالتی پلکسرها می توانند برای انتخاب یکی از چندین ورودی برای ارسال به خروجی استفاده شوند، در حالی که فول ادرها می توانند برای انجام جمع بیتی در عملیات حسابی استفاده شوند.

۳. ساختار مدار منطقی:



شکل ۱۰-۴ یک طبقه از مدار منطقی

ماژول مالتی پلکسر 1*1

مالتی پلکسر 1*1 یک مدار دیجیتال است که برای انتخاب یکی از چندین سیگنال ورودی و ارسال آن به یک خط خروجی استفاده می‌شود. این انتخاب بر اساس ورودی‌های خطوط انتخاب (Selection Lines) انجام می‌گیرد.

ورودی‌ها

A_i و B_i : این دو ورودی از طریق یک دروازه منطقی AND به مالتی پلکسر متصل می‌شوند.

ورودی سوم : این ورودی مستقیماً به مالتی پلکسر متصل است.

ورودی چهارم : این ورودی پس از عبور از یک دروازه منطقی (NOT اینورتر) به مالتی پلکسر متصل می‌شود.

خروجی E_i : خروجی مالتی پلکسر که نتیجه انتخاب ورودی‌ها است.

خطوط انتخاب S_0 و S_1 : این دو خط برای تعیین اینکه کدام ورودی باید به خروجی فرستاده شود، استفاده می‌شوند.

- این ماژول نمونه‌ای از طراحی منطق دیجیتال پایه است که امکان ساخت سیستم‌های محاسباتی پیچیده‌تر را فراهم می‌کند.

با تشکر از استاد بهروز طاهری