

توضیحات کد تست بنچ (Test bench code)

تولید ساعت (Clock) :

یک سیگنال ساعت (clk) تولید می کند که هر ۵ واحد زمان تغییر وضعیت می دهد.

توالی تست :

ورودی هارا مقدار دهی اولیه میکند و سپس دستورالعمل های مختلف را به واحد کنترل اعمال میکند و با استفاده از سیگنال های (clr) و (incr) واحد کنترل را تست می کند.

اعمال ریست:

در ابتدای شبیه سازی ، سیگنال پاکسازی (clr) فعال شده و سپس غیر فعال می شود.

اعمال دستورالعمل ها :

دستورالعمل های مختلفی را در بازه های زمانی مختلف به واحد کنترل اعمال می کند و سپس شبیه سازی را متوقف می کند.

```

1 module ControlSystem_tb;
2
3     reg [15:0] instruction;
4     reg clk;
5     reg clr;
6     reg incr;
7     wire [3:0] control_signals;
8
9     ControlSystem uut (
10         .instruction(instruction),
11         .clk(clk),
12         .clr(clr),
13         .incr(incr),
14         .control_signals(control_signals)
15     );
16
17     initial begin
18         clk = 0;
19         forever #5 clk = ~clk;
20     end
21
22     initial begin
23
24         instruction = 16'b0000_0000_0000_0000;
25         clr = 0;
26         incr = 0;
27
28         clr = 1;
29         #10;
30         clr = 0;
31
32         instruction = 16'b0001_0000_0000_0001;
33         incr = 1;
34         #10;
35         incr = 0;
36
37         #50;

```

شکل ۱ - کد های تست بنچ

```

35         incr = 0;
36
37         #50;
38
39         instruction = 16'b0010_0000_0000_0010;
40         incr = 1;
41         #10;
42         incr = 0;
43
44
45         #50;
46
47         instruction = 16'b0011_0000_0000_0011;
48         incr = 1;
49         #10;
50         incr = 0;
51
52
53         #50;
54
55         instruction = 16'b0100_0000_0000_0100;
56         incr = 1;
57         #10;
58         incr = 0;
59
60
61         #50;
62         $stop;
63     end
64 endmodule

```

شکل ۲ - ادامه کد مربوط به تست بنچ