



شکل ۲۰-۵ ساختار گیت‌های مربوط به کنترل در ورودی‌های LD، INR و CLR از AC

رجسטר AC شامل ورودی‌های ۱۶ بیتی از مدار جمع کننده و منطق، ورودی‌های LD، INR، CLR، CLK و خروجی ۱۶ بیتی به گذرگاه است. ورودی CLR اگر یک باشد خروجی این رجسטר صفر خواهد شد، اگر ورودی INR یک باشد، عملیات افزایش محتوای درون رجسטר انجام می‌شود و اگر LD یک باشد داده‌ی درون مدار جمع کننده و منطق درون خروجی رجسטר AC قرار می‌گیرد.

حاصل عملیات SHL، SHR، COMP، INPR، DR، ADD، AND که نمایانگر عملیات and، جمع، انتقال محتوای dr، انتقال از inpr، متمم، شیفت به راست، شیفت به چپ هستند، با یکدیگر or می‌شوند و حاصل درون ld قرار می‌گیرد.

عملیات inc و clr نیز به ترتیب افزایش و یا پاک کردن رجسטר را دستور می‌دهند.

حاصل هر یک از این عملیات با استفاده از and شدن ریزعمل‌های d0, d1, t5, d2, p, b11, r, b4, b7, b6, b5 انجام می‌شود.