文件编号：

模板版本：

Frame\_buffer详细说明书（FPGA）

制定：邢海涛

审核：

批准：

中国大恒（集团）有限公司北京图像视觉技术分公司

2016年09月20日

|  |
| --- |
| 文件状态： [ ]草稿 [√ ]正式发布[ ]正在修改 |

**版本历史**

|  |  |  |  |
| --- | --- | --- | --- |
| 版本号 | 日期 | 撰写人 | 变更内容 |
| V1.0.0 | 2016-09-20 | 邢海涛 | 初稿 |
|  |  |  |  |
|  |  |  |  |

目录

[1. Frame\_buffer模块规格指标（Module Features） 4](#_Toc462158020)

[2. Frame\_buffer模块方案设计（Module Designs） 5](#_Toc462158021)

[2.1. 帧缓存模块方案设计 5](#_Toc462158022)

[2.2. 帧缓存模块结构组成 5](#_Toc462158023)

[3. 模块测试项（Module Testings） 6](#_Toc462158024)

[4. 系统测试传递测试项（可选） 6](#_Toc462158025)

[5. 重点测试项（可选） 6](#_Toc462158026)

[6. 单元测试结果（Module Testings Result） 7](#_Toc462158027)

[7. 附录（可选） 7](#_Toc462158028)

# Frame\_buffer模块规格指标（Module Features）

在wrap\_wr\_logic wrap\_rd\_logic两个模块中详细描述指标。

# Frame\_buffer模块方案设计（Module Designs）

## 帧缓存模块方案设计

帧缓存模块的DDR3 SDRAM控制器采用XILINX的硬核(MCB)，该硬核对外接口是标准的FIFO接口。为了能提高DDR3 SDRAM的使用效率和简化设计，在MCB与图像输入和后级输出之间，添加了两个FIFO。

将MCB中的时钟模块提到帧缓存模块外部，使之成为一个独立的模块，这样做是为了方便FPGA中的其他模块使用PLL的端口。

## 帧缓存模块结构组成



帧存模块完成与DDR3芯片的交互工作，主要包括4部分。

* MCB是Xilinx自带的DDR3 SDRAM控制器，与用户逻辑的接口为通用的FIFO接口。在帧缓存模块中将MCB设置为两组64bit的端口P0和P1，P0与写逻辑相连，P1与读逻辑相连。

MCB包括硬核部分和软核部分两个子模块，硬核部分完成数据通道的功能，软核部分完成动态校正的功能。

* Wrap\_wr\_logic由前级FIFO和写逻辑组成，其中前级FIFO由FPGA中的BlockRAM9K构成，输入输出的位宽均为69bit，深度需要根据sensor行宽决定。写逻辑负责具体的写逻辑控制。
* Wrap\_rd\_loigc由读逻辑和后级FIFO组成，其中后级FIFO由FPGA中的BlockRAM9K构成，输入输出的位宽均为33bit，深度为256。目前控制数据只有一种，定义为帧结束符，即当后级模块检测到最高位是1时，应当认为是一帧的结束。读逻辑子模块负责具体的读逻辑控制。
* 与帧缓存模块平级的时钟模块输出高速时钟和帧缓存时钟。FPGA中的其他资源可以与帧缓存模块共享时钟模块中的PLL资源。



上图是帧缓存模块的时钟结构图。

* Wrap\_wr\_logic模块连接clk\_in时钟域和clk\_frame\_buf时钟域，将图像数据从输入时钟域转换到帧存时钟域。
* Wrap\_rd\_logic模块连接clk\_out时钟域和clk\_frame\_buf时钟域，将图像数据从帧存时钟域转换到输出时钟域。

由于前后端FIFO的存在，wrap\_wr\_logic wrap\_rd\_loigc两个模块都工作在clk\_frame\_buf时钟域，这样方便了两个模块之间的交互，接口设计会更加简单。

* MCB硬核连接clk\_frame\_buf时钟域和高速时钟域，完成FPGA内部的数据与DDR3芯片中的数据交互的功能。
* MCB软核只工作在clk\_mcb\_drp时钟域，完成动态校准的工作。

## MCB模块设计

### ddr器件选型

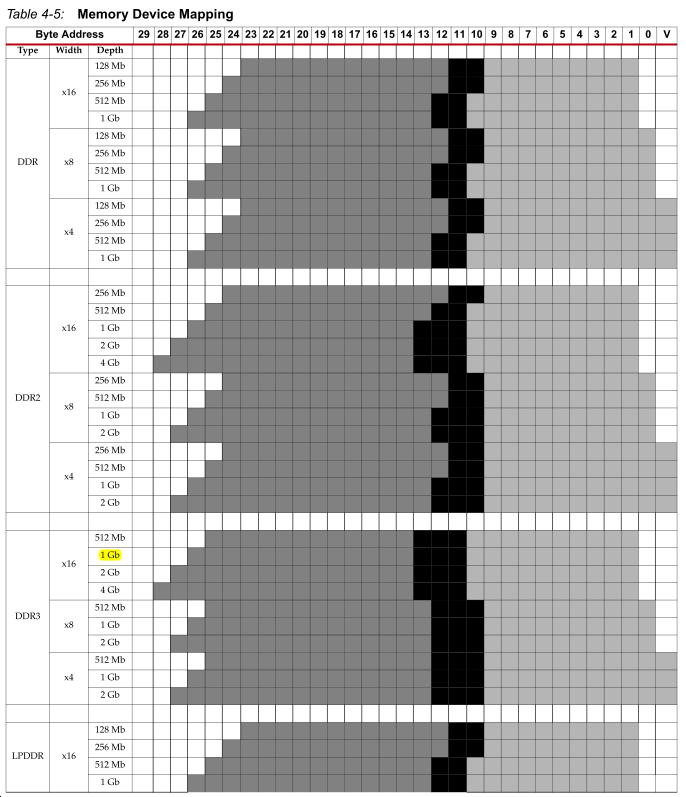
### 读写端口

例化两个64bit的端口

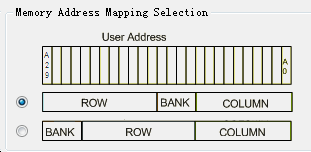
### 读写优先级

1.MCB的写命令的优先级高于读命令

### mcb地址划分



上图是MCB控制器地址划分的示意图。我们使用DDR3 x16 1Gb的芯片，地址以byte为单位，共有30位，其中bit29-27没有用到。1Gb的芯片，相当于128MByte=2^27Byte，因此使用27bit是足够的。



外部器件地址对应方式为ROW\_BANK\_COL。MCB地址的[26:14]对应SDRAM的row地址，MCB地址的[13:11]对应SDRAM的bank地址，MCB地址的[10:1]对应SDRAM的col地址。MCB地址最低位并没有使用。

帧缓存模块的读写指针映射到MCB地址的最高位，读写地址映射到MCB地址的中间位置，尾部的0的个数取决于每次读写的burst数据量。比如说每次读写数据量是256 bytes，此时MCB地址的低8位固定为0。MCB地址与帧缓存模块读写指针和读写地址的对应关系是：

mcb\_byte\_addr[29:0] = {**3’b0,读写指针,读写地址,n’b0**} （1Gb DDR3）

### 帧存模块的物理位置



* 帧存模块所使用的PLL在芯片靠上的位置，目的是为了和MCB的距离较近。PLL输出的高速时钟并不会占用全局时钟资源
* BUFPLL\_MCB是高速时钟缓冲器，把PLL输出的高速时钟缓冲的MCB硬核当中
* MCB硬核在靠近芯片边缘的部分
* MCB软核是FPGA通用逻辑，由FPGA的综合工具布局布线

## 帧存深度设计

## Mcb byte addr 设计

## 帧追赶策略

## 顶层参数

## 顶层接口

## 性能描述

从以下几个方面描述：

1. 多ROI的数量
2. Sensor行宽
3. 图像分辨率大小
4. 前端带宽大小
5. 瞬时带宽大小

## 前端接口要求

## 后端接口要求

## DDR适应性描述

## 其他问题

### Ucf约束

### 校正输入阻抗

# 模块测试项（Module Testings）

系统测试传递测试项（可选）

无

重点测试项（可选）

单元测试结果（Module Testings Result）

附录（可选）