文件编号：

模板版本：

Mer\_reg详细说明书（FPGA）

制定：邢海涛

审核：

批准：

中国大恒（集团）有限公司北京图像视觉技术分公司

2015年02月15日

|  |
| --- |
| 文件状态： [ ]草稿 [√ ]正式发布[ ]正在修改 |

**版本历史**

|  |  |  |  |
| --- | --- | --- | --- |
| 版本号 | 日期 | 撰写人 | 变更内容 |
| V1.0.0 | 2015-02-15 | 邢海涛 | 初稿 |
| V1.0.1 | 2015-02-16 | 邢海涛 | 添加寄存器输出的约束 |
| V1.0.2 | 2015-05-06 | 邢海涛 | 添加测试结论 |
| V1.0.3 | 2015-05-11 | 邢海涛 | 1. dna寄存器放到40MHz时钟域中 2. 修改读寄存器的方法 |
|  |  |  |  |

目录

[1. Mer\_reg模块规格指标（Module Features） 4](#_Toc419123101)

[2. Mer\_reg模块方案设计（Module Designs） 5](#_Toc419123102)

[2.1. Mer\_reg设计方案 5](#_Toc419123103)

[2.2. 写寄存器方法 5](#_Toc419123104)

[2.3. 读寄存器方法 6](#_Toc419123105)

[2.3.1. 读固定电平寄存器 6](#_Toc419123106)

[2.3.2. 读可读写寄存器 7](#_Toc419123107)

[3. 模块测试项（Module Testings） 9](#_Toc419123108)

[3.1. 详细设计测试规格 9](#_Toc419123109)

[4. 系统测试传递测试项（可选） 10](#_Toc419123110)

[5. 重点测试项（可选） 10](#_Toc419123111)

[6. 单元测试结果（Module Testings Result） 10](#_Toc419123112)

[6.1. 详细设计测试规格 10](#_Toc419123113)

[7. 附录（可选） 12](#_Toc419123114)

# Mer\_reg模块规格指标（Module Features）

见FPGA概要设计说明书5.4.5章节

# Mer\_reg模块方案设计（Module Designs）

## Mer\_reg设计方案

Mer\_reg模块完成寄存器读写功能，前端的spi\_slave模块解析了串行的spi协议，输出并行的数据和地址还有读写使能信号。Mer\_reg模块根据解析好的读写使能、地址和数据，完成寄存器读写的功能。

Spi\_slave模块解析出的时钟域与寄存器时钟域存在跨时钟域传递的问题，在Mer\_reg中采用握手通信的方法完成跨时钟域处理的功能，读写使能信号即为握手信号。

MER-U3项目中，有5个时钟域牵扯到了寄存器读写，分别是1）像素时钟域、2）帧存时钟域、3）GPIF时钟域、4）40MHz时钟域、5）固定电平。其中帧存时钟域已经与GPIO时钟域合并，但是在寄存器接口上仍然独立。固定电平包括版本寄存器。40MHz时钟域包括时间戳、固件设置的加密寄存器、FPGA DNA REG、加密状态。

固定电平的寄存器只读，其他时钟域的寄存器均具备可读写功能。

## 写寄存器方法

固定电平时钟域都是只读寄存器，不需要写。

其他时钟域中，采样写信号，在写信号上升沿时锁存写地址和写数据。根据写地址和写数据，更新寄存器。

|  |
| --- |
| Figure 2‑1 pix时钟域写时序 |

取写信号的上升沿，在上升沿时，锁存写地址和写数据。需要注意：要约束写信号、写地址和写数据从spi采样时钟域到pix时钟域布线，目前约为10ns。

在Spi\_slave中已经约束，写信号的的时间在200ns以上，就算是最慢的40MHz时钟也能够做好握手处理。

## 读寄存器方法

### 读固定电平寄存器

固定电平的寄存器在FPGA启动之后就保持不变，因此可以将固定电平的寄存器用spi采样时钟处理。

|  |
| --- |
|  |

由于寄存器和Spi\_slave都是同一个时钟域，因此不需要做跨时钟域处理，从spi\_slave模块产生读标志、读地址，到Mer\_reg模块产生选择信号和读数据需要1个时钟，再传递到Spi\_slave模块还需要1个时钟，因此整个读流程需要2个时钟。

当SCK是10MHz时，占空比50%，高电平时间是50ns，采样时钟周期最大是50/2=25ns，频率最小是40MHz，这一频率限制明显小于Spi\_slave模块中对采样时钟的限制。

### 读可读写寄存器

其他时钟域中，要采样读信号，在读信号的上升沿锁存读地址，需要约束spi采样时钟到各自时钟域的布线时间。如果地址在本时钟域之内，则输出被选择信号和寄存器；如果地址不在本时钟域之内，则输出清零。

|  |
| --- |
| Figure 2‑2 pix时钟域读时序 |

假设Spi\_slave模块中的采样时钟频率很大，在SCK上升沿时生成SPI\_RD上升沿和SPI\_ADDR信号，经过了布线延时之后，到达Mer\_reg模块，此时即为1时刻。

Spi\_rd和spi\_addr传播到寄存器时钟域，在各自的时钟域内不做时序处理，只做组合逻辑处理，解析地址，输出pix\_sel。此时即为2时刻。

经过布线延时，到达spi\_slave模块，在SCK的下降沿时，将bit15锁存到MISO上，此时即为3时刻。

从以上分析可知，从SCK的上升沿到下降沿，需要耗费的时间是2次布线延时和组合逻辑的延时。延时控制在50ns之内即可，这一点很容易满足。

3014通过GPIO生成的SPI信号，SCK速率在350KHz左右，最大不会超过400KHz，SCK MOSI的电平时间最小是588ns。588ns远大于50ns，因此在GPIO-SPI模式读FPGA寄存器时，时序参数是完全满足的。

# 模块测试项（Module Testings）

## 详细设计测试规格

* **o\_pix\_sel**

| **指标** | | **1** | **2** | **3** |
| --- | --- | --- | --- | --- |
| **相关输入信号** | i\_rd\_en | 0 | 1 | 1 |
| iv\_addr | X | 未选中 | 选中 |
| **输出** | o\_pix\_sel | 0 | 0 | 1 |

1. 当读信号无效时，输出o\_pix\_sel=0
2. 当读信号有效且地址未选中时，输出o\_pix\_sel=0
3. 当读信号有效且地址选中时，输出o\_pix\_sel=1

* **ov\_pix\_rd\_data**

| **指标** | | **1** | **2** | **3** |
| --- | --- | --- | --- | --- |
| **相关输入信号** | i\_rd\_en | 0 | 1 | 1 |
| iv\_addr | X | 未选中 | 选中 |
| **输出** | ov\_pix\_rd\_data | 0 | 0 | 寄存器数据 |

1. 当读信号无效时，输出ov\_pix\_rd\_data=0
2. 当读信号有效且地址未选中时，输出ov\_pix\_rd\_data=0
3. 当读信号有效且地址选中时，输出ov\_pix\_rd\_data=寄存器数据

* **o\_frame\_buf\_sel、o\_gpio\_sel、o\_40\_sel、o\_fix\_sel**

约束与o\_pix\_sel类似

* **ov\_frame\_buf\_rd\_data、o\_gpio\_rd\_data、o\_40\_rd\_data、o\_fix\_rd\_data**

约束与ov\_pix\_rd\_data类似

* **寄存器输出**

1. 保证寄存器读写正确
2. 保证寄存器所属时钟域正确
3. 保证自清零信号只保持1个时钟的高电平，寄存器包括
   1. o\_timestamp\_load
   2. o\_trigger\_soft
   3. o\_reset\_sensor
   4. ov\_interrupt\_clear
   5. param\_cfg\_done
4. 保证寄存器默认值正确，需要和寄存器接口文档保持一致
5. 保证成组生效寄存器正常工作，在param\_cfg\_done=1的时候成组输出。成组生效寄存器列表要与寄存器接口文档保持一致。

系统测试传递测试项（可选）

无

重点测试项（可选）

1.10MHz的spi时钟输入，是否能够正确读到只读寄存器

2.1MHz的spi时钟输入，是否能够正确读写通用寄存器

单元测试结果（Module Testings Result）

| 编号 | 测试项 | 对应TESTCASE | 优先级 | 测试结论 |
| --- | --- | --- | --- | --- |
|  | 每个时钟域的寄存器 | 多个 | 必测 | 通过 |
|  | 端口信号 | 多个 | 必测 | 通过 |

## 详细设计测试规格

* **o\_pix\_sel**

| **指标** | | **1** | **2** | **3** |
| --- | --- | --- | --- | --- |
| **相关输入信号** | i\_rd\_en | 0 | 1 | 1 |
| iv\_addr | X | 未选中 | 选中 |
| **输出** | o\_pix\_sel | 0 | 0 | 1 |
| **对应testcase** | 多个 | | | |
| **优先级** | 必测 | | | |
| **测试结论** | 通过 | | | |

以下规格，结论相同

* **ov\_pix\_rd\_data**

| **指标** | | **1** | **2** | **3** |
| --- | --- | --- | --- | --- |
| **相关输入信号** | i\_rd\_en | 0 | 1 | 1 |
| iv\_addr | X | 未选中 | 选中 |
| **输出** | ov\_pix\_rd\_data | 0 | 0 | 寄存器数据 |

1. 当读信号无效时，输出ov\_pix\_rd\_data=0
2. 当读信号有效且地址未选中时，输出ov\_pix\_rd\_data=0
3. 当读信号有效且地址选中时，输出ov\_pix\_rd\_data=寄存器数据

* **o\_frame\_buf\_sel、o\_gpio\_sel、o\_40\_sel、o\_fix\_sel**

约束与o\_pix\_sel类似

* **ov\_frame\_buf\_rd\_data、o\_gpio\_rd\_data、o\_40\_rd\_data、o\_fix\_rd\_data**

约束与ov\_pix\_rd\_data类似

附录（可选）

**问题1：FPGA\_mer\_reg\_单元测试问题：自清零寄存器也要可读**

问题现象：

在代码实现中，自清零寄存器，有的可读，有的不可读

解决方法：

所有的自清零寄存器都可读，修改每个时钟域的 reg\_list 文件

**问题2：FPGA\_mer\_reg\_单元测试问题：寄存器列表数据拼接**

问题现象：

位宽较大且带有位宽参数的寄存器，拼接错误，例如 io 通道的filter寄存器

解决方法：

仔细排查，修改