**MER-U3X固件子系统与FPGA子系统接口说明**

**V0.1**

**中国大恒（集团）有限公司**

**北京图像视觉技术分公司**

**目录**

[MER-U3X固件子系统与FPGA子系统接口说明 1](#_Toc394394121)

[1. 概述 3](#_Toc394394122)

[2. 接口信号描述 3](#_Toc394394123)

[2.1. 接口信号列表 3](#_Toc394394124)

[2.2. 接口信号电平要求 3](#_Toc394394125)

[2.3. 接口信号时序要求 3](#_Toc394394126)

[3. 接口协议 3](#_Toc394394127)

[3.1. 读寄存器时序 3](#_Toc394394128)

[3.2. 写寄存器时序 3](#_Toc394394129)

[4. 接口寄存器 4](#_Toc394394130)

[5. 修订历史 4](#_Toc394394131)

# 概述

# 接口信号描述

## 接口信号列表

## 接口信号电平要求

## 接口信号时序要求

# 接口协议

## SPI协议

|  |
| --- |
| Figure ‑ SPI协议 |

上图是SPI协议简要说明，本设计中，POL=0，即接收端在SCLK的上升沿采样数据。

在本次项目中，我们对SPI协议定义如下：

1、SPI通信包含64bits，包括16bit读写标志、16bit地址和32bit数据

2、SPI分读写2种时序，读时序和写时序

3、 写地址标志：16’h8000

　 读地址标志：16’h8001

1. MSB最先出现在SPI总线上

## 引脚定义

SPI信号定义如下表：

|  |  |  |
| --- | --- | --- |
| 信号名 | 位宽 | 描述 |
| sclk | 1bit | SPI时钟 ，3014输出FPGA输入 |
| cs | 1bit | SPI有效，3014输出FPGA输入，低有效 |
| mosi | 1bit | SPI数据线，3014输出FPGA输入 |
| miso | 1bit | SPI数据线，3014输入FPGA输出 |

3014为SPI主器件，FPGA为SPI的从器件。

## 读寄存器时序

|  |
| --- |
| Figure ‑ 写时序 |

上图是典型的写操作，CS拉低表示选中FPGA，主机首先发出写地址标志(0x8000)，然后发出16bit寄存器地址，再发出16bit的0xffff，最后再发出16bit要写的数据。然后CS拉高，表示写操作结束。

## 写寄存器时序

|  |
| --- |
| Figure ‑ 读时序 |

上图是典型的读操作。CS拉低表示选中FPGA，主机首先发出读地址标志(0x8001)，然后发出16bit寄存器地址，然后MOSI保持为高电平直到读操作结束。当主机发送完寄存器地址之后，从机开始返回数据。共返回32bit数据，前16bit是寄存器地址，后16bit是寄存器数据。

# 接口寄存器

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **ADDR** | **Register** | **R/W** | **Length** | **Default Value** | **Description** |
| 待定 | Vendor\_ID | RO | 15-0 | 待定 | 厂商ID |
|  | Product\_ID | RO | 15-0 | 待定 | 产品ID |
|  | FPGA\_Version\_H | RO | 15-0 | 递增 | FPGA代码版本号高16位 |
|  | FPGA\_Version\_L | RO | 15-0 | 递增 | FPGA代码版本号低16位 |
|  | Test\_Reg | RW | 15-0 | 0x55aa | 测试用寄存器 |
|  | acquisition\_start | RW | 15-0 | 0x0 | Bit[15:1]:0000\_0000\_0000\_000  Bit[0]: 控制图像传输。  0：停采  1：开采  停采清抓拍帧计数，不控制图像传输 |
|  | stream\_enable | RW | 15-0 | 0x0 | Bit[15:1]:0000\_0000\_0000\_000  Bit[0]: 流控制使能  0：数据流使能  1：数据流不使能 |
|  | pixel\_format\_h | RW | 15-0 | 0x0108 | 像素格式高16位 |
|  | pixel\_format\_l | RW | 15-0 | 0x0001 | 像素格式低16位，与高16位组成32位寄存器  0x01080001:Mono8  0x01100003:Mono10  0x01080008:BayerGR8  0x0110000C:BayerGR10 |
|  | payload\_size\_h | RW | 15-0 | 0x0 | 传输大小高16位 |
|  | payload\_size\_l | RW | 15-0 | 0x0 | 传输大小低16位，与高16位组成32位寄存器  受图像大小、pixel format和chunk大小影响 |
|  | test\_image | RW | 15-0 | 0x0 | Bit[15:2]:0000\_0000\_0000\_00  Bit[1:0]: test\_image\_sel测试图选择  0-真实图  1-测试图像1灰度值帧递增；  2-测试图像2静止的斜条纹；  3-测试图像2滚动的斜条纹； |
|  | trigger\_mode | RW | 15-0 | 0x0 | Bit[15:1]:0000\_0000\_0000\_000  Bit[0]:控制触发模式  0:连续模式  1:触发模式 |
|  | acquisition\_stop\_done | RW | 15-0 | 0x0 | Bit[15:1]:0000\_0000\_0000\_000  Bit[0]:  0:停采之后完整帧传输还没有传输完  1:停采之后完整帧传输完成 |
|  | reset\_des\_pll | RW | 15-0 | 0x0 | Bit[15:1]:0000\_0000\_0000\_000  Bit[0]: 解串PLL复位信号，自清零  1:复位PLL |
|  | reset\_sensor | RW | 15-0 | 0x0 | Bit[15:1]:0000\_0000\_0000\_000  Bit[0]: 复位前端sensor，自清零  1:复位sensor |
|  | fpga\_des\_pll\_state | RW | 15-0 | 0x0 | Bit[15:1]:0000\_0000\_0000\_000  Bit[0]: fpga解串PLL状态  0:PLL未锁定  1:PLL锁定 |
|  | fpga\_deserializer\_align | RW | 15-0 | 0x0 | Bit[15:1]:0000\_0000\_0000\_000  Bit[0]: fpga解串寄存器使能数据对位，自清零  1:开始进行数据对位 |
|  | fpga\_deserializer\_state | RO | 15-0 | 0x0 | Bit[15:1]:0000\_0000\_0000\_000  Bit[0]: fpga解串状态寄存器  0:解串失败  1:解串成功 |
|  | SI\_Maximum\_Leader\_Size\_H | RW | 15-0 | 0x0 | 头包大小寄存器高16位 |
|  | SI\_Maximum\_Leader\_Size\_L | RW | 15-0 | 0x0 | 头包大小寄存器低16位，与高16为组成32位寄存器 |
|  | SI\_Maximum\_Trailer\_Size\_H | RW | 15-0 | 0x0 | 尾包大小寄存器高16位 |
|  | SI\_Maximum\_Trailer\_Size\_L | RW | 15-0 | 0x0 | 尾包大小寄存器低16位，与高16为组成32位寄存器 |
|  | SI\_Payload\_Transfer\_Size\_H | RW | 15-0 | 0x0 | Payload大小寄存器高16位 |
|  | SI\_Payload\_Transfer\_Size\_L | RW | 15-0 | 0x0 | Payload大小寄存器低16位，与高16为组成32位寄存器 |
|  | SI\_Payload\_Transfer\_Count\_H | RW | 15-0 | 0x0 | Payload个数寄存器高16位 |
|  | SI\_Payload\_Transfer\_Count\_L | RW | 15-0 | 0x0 | Payload个数寄存器低16位，与高16为组成32位寄存器 |
|  | SI\_Payload\_Final\_Transfer1\_Size\_H | RW | 15-0 | 0x0 | T1包大小寄存器高16位 |
|  | SI\_Payload\_Final\_Transfer1\_Size\_L | RW | 15-0 | 0x0 | T1包大小寄存器低16位，与高16为组成32位寄存器 |
|  | SI\_Payload\_Final\_Transfer2\_Size\_H | RW | 15-0 | 0x0 | T2包大小寄存器高16位 |
|  | SI\_Payload\_Final\_Transfer2\_Size\_L | RW | 15-0 | 0x0 | T2包大小寄存器低16位，与高16为组成32位寄存器 |
|  | trigger\_mode | RW | 15-0 | 0x0 | Bit[15:1]:0000\_0000\_0000\_000  Bit[0]: 触发模式选择寄存器  0:表示触发模式关闭，为连续模式  1:表示触发模式开启，选择外触发或者软触发 |
|  | trigger\_source | RW | 15-0 | 0x0 | Bit[15:2]:0000\_0000\_0000\_00  Bit[1:0]: 触发源选择寄存器  0:选择软触发  1:选择外触发，line0  2:选择外触发，line2  3:选择外触发，line3 |
|  | trigger\_soft | RW | 15-0 | 0x0 | Bit[15:1]:0000\_0000\_0000\_000  Bit[0]: 软触发寄存器，自清零  1:发起一次软触发，极性不可选，上升沿触发 |
|  | trigger\_active | RW | 15-0 | 0x0 | Bit[15:1]:0000\_0000\_0000\_000  Bit[0]: 触发沿选择控制寄存器  0:下降沿有效  1:上升沿有效 |
|  | trigger\_filter\_line0\_rise\_h | RW | 15-0 | 0x0 | line0触发上升沿滤波寄存器高16位 |
|  | trigger\_filter\_line0\_rise\_l | RW | 15-0 | 0x0 | line0触发上升沿滤波寄存器低16位，与高16位组成32位寄存器  滤波上升沿：[10us,5ms]，步长10us，默认值10us |
|  | trigger\_filter\_line0\_fall\_h | RW | 15-0 | 0x0 | line0触发下降沿滤波寄存器高16位 |
|  | trigger\_filter\_line0\_fall\_l | RW | 15-0 | 0x0 | line0触发下降沿滤波寄存器低16位，与高16位组成32位寄存器  滤波下降沿：[10us,5ms]，步长10us，默认值10us |
|  | trigger\_filter\_line2\_rise\_h | RW | 15-0 | 0x0 | Line2触发上升沿滤波寄存器高16位 |
|  | trigger\_filter\_line2\_rise\_l | RW | 15-0 | 0x0 | Line2触发上升沿滤波寄存器低16位，与高16位组成32位寄存器  滤波上升沿：[10us,5ms]，步长10us，默认值10us |
|  | trigger\_filter\_line2\_fall\_h | RW | 15-0 | 0x0 | Line2触发下降沿滤波寄存器高16位 |
|  | trigger\_filter\_line2\_fall\_l | RW | 15-0 | 0x0 | Line2触发下降沿滤波寄存器低16位，与高16位组成32位寄存器  滤波下降沿：[10us,5ms]，步长10us，默认值10us |
|  | trigger\_filter\_line3\_rise\_h | RW | 15-0 | 0x0 | Line3触发上升沿滤波寄存器高16位 |
|  | trigger\_filter\_line3\_rise\_l | RW | 15-0 | 0x0 | Line3触发上升沿滤波寄存器低16位，与高16位组成32位寄存器  滤波上升沿：[10us,5ms]，步长10us，默认值10us |
|  | trigger\_filter\_line3\_fall\_h | RW | 15-0 | 0x0 | Line3触发下降沿滤波寄存器高16位 |
|  | trigger\_filter\_line3\_fall\_l | RW | 15-0 | 0x0 | Line3触发下降沿滤波寄存器低16位，与高16位组成32位寄存器  滤波下降沿：[10us,5ms]，步长10us，默认值10us |
|  | trigger\_delay\_h | RW | 15-0 | 0x0 | 触发延迟寄存器高16位 |
|  | trigger\_delay\_l | RW | 15-0 | 0x0 | 触发延迟寄存器低16位，与高16为组成32位寄存器  1)触发延迟范围:[0ms，3s]  2)步长:1000us |
|  | useroutput\_level | RW | 15-0 | 0x0 | Bit[15:3]:0000\_0000\_0000\_0  Bit[2]: useroutput2的信号电平  0:配置useroutput为低电平  1:配置useroutput为高电平  Bit[1]: useroutput1的信号电平  0:配置useroutput为低电平  1:配置useroutput为高电平  Bit[0]: useroutput0的信号电平  0:配置useroutput为低电平  1:配置useroutput为高电平 |
|  | physic\_line0 | RW/RO | 15-0 | 0x0 | Bit[15:5]:0000\_0000\_000  Bit[4:2]: line0为输入端口，RO  Bit[1]: lineinvert控制位，配置line0管脚是否反转极性，RW  0:不反转极性  1:反转极性  Bit[0]: linemode控制位，配置line0管脚是输入还是输出，RO  0:line0为输入管脚 |
|  | physic\_line1 | RW/RO | 15-0 | 0x0 | Bit[15:5]:0000\_0000\_000  Bit[4:2]: linesource源选择控制位，RW  0:输出信号关闭，输出为高阻  1:选择输出相机曝光阶段信号  2:输出用户自定义的输出0  3:输出用户自定义的输出1  4:输出用户自定义的输出2  Bit[1]: lineinvert控制位，配置line1管脚是否反转极性，RW  0:不反转极性  1:反转极性  Bit[0]: linemode控制位，配置line1管脚是输入还是输出，RO  1:line1为输出管脚 |
|  | physic\_line2 | RW | 15-0 | 0x0 | Bit[15:5]:0000\_0000\_000  Bit[4:2]: linesource源选择控制位  0:输出信号关闭，输出为高阻  1:选择输出相机曝光阶段信号  2:输出用户自定义的输出0  3:输出用户自定义的输出1  4:输出用户自定义的输出2  Bit[1]: lineinvert控制位，配置line2管脚是否反转极性  0:不反转极性  1:反转极性  Bit[0]: linemode控制位，配置line2管脚是输入还是输出  0:line2为输入管脚  1:line2为输出管脚 |
|  | physic\_line3 | RW | 15-0 | 0x0 | line2属性，参考physic\_line2的定义 |
|  | line\_status | RO | 15-0 | 0x0 | Bit[15:4]:0000\_0000\_0000  Bit[3]: Line3电平状态，该值是输入管脚经过line inverter后的电平输出；对于输出管脚，值无意义  Bit[2]: Line2电平状态，该值是输入管脚经过line inverter后的电平输出；对于输出管脚，值无意义  Bit[1]: Line1电平状态，该值是输入管脚经过line inverter后的电平输出；对于输出管脚，值无意义  Bit[0]: Line0电平状态，该值是输入管脚经过line inverter后的电平输出；对于输出管脚，值无意义 |
|  | interrupt\_en | RW | 15-0 | 0x0 | Bit[15:3]:0000\_0000\_0000\_0  Bit[2]: 事件中断使能  0:屏蔽事件中断  1:使能事件中断  Bit[1]: 自动白平衡中断使能  0:屏蔽自动白平衡中断  1:使能自动白平衡中断  Bit[0]: 2A中断使能  0:屏蔽2A中断  1:使能2A中断 |
|  | interrupt\_state | RO | 15-0 | 0x0 | Bit[15:3]:0000\_0000\_0000\_0  Bit[2]: 事件中断状态  0:未出现事件中断  1:出现事件中断  Bit[1]: 自动白平衡中断状态  0:未出现自动白平衡中断  1:出现自动白平衡中断  Bit[0]: 2A中断状态  0:未出现2A中断  1:出现2A中断 |
|  |  |  |  |  |  |
|  | ChunkModeActive | RW | 15-0 | 0x0 | Bit[15:1]:0000\_0000\_0000\_000  Bit[0]: 帧信息添加使能开关  0:不使能  1:使能 |
|  | chunkid1\_en | RW | 15-0 | 0x0 | Bit[15:1]:0000\_0000\_0000\_000  Bit[0]: image信息添加使能开关  0:不使能  1:使能 |
|  | chunkid2\_en | RW | 15-0 | 0x0 | Bit[15:1]:0000\_0000\_0000\_000  Bit[0]: timestamp信息添加使能开关  0:不使能  1:使能 |
|  | chunkid3\_en | RW | 15-0 | 0x0 | Bit[15:1]:0000\_0000\_0000\_000  Bit[0]: frameid信息添加使能开关  0:不使能  1:使能 |
|  | chunk\_size1 | RW | 15-0 | 0x0 | image size  图像大小 |
|  | chunk\_size2 | RW | 15-0 | 0x0 | timestamp size  时间戳大小 |
|  | chunk\_size3 | RW | 15-0 | 0x0 | frameid size  帧信息大小 |
|  | timestamp1 | RO | 15-0 | 0x0 | 时间戳最高16bit |
|  | timestamp2 | RO | 15-0 | 0x0 | 时间戳次高16bit |
|  | timestamp3 | RO | 15-0 | 0x0 | 时间戳次低16bit |
|  | timestamp4 | RO | 15-0 | 0x0 | 时间戳最低16bit，与前面三个寄存器组成64bit寄存器 |
|  | wb\_offset\_x | RW | 15-0 | 0x0 | Bit[15:12]:0000  Bit[11:0]:白平衡统计区域的x坐标起始点，固件设置的该寄存器值应该是相对于ROI的偏移 |
|  | wb\_offset\_x\_end | RW | 15-0 | 0x0 | Bit[15:12]:0000  Bit[11:0]: 白平衡统计区域的x坐标终点 |
|  | wb\_offset\_y | RW | 15-0 | 0x0 | Bit[15:12]:0000  Bit[11:0]: 白平衡统计区域的y坐标起始点，固件设置的该寄存器值应该是相对于ROI的偏移 |
|  | wb\_offset\_y\_end | RW | 15-0 | 0x0 | Bit[15:12]:0000  Bit[11:0]: 白平衡统计区域的y坐标终点 |
|  | wb\_gain\_r | RW | 15-0 | 0x0 | Bit[15:12]:0000  Bit[11:0]: 白平衡R分量，R分量小数乘以512后的结果 |
|  | wb\_gain\_g | RW | 15-0 | 0x0 | Bit[15:12]:0000  Bit[11:0]: 白平衡G分量，G分量小数乘以512后的结果 |
|  | wb\_gain\_b | RW | 15-0 | 0x0 | Bit[15:12]:0000  Bit[11:0]: 白平衡B分量，B分量小数乘以512后的结果 |
|  | wb\_statis\_r\_h | RO | 15-0 | 0x0 | R分量的灰度统计值，高16位 |
|  | wb\_statis\_r\_l | RO | 15-0 | 0x0 | R分量的灰度统计值，低16位  与高16位一起组成32位数据，该值为图像R分量统计值除以8后的结果 |
|  | wb\_statis\_g\_h | RO | 15-0 | 0x0 | G分量的灰度统计值，高16位 |
|  | wb\_statis\_g\_l | RO | 15-0 | 0x0 | G分量的灰度统计值，低16位  与高16位一起组成32位数据，该值为图像G分量统计值除以8后的结果 |
|  | wb\_statis\_b\_h | RO | 15-0 | 0x0 | B分量的灰度统计值，高16位 |
|  | wb\_statis\_b\_l | RO | 15-0 | 0x0 | B分量的灰度统计值，低16位  与高16位一起组成32位数据，该值为图像B分量统计值除以8后的结果 |
|  | blacklevel\_ratio | RW | 15-0 | 0x0 | 黑电平调节时，调节值 \* 512后的值  如：固件想调节为1.15，则固件设置值为  1.15 \* 512 =588 |
|  | blacklevel\_value | RW | 15-0 | 0x0 | Bit[15:12]:0000  Bit[11:0]: 数字黑电平调整值 |
|  | gray\_offset\_x | RW | 15-0 | 0x0 | Bit[15:12]:0000  Bit[11:0]: 灰度值统计区域的x坐标起始点，固件设置的该寄存器值应该是相对于ROI的偏移 |
|  | gray\_offset\_x\_end | RW | 15-0 | 0x0 | Bit[15:12]:0000  Bit[11:0]: 灰度值统计区域的x坐标终点 |
|  | gray\_offset\_y | RW | 15-0 | 0x0 | Bit[15:12]:0000  Bit[11:0]: 灰度值统计区域的y坐标起始点，固件设置的该寄存器值应该是相对于ROI的偏移 |
|  | gray\_offset\_y\_end | RW | 15-0 | 0x0 | Bit[15:12]:0000  Bit[11:0]: 灰度值统计区域的y坐标终点 |
|  | gray\_statis\_sum\_h | RO | 15-0 | 0x0 | 2A的灰度统计值高16位 |
|  | gray\_statis\_sum\_l | RO | 15-0 | 0x0 | 2A的灰度统计值低16位，与高16位组成32位数据  该寄存器值为图像灰度统计值总和除以8后的值 |
|  | pulse\_filter\_en | RW | 15-0 | 0x0 | Bit[15:1]:0000\_0000\_0000\_000  Bit[0]: 坏点校正开关  0:不使能坏点校正  1:使能坏点校正 |
|  | lut存储空间 | RW | 15-0 | 0x0 | 512byte地址分别对应 |
|  | dna\_reg1 | RO | 15-0 | 0x0 | fpga dna序列号最高16位 |
|  | dna\_reg2 | RO | 15-0 | 0x0 | fpga dna序列号次高16位 |
|  | dna\_reg3 | RO | 15-0 | 0x0 | fpga dna序列号次低16位 |
|  | dna\_reg4 | RO | 15-0 | 0x0 | fpga dna序列号最低16位，与前面三个寄存器组成64位的fpga提供给固件的dna序列号  实际上，FPGA的dna是57位，这里高7位补1 |
|  | encrypt\_reg1 | RW | 15-0 | 0x0 | encrypt reg高16位 |
|  | encrypt\_reg2 | RW | 15-0 | 0x0 | encrypt reg次高16位 |
|  | encrypt\_reg3 | RW | 15-0 | 0x0 | encrypt reg次低16位 |
|  | encrypt\_reg4 | RW | 15-0 | 0x0 | encrypt reg最低16位，与前面的三个寄存器组成64为的固件设置给FPGA的加密寄存器 |

# 修订历史

|  |  |  |  |
| --- | --- | --- | --- |
| 版本 | 日期 | 修改 | 作者 |
|  | 2013-8-12 | 草稿，确定总体设计框架 | 宋伟铭 |