文件编号：

模板版本：

Spi\_slave详细说明书（FPGA）

制定：邢海涛

审核：

批准：

中国大恒（集团）有限公司北京图像视觉技术分公司

2015年02月15日

|  |
| --- |
| 文件状态： [ ]草稿 [√ ]正式发布[ ]正在修改 |

**版本历史**

|  |  |  |  |
| --- | --- | --- | --- |
| 版本号 | 日期 | 撰写人 | 变更内容 |
| V1.0.0 | 2015-02-15 | 邢海涛 | 初稿 |
| V1.0.1 | 2015-02-16 | 邢海涛 | 修改设计方案部分 |
| V1.0.2 | 2015-05-06 | 邢海涛 | 添加测试结论 |
| V1.0.3 | 2015-05-07 | 邢海涛 | 添加采样时钟是100MHz，SCK最大频率的分析 |
| V1.0.4 | 2015-06-03 | 邢海涛 | 完善了Spi读时序，时钟最后的一个下降沿的波形 |
|  |  |  |  |

目录

[1. Spi\_slave模块规格指标（Module Features） 4](#_Toc418759576)

[2. Spi\_slave模块方案设计（Module Designs） 5](#_Toc418759577)

[2.1. Motorola SPI协议分析 5](#_Toc418759578)

[2.1.1. 时钟极性和时钟相位 5](#_Toc418759579)

[2.1.2. SPI FLASH 7](#_Toc418759580)

[2.1.3. 协议分析总结 9](#_Toc418759581)

[2.2. MER-U3 SPI协议分析 9](#_Toc418759582)

[2.3. 3014专用SPI波形分析 11](#_Toc418759583)

[2.4. Spi slave 模块设计 12](#_Toc418759584)

[2.4.1. 模块端口 12](#_Toc418759585)

[2.4.2. 采样时钟约束 12](#_Toc418759586)

[2.4.3. 设计方案 14](#_Toc418759587)

[3. 模块测试项（Module Testings） 15](#_Toc418759588)

[3.1. 详细设计测试规格 15](#_Toc418759589)

[4. 系统测试传递测试项（可选） 17](#_Toc418759590)

[5. 重点测试项（可选） 17](#_Toc418759591)

[6. 单元测试结果（Module Testings Result） 18](#_Toc418759592)

[6.1. 详细设计中的测试规格 18](#_Toc418759593)

[7. 附录（可选） 20](#_Toc418759594)

# Spi\_slave模块规格指标（Module Features）

见FPGA概要设计说明书5.4.4章节

# Spi\_slave模块方案设计（Module Designs）

## Motorola SPI协议分析

SPI协议由Motorola公司开发，是一个4线的串行通信协议，多用于控制器和外设之间的通信。在相机中MCU和FPGA之间的通信也大多采用SPI的方式。该接口一般使用4条线：串行时钟线（SCK）、主机输入/从机输出数据线MISO、主机输出/从机输入数据线MOSI和低电平有效的从机选择线CS。

SPI接口进行同步串行数据传输，在主器件发送的时钟脉冲下，数据按位传输，为全双工通信。3014的SPI控制器也是遵循Motorola的协议。

### 时钟极性和时钟相位

SPI协议可配置时钟极性和数据相位，CPOL代表时钟极性CPHA代表时钟相位。

|  |
| --- |
| Figure 2‑1 协议对时钟极性、时钟相位的解释 |

CPOL表示在SPI空闲的时候，时钟线的电平状态。当CPOL=1时，在SPI空闲状态SCK=1；当CPOL=0时，在SPI空闲状态，SCK=0。

CPHA表示时钟的采样位置。当CPHA=1时，在时钟的偶数边沿采样。当CPHA=0时，在时钟的奇数个上升沿时采样。

|  |
| --- |
| Figure 2‑2 SPI CPHA=0时的波形 |

当CPHA=0时，在时钟的奇数个边沿采样。如果CPOL=0，则会在SCK的上升沿采样。如果CPOL=1，则会在SCK的下降沿采样。

|  |
| --- |
| Figure 2‑3 SPI CPHA=1时的波形 |

当CPHA=1时，在时钟的偶数个边沿采样。如果CPOL=0，则会在SCK的下降沿采样。如果CPOL=1，则会在SCK的上升沿采样。

### SPI FLASH

SPI FLASH中也有spi的从控制器，查阅了winbond的W25Q32FV数据手册和ST的M25P10数据手册，发现都是只能支持CPOL=0 CPHA=0、CPOL=1 CPHA=1这两种方式，在这两种方式下，都是在SCK的上升沿采样。

|  |
| --- |
| Figure 2‑4 winbond W25Q32FV write disable |

|  |
| --- |
| Figure 2‑5 winbond W25Q32FV read status |

|  |
| --- |
| Figure 2‑6 ST M25P10 write disable |

|  |
| --- |
| Figure 2‑7 ST M25P10 read status |

### 协议分析总结

为了简化设计，不需要支持4种SPI的时钟极性和时钟相位，只需要和spi flash一样，在SCK的上升沿采样即可。

## MER-U3 SPI协议分析

Mer-U3项目中，3014与FPGA之前的通信采用SPI的方式，FPGA和SPI FLASH共用SPI总线，因此FPGA的spi slave控制器需要与SPI FLASH的控制器类似。

Mer\_U3项目中规定，其中第1个byte是控制命令，0x80表示写命令，0x81表示读命令。第2 3个byte表示读写的寄存器地址。

当写操作时，第4 5个byte表示要写入的数据。写操作期间MISO输出高阻。

|  |
| --- |
| Figure 2‑8 SPI写时序 |

当读操作时，第4 5个byte表示要写入的数据，MISO返回寄存器数据，MOSI上的数据无效。

|  |
| --- |
| Figure 2‑9 SPI读时序 |

当CS=1时，slave模块应立即停止工作，回到空闲状态。在空闲状态MISO一直是高阻。

## 3014专用SPI波形分析

|  |
| --- |
| F:\DAHENG\svn\rd_mer_u3\PD\Personal_Directory\jiangzhibin\Doc\调试项\pho\FLASH\BOOT_CS _CLK_FLASHDO_FDI.bmp  Figure 2‑10 SPI波形-黄CS-绿SCK-蓝FLASH DO-红-FLASH DI |

上图是3014用专用SPI与SPI FLASH通信的截图，时钟速率为10MHz左右，时钟占空比为50%左右，MOSI在SCK下降沿产生。但是CS与SCK之间间距很小，只有半个时钟周期。

## Spi slave 模块设计

### 模块端口

|  |
| --- |
| Figure 2‑11 spi\_slave模块端口 |

SPI\_SLAVE模块完成SPI串行协议解析的任务，输出并行的读写信号，交给下级的寄存器读写模块。寄存器模块输出各自时钟域的读数据和选择信号。

### 采样时钟约束

在本项目中采用主时钟过采样的方式提取出时钟和数据的边沿，在SCK的上升沿接收数据，在SCK的下降沿发出数据。

|  |
| --- |
| Figure 2‑12 3014的SPI时序    Figure 2‑133014的SPI时序参数 |

采样时钟对SCK过采样，提取出上升沿和下降沿，至少三次采样才能确定出上升沿和下降沿。3014的建立时间最少是8ns，为了使3014准确接收，建议建立时间在15ns以上。在MER\_U3项目中，SCK时钟最大是10MHz，占空比50%，SCK电平的最小值是50ns，采样时钟最大周期=(50-15)/3=11.667ns，频率最小是86MHz。

如果采样时钟是100MHz，那么SCK的电平的最小值是 10ns\*3+15=45ns，即SCK的最大频率是11MHz。如果3014的建立时间是8ns，则SCK的电平的最小值是 10ns\*3+8=38ns，即SCK的最大频率是13MHz。因此，当采样频率是100MHz的时候，SCK不能超过13MHz，最好在11MHz之内。

### 设计方案

#### 写寄存器

|  |
| --- |
| Figure 2‑14 SPI写时序内部波形 |

在SPI写操作中，将数据发送完之后，产生写信号、写地址和写数据，为了保证后面各个时钟域都能准确采样到写信号，需要将写信号展宽。在MER-U3项目中，时钟最小是40MHz，因此将写信号展宽到200ns以上即可。

#### 读寄存器

|  |
| --- |
| Figure 2‑15 SPI读时序波形 |

|  |
| --- |
| Figure 2‑16 SPI读时序内部波形 |

Mer\_reg模块针对每个时钟域都生成了一组读数据和读选择信号，当SCK下降沿时，Spi\_slave模块判断哪一个时钟域的选择信号有效，就将哪一个时钟域的数据锁存到内部的移位寄存器上。

# 模块测试项（Module Testings）

## 详细设计测试规格

* **o\_mosi**

| **指标** | | **1** | **2** |
| --- | --- | --- | --- |
| **相关输入信号** | i\_spi\_cs | 1 | 0 |
| 读命令 | X | X |
| **输出** | o\_spi\_miso | 高阻 | 输出 |

1. 当片选无效时，输出高阻
2. 当片选有效且读命令通过时，在输出数据的阶段，将寄存器数据依次移位输出
3. 如果地址不在FPGA寄存器列表范围，默认输出全1

* **o\_wr\_en**

| **指标** | | **1** | **2** |
| --- | --- | --- | --- |
| **相关输入信号** | 写命令 | 0 | 1 |
|  |  |  |
| **输出** | o\_wr\_en | 0 | 1(200ns) |

1. 当SPI不是写操作时，o\_wr\_en输出0
2. 当SPI是写操作时，o\_wr\_en输出1，保持200ns以上后，返回0

* **ov\_wr\_data**

| **指标** | | **1** | **2** |
| --- | --- | --- | --- |
| **相关输入信号** | o\_wr\_en | 0 | 1 |
|  |  |  |
| **输出** | o\_wr\_data | 0 | 写数据 |

1. 当o\_wr\_en=0时，ov\_wr\_data=0
2. 当o\_wr\_en=1时，ov\_wr\_data=SPI的写数据

* **o\_rd\_en**

| **指标** | | **1** | **2** |
| --- | --- | --- | --- |
| **相关输入信号** | i\_spi\_cs | 1 | 0 |
| 读命令 | X | 1 |
| **输出** | o\_rd\_en | 0 | 1 |

1. 当片选无效时，o\_rd\_en=0
2. 当片选有效且SPI是读操作时，o\_rd\_en输出1

* **ov\_addr**

| **指标** | | **1** | **2** | **3** |
| --- | --- | --- | --- | --- |
| **相关输入信号** | o\_wr\_en | 0 | 1 | 0 |
| o\_rd\_en | 0 | 0 | 1 |
| **输出** | o\_addr | 0 | 写地址 | 读地址 |

1. 当o\_wr\_en=0且o\_rd\_en=0时，ov\_addr=0
2. 当o\_wr\_en=1且o\_rd\_en=0时，ov\_addr=SPI的写地址
3. 当o\_wr\_en=0且o\_rd\_en=1时，ov\_addr=SPI的读地址
4. FPGA内部逻辑保证读写使能不同时=1

系统测试传递测试项（可选）

无

重点测试项（可选）

1. 与mer\_reg的配合，要能够正确读写数据
2. Miso线的高阻操作

# 单元测试结果（Module Testings Result）

| 编号 | 测试项 | 对应TESTCASE | 优先级 | 测试结论 |
| --- | --- | --- | --- | --- |
| 1 | o\_mosi | 多个 | 必测 | 通过 |
| 2 | o\_wr\_en | 多个 | 必测 | 通过 |
| 3 | ov\_wr\_data | 多个 | 必测 | 通过 |
| 4 | o\_rd\_en | 多个 | 必测 | 通过 |
| 5 | ov\_addr | 多个 | 必测 | 通过 |

注：测试结论没有问题写通过，有问题描述问题现象

## 详细设计中的测试规格

* **o\_mosi**

| **指标** | | **1** | **2** |
| --- | --- | --- | --- |
| **相关输入信号** | i\_spi\_cs | 1 | 0 |
| 读命令 | X | X |
| **输出** | o\_spi\_miso | 高阻 | 输出 |
| **对应testcase** | 多个 |  |  |
| **优先级** | 必测 |  |  |
| **测试结论** | 通过 |  |  |

测试结论以下相同

* **o\_wr\_en**

| **指标** | | **1** | **2** |
| --- | --- | --- | --- |
| **相关输入信号** | 写命令 | 0 | 1 |
|  |  |  |
| **输出** | o\_wr\_en | 0 | 1(200ns) |

1. 当SPI不是写操作时，o\_wr\_en输出0
2. 当SPI是写操作时，o\_wr\_en输出1，保持200ns以上后，返回0

* **ov\_wr\_data**

| **指标** | | **1** | **2** |
| --- | --- | --- | --- |
| **相关输入信号** | o\_wr\_en | 0 | 1 |
|  |  |  |
| **输出** | o\_wr\_data | 0 | 写数据 |

1. 当o\_wr\_en=0时，ov\_wr\_data=0
2. 当o\_wr\_en=1时，ov\_wr\_data=SPI的写数据

* **o\_rd\_en**

| **指标** | | **1** | **2** |
| --- | --- | --- | --- |
| **相关输入信号** | i\_spi\_cs | 1 | 0 |
| 读命令 | X | 1 |
| **输出** | o\_rd\_en | 0 | 1 |

1. 当片选无效时，o\_rd\_en=0
2. 当片选有效且SPI是读操作时，o\_rd\_en输出1

* **ov\_addr**

| **指标** | | **1** | **2** | **3** |
| --- | --- | --- | --- | --- |
| **相关输入信号** | o\_wr\_en | 0 | 1 | 0 |
| o\_rd\_en | 0 | 0 | 1 |
| **输出** | o\_addr | 0 | 写地址 | 读地址 |

1. 当o\_wr\_en=0且o\_rd\_en=0时，ov\_addr=0
2. 当o\_wr\_en=1且o\_rd\_en=0时，ov\_addr=SPI的写地址
3. 当o\_wr\_en=0且o\_rd\_en=1时，ov\_addr=SPI的读地址
4. FPGA内部逻辑保证读写使能不同时=1

附录（可选）

**问题1：FPGA\_spi\_slave\_单元测试问题：访问未定义地址返回数据问题**

问题现象：

当spi读fpga中未定义的地址时，返回的是上一次数据，这样不太好，应该返回0值

解决方法：

修改spi\_slave模块，当访问了未定义地址时，数据赋值全零

**问题2：FPGA\_ctrl\_channel\_单元测试问题：spi clk 10MHz读vendor id有问题**

问题描述：

spi clk 10MHz的时候，读不到vendor id寄存器的数值。

解决方法：

bug原因是spi slave模块的采样时钟是72MHz的clk\_pix，而不是100MHz的clk\_gpif。修改之后，就可以顺利读出vendor id寄存器了