□□□□□□□

□□□ - 202432466@mail.sdu.edu.cn

□□□□□□□□□□□

□□

□□□□□□

1. □□□/□□□□□□
2. □□□□□□
3. □□□□□
4. □□□
5. □□□□□□□□□

□□□□□□

□□□□□

1. □□□□
2. □□□□
3. □□□□□□□□
4. □□□
5. □□□□□□□□□□□□□□□□□□□□□□□□□□□

□□□□□

1. □□□□
2. □□□□

□□□□□□□

□□□

□□	□□
□□□□□□□	□□□□□□□□□□□□□□□□□
□□□□□□	□□□□□□□□□□□□□□□□□
□□□□□□	□□□□□□□□□□□□□□□□□GPU□□□□□□□□□□□

□□	□□
□□□□□□□□□	□□□□□
□□□□□□□	□□□□□□□□□□□
□□□□	□□□□□□□□
□□□□□□□	□□□□□□□□□□□□□□

□□□□□□□□□□

□□□□□□

□□

□□□□□□□□

□□□□□□□□□□□□□

□□□□□	□□
□□□□	□□□□□□□□□□□□□□□□□□□□□□□
CPU□□□□	□□□CPU□□□□□□□□□□□□CPU□□□□□CPU□□□□
□□□□□	□□□□□□□□□□□□□□□□□

CPU□□□□□□□□□

> □□□CPU□□□□ = □□□CPU□□□ $\times$ □□□□□

□□□□

> CPU□□□□□ = □□□□□□ $\times$ □□□□□□□□CPI□

□□CPU□□□□

> CPU□□ = □□□ $\times$ □□□□□□□□CPI□$\times$ □□□□□

□□□□□□□□□□□

□□□□	□□□□□	□□□□□□□□□□□□□
	□□□□□□	□□□□□□□
□□□□□	SPECRatio = $\frac{□□□□□□□□□}{□□□□□□□□□}$	

□□□□□□□□

1. □□
2. □□□
3. □□□

□□□□

□□□□□□□□□□□□□□□

□□□□

□□□□

□□□□□□□□□

□□□lui□□

□□□□□□□

□□□□□□□□□

□□□□□□

- □□
- □□
- □□□□
- □□□
- □
- □□
- □□

□□□□

□□□□□□□□□□□beq□bne□□□□□□□□□□□□□□□□if□

□□□□□□

```
// □□rs1□□□□rs2□□□□□□□□□PC□□□□□□L1□
beq rs1, rs2, L1

// □□rs1□□□□rs2□□□□□□□□□PC□□□□□□L2□
```

```
bne rs1, rs2, L2
```

□□

```
// rs1□□□□□□□rs1□□10□□□□□□
addi rs1, rs0, 1
addi rs2, rsr0, 10
Loop:
addi rs1, rs1 ,1
beq rs1, rs2, Exit
j Loop
Exit:
//□□□□
```

case/switch□□

□□□□□□

1. □case/switch□□□□□□if-then-else□□□
2. □□□□□□□□□□□□□□□□□□□□□□□□□□□□□□□□□□

□□□□□□□□□□□□□□

□□□□□□□□□□□6□□□□□ 1. □□□□□□□□□□□□□□□□□□ 2. □□□□□□□□□□□□□□□□ 3. □□□□□□□□□□□□□□ 4. □□□□ 5. □□□□□□□□□□□□□□□□□□ 6. □□□□□□□□□□

□□

□□

□□□□□□□□□

□□□□

□□□□□□□□□□□□

□□□□□□□□□□□□

□□□□□□□□□□

1. □□□□□□□□□□□□□□□□□□□□□
2. □□□□□□□□□□□□□□□□□□□□□□□□□□□□□□□□

□□□□□□□

□□□	□□□□□□□□□□□□□□□□□
□□□	□□□□□□□□□□□□□□□□□□□□□□□□□□□□□□□□□□□□□□□
□□□	□□□□□□□□□□□□□□□□□□□□□□□□□□□□□
□□□	□□□□□□□□□□□□

□□□□□

> **NOTE** | □□□□□□,□□□□□.

□□□□□□□□□

□□□□

- □□□□□
- □□
  - □□□□□□□□□□□□
  - □□□□□
  - □□□□
  - RISC-V□□□□
- □□
  - □□□□□□□□□
  - □□□□□□
  - □□□□
  - RISC-V□□□□
- □□□□
  - □□□□
  - □□□□□
  - IEEE754□□□□□
  - □□□□
  - □□□□
  - RISC-V□□□□□□
  - □□□□

正式的架构设计文档

设计一种可以用硬件实现的，具有现代特征的，精简指令集处理器。

特征表

设计亮点及特征

指令集架构自主设计

三级流水

前瞻设计

工作列表

设计规范

采用具有基本完备的运算指令，且具有一定的指令集并行（ILP）。

完整的逻辑编写，规范的代码注释，体现良好的编写习惯，以及完整的文档撰写说明。

良好的代码的版本迭代管理

部分模块编写单元级测试

给出模块功能展示及演示功能展示

评分标准

等级一	完整实现，带有良好的编码注释和习惯
等级二	完整实现，代码具有良好的编写习惯，带有部分单元级测试，并具有完整的文档撰写以及演示功能
等级三	完整实现，代码具有良好的编写习惯，具有完整的单元级测试，并具有完整的文档撰写以及演示功能

参考

RISC-V开放指令集架构的设计参考

处理器架构设计方法

□□□□□□□

□□□

- □□□□□
- □□□□□□□
- □□□□□□□□□□□□□□□□
- □□□□□□□□□□□□□□□□□□□
- □□□□□□□□□□□□□

□□□□□□

□□□□□□□□

- SRAM□□
- DRAM□SDRAM□□
- □□□□□
- □□□□RAM
- □□□□□□□DRAM
- □□□□□□□

□□□□□□□□□□□

□□□

□□□	□□□
□□□	□□ □□□□□□□□□□

□□□□

Table 1. □□□□□□□□□□□□□

□□	□□□□
□□□□	□□
□□□	□□□□□□□□□□□
□□□	□□□□cache□□

□□□□

□□□□

□□□□

□□□□□

□□□□

3C□□

cache□□□□□

□□□□□□

□□□□□□□□□□□□

□□□□□□□□□□□□□□cache

□□□□□□□□□□

□□□

□□□VMM□□□□□□□□□□□□□□□□□□□□□□□□□

□□□□□□□□□□□□□

□□□□□□□□□□□□TLB□

□□□□□□□□□□□□□□□

□□□□□□□□□□□□

□□□□□□□□□□□□

□□□□□□□□□□□□□□□

□□□□□□□□□□□I/O□□□□

□□□□□□

□□□□□

□□□□□□□□SIMD□□

□□□□□□

□□□□□□□□□□□

□□□□□□

□□□□□□□□□□SIMD□

□□□□□□□

□□□□□□□□□□

□□

□□□□□□Predicate Registers□

□□□□□□□□□□□□□□□□□□□□□□□□□□□□□

□□□

□□

□□□□□□□□□□□□

□□□□□□□□

□□□□□

GPU□□

> **NOTE** | □□□□□□□□□□,□□□□□□TODO,□□□□.

- NVIDIA GPU□□
- □□□□□□□□SIMD□□□□□□□□□□□□□□□□□□□□□□□□□□□□□□□□□□□□
- □□□□□□□□□□□□□□□□□□

□□□□□□□□□□□

□□□□

□□□□□□

□□□□□

□□□□□□□□□□□□□□□□□□□□□□□□□□□□

□□□□□□□□□□□□□□□□□□1.□□□□□□□□□□□□□□□□□□□/□□□□□□□□□□2.□□□□□□□□□□□□□□□□□□□□□□□□□□□□□□□□

□□□□□□□□

□□□/□□□□□□□□□□□□

□□□□□□□□□□□□□□□□□

□□□□□□□□□□□□□□CPU□□□

□□□□□□□□□□□□□

□□□□□□□□□□□

□□□□□□□

□□□□□□□□□

□□□□□□□□□□□□□□□□□□□

□□□□□□□□□

□□□/□□□□□□□□□□□□□□□

□□□

□□□□□□□□□□□□□

□□□□□□□□□□□□□□□□□□

□□□□□□□□□□□□□

□□□/□□□

□□

□□□□□□□□□

□□

□□

□□□	□□□ □□□□□□□□□□□
□□□	□□□□□□□□□□□□

□□□□□□

□□□□

□□□

□□□□□□□

□□□

□□□CPU□□□□□□□□□□□□□□□□□□□□□□□□□□□□□□□□□

□□□□□□

□□□□□□□□□

□□□□□□□□□

□□□

□□

	□□□□□	□□ □□□□□□□□□□□
□□□□□□□	□□□□□□□□□□□□□□□□	□□□□W → R□□□□□□□□□□□□□□□□□
	□□□□□□□	□□□W → R□W → W□□□
	□□□	□□□□□□□□□□
	□□□□□	□□ □□□S_A□□□□□□□□□□□□□□□□□□□□□□□□□□□□□□□□□□□□□□□ □□□□□S_R□

□□□□□□

□□□□□□□□□□□□□

- □□□□
- Roofline□□

基于Opteron处理器

仓库级计算机（WSC）

在本章中，与HPC集群相比，我们着重讲解WSC的··

计算机体系结构我们关注的是主要

仓库级计算机设计师的目标是

总结

WSC的编程模型和

仓库级计算机的架构

计算WSC的成本

WSC的成本

相关的存储器和磁盘设备

阵列交换机的

···

DSA架构简介

深度神经网络的基本原理

NOTE··················.·················,·················

- 一一
  - DNN的基本原理
  - 批归一化层
  - 卷积神经网
  - 全连接
  - 权重
- 深度学习
  - 激活函数层层