



UNIVERSIDAD
NACIONAL
DE LA PLATA

Proyecto Final

**Sistemas Híbridos de Almacenamiento No Convencionales
Orientados a Aplicaciones Móviles**

Alex Benjamín Gubkien

Director: Jerónimo José Moré

Co-Director: Paul Puleston

Instituto LEICI, Departamento de Electrotecnia, Facultad de Ingeniería

*A mi familia, por ser mi pilar emocional durante la carrera,
y especialmente en este tramo final.*

*A mis amigos de la facultad, por hacerme sentir parte de un hermoso grupo,
y siempre pasar por los momentos más difíciles de este recorrido juntos.*

*A toda la gente del LEICI que formó parte de este trabajo,
y me trataron como si fuese parte de la familia.*

Resumen

Un sistema híbrido de almacenamiento de energía consiste en dos o más tipos de tecnologías de almacenamiento de energía, usualmente incluyendo baterías, supercapacitores, y pilas de combustible. Las características complementarias de estos sistemas híbridos hacen que superen a cualquier dispositivo de almacenamiento de energía individual, dependiendo de los requerimientos energéticos de la aplicación en distintos escenarios o bajo ciertas condiciones. Para resolver las limitaciones opuestas de las baterías y supercapacitores (la baterías posee una alta densidad energética pero baja densidad de potencia, mientras que los supercapacitores poseen una baja densidad energética pero una alta densidad de potencia) un sistema híbrido compuesto por estos dos dispositivos y un convertidor electrónico CC-CC es propuesto. El propósito de este trabajo es la combinación de ambos elementos junto a la implementación de un sistema de control de tensión individual a cada dispositivo.

Abstract

A Hybrid Energy Storage System (HESS) consists of two or more types of energy storage technologies, mostly including batteries, supercapacitors, and fuel cells. The complementary features of HESS make it outperform any single energy storage device depending on the application energy requirements in different scenarios or conditions. To overcome the opposing limitations of batteries and supercapacitors (the battery has relatively high energy density but low power density, as compared to the supercapacitor), a battery-supercapacitor HESS with a DC-DC converter is proposed. The purpose of this work is the combination of both elements along with the implementation of a voltage control system for each one of the devices.

Índice general

Introducción	9
1. Sistemas de almacenamiento	11
1.1. Introducción	11
1.2. Supercapacitores	11
1.2.1. Clasificación y principio básico de funcionamiento	11
1.2.2. Aplicaciones	12
1.2.3. Bancos de supercapacitores	12
1.3. Baterías de ión de litio	14
1.3.1. Principio básico de funcionamiento	14
1.3.2. Características constructivas	14
1.3.3. Baterías de litio-ferrofósfato	14
1.3.4. Proceso de carga y descarga	15
1.3.5. Aplicaciones	15
1.3.6. Diferencias con los supercapacitores	17
1.4. Sistemas híbridos de almacenamiento de energía	17
1.5. Resumen	17
2. Convertidores CC-CC	18
2.1. Introducción	18
2.2. Convertidores CC-CC conmutados	18
2.3. Convertidor elevador	19
2.3.1. Modo de conducción continua	19
2.3.2. Modo de conducción discontinua	22
2.3.3. Convertidor elevador bidireccional en corriente	23
2.4. Resumen	24
3. Field-programmable gate arrays	26
3.1. Introducción	26
3.2. Arquitectura	26
3.2.1. Bloques lógicos	26
3.2.2. Integración	27
3.3. Lenguajes de descripción de hardware	27
3.3.1. Verilog	28
3.3.2. VHDL	28
3.4. Entornos de desarrollo	29
3.4.1. Intel Quartus Prime	29
3.4.2. Xilinx ISE	29
3.5. Resumen	30
4. Diseño de la etapa de control	31
4.1. Introducción	31
4.2. Modelo lineal del convertidor	31
4.2.1. Dinámica del convertidor	31
4.2.2. Parametrizado mediante ciclo de trabajo	32
4.2.3. Promediado del sistema de ecuaciones	32
4.2.4. Linealización del sistema de ecuaciones	33

4.3. Diseño del sistema de control	34
4.3.1. Diseño del lazo interno de corriente	36
4.3.2. Diseño del lazo externo de tensión	42
4.4. Resumen	45
5. Implementación de la etapa de control	46
5.1. Introducción	46
5.2. Placa de desarrollo a utilizar	46
5.3. Implementación de la etapa de control	46
5.3.1. Conversor analógico-digital	46
5.3.2. Filtro digital	48
5.3.3. Controlador proporcional-integral	49
5.3.4. Referencia	50
5.3.5. Controlador PWM	50
5.4. Implementación de módulos auxiliares	50
5.4.1. Display de siete segmentos	50
5.4.2. Botones de selección y referencia	50
5.4.3. Llaves de habilitación	51
5.4.4. Comunicación UART	51
5.5. Construcción del sistema de control	51
5.6. Resumen	52
6. Ensayos y resultados experimentales	53
6.1. Introducción	53
6.2. Con fuente de potencia	53
6.2.1. Lazo de control de corriente	53
6.2.2. Lazo de control de tensión	54
6.3. Con supercapacitores	55
6.3.1. Supercapacitores del lado de baja tensión	55
6.3.2. Supercapacitores del lado de la carga	56
6.4. Con fuente de potencia y supercapacitores	58
6.5. Resumen	62
Conclusiones	63
A. Error de representación de datos	64
Referencias	66

Índice de figuras

1.1. Diagramas esquemático de los distintos tipos de supercapacitores. (a) EDLC (b) Pseudocapacitor (c) Híbrido.	12
1.2. Diagrama circuital del balanceo mediante MOSFET.	13
1.3. Partes de una batería de ión-litio.	14
1.4. Megapack de Tesla, un producto estacionario de almacenamiento de energía a gran escala.	15
1.5. Flujo de la energía en un vehículo eléctrico.	16
1.6. Curvas de crecimiento de la generación de energías renovables.	16
1.7. Diagrama de Ragone.	17
2.1. Un convertidor conmutado CC-CC básico y su equivalente de conmutación.	18
2.2. Tensión de salida del circuito de la Figura 2.1.	19
2.3. Convertidor elevador.	19
2.4. Formas de onda de un convertidor elevador.	20
2.5. Formas de onda de un convertidor elevador en MCD.	22
2.6. Tensión de salida de un circuito elevador.	23
2.7. Convertidor elevador bidireccional en corriente.	23
2.8. Sistema eléctrico de un vehículo híbrido.	24
2.9. Vista 3D del convertidor DC-DC utilizado en el proyecto.	24
3.1. Arquitectura básica de un FPGA.	26
3.2. Ilustración simplificada de una celda lógica.	27
3.3. Spartan-6 de Xilinx en la placa de desarrollo Nexys 3.	27
3.4. Asociación entidad-componente-arquitectura de un modelo.	28
4.1. Convertidor elevador bidireccional en corriente.	31
4.2. Ilustración del lazo de control de tensión propuesto.	35
4.3. Ilustración del lazo de control de corriente.	36
4.4. Diagrama en bloques de un controlador PID.	37
4.5. Lazo de control de corriente con filtro pasa-bajo.	39
4.6. Primer simulación del lazo de control de corriente.	39
4.7. Sintonización del PI mediante herramientas de Simulink®.	40
4.8. Simulación real del lazo de control de corriente.	40
4.9. Formas de onda obtenidas en la simulación del lazo de control de corriente.	41
4.10. Corriente del inductor alrededor del entorno del escalón unitario de corriente.	41
4.11. Ilustración del lazo de control de tensión.	42
4.12. Simulación real del lazo de control de tensión.	43
4.13. Formas de onda obtenidas en la simulación del lazo de control de tensión.	44
4.14. Bloques reemplazados para simular una variación de carga.	44
4.15. Formas de onda obtenidas en la simulación de una variación de la resistencia de carga.	45
5.1. Placa de desarrollo Nexys 3.	46
5.2. Diagramas de los circuitos del Pmod y ADCs.	47
5.3. Diagrama de tiempos del AD7476A.	47
5.4. Simulación realizada del controlador de los conversores.	47
5.5. Implementación del filtro en Simulink®.	48
5.6. Simulación realizada del filtro digital.	49
5.7. Implementación del controlador PI en Simulink®.	49

5.8. Simulación realizada del controlador proporcional-integral.	49
5.9. Simulación realizada del controlador PWM.	50
5.10. Diagrama de tiempos del protocolo de comunicación UART.	51
5.11. Diagrama RTL del lazo de tensión.	52
6.1. Resultados de los ensayos del lazo de corriente.	54
6.2. Resultados de los ensayos del lazo de tensión.	54
6.3. Diagrama del sistema con el banco de supercapacitores como fuente de energía.	55
6.4. Tensión de carga y corrientes con un variación de resistencia de carga.	56
6.5. Tensión de carga y corrientes con un variación de resistencia de carga.	56
6.6. Diagrama del sistema con el banco de supercapacitores como carga.	57
6.7. Formas de onda obtenidas en la simulación del lazo de control de corriente.	57
6.8. Formas de onda obtenidas con un salto positivo de resistencia.	58
6.9. Diagrama del sistema con fuente de potencia y banco de supercapacitores.	59
6.10. Foto de la configuración del sistema híbrido eléctrico.	59
6.11. Tensiones y corrientes en la carga del banco de supercapacitores.	60
6.12. Tensiones y corrientes en la carga del banco de supercapacitores.	60
6.13. Corrientes de fuente de potencia y del banco con saltos de resistencia de carga.	61
6.14. Tensiones de fuente de potencia y del banco con saltos de resistencia de carga.	61
6.15. Formas de onda con variaciones de tensión de banco y resistencia de carga.	62
A.1. Acción de control y tensión de carga con distinta distribución de cantidad de bits para representación de punto fijo.	64
A.2. Overflow del integrador y su impacto en la acción de control.	65
A.3. Integrador y acción de control con clamping.	65

Índice de cuadros

2.1. Parámetros eléctricos del convertidor CC-CC.	25
2.2. Componentes eléctricos del convertidor CC-CC.	25
4.1. Punto de trabajo alrededor del cual se linealiza el convertidor.	36

Introducción

La industria automotriz se ha convertido en una de las industrias más importantes a nivel mundial, no solo económicamente, pero también por su impacto en el sector de investigación y desarrollo. Cada vez más elementos tecnológicos son introducidos en vehículos con el fin de mejorar la seguridad de los pasajeros y peatones. Además, hay una cantidad cada vez mayor de vehículos en las calles, lo que nos permite movernos de forma rápida y cómoda. Sin embargo, esto ha generado un aumento dramático de los niveles de contaminación en el aire en zonas urbanas (por ejemplo, de partículas finas, óxidos de nitrógeno, monóxido de carbono, dióxido de azufre, etc.).

Asimismo, y según un reporte de la Unión Europea, el sector de transporte es responsable de casi un 24 % del total de emisiones de dióxido de carbono (CO_2), mientras que el subsector de transporte por calle comprende un 74 % de ese porcentaje. Por lo tanto, las autoridades de las naciones más desarrolladas están alentando el uso de vehículos eléctricos (EVs, del inglés *Electric Vehicles*) para disminuir la concentración de contaminantes en el aire, CO_2 , así como otros gases de efecto invernadero. Los EVs ofrecen las siguientes ventajas sobre los vehículos tradicionales:

- Cero emisiones: Este tipo de vehículos no emiten contaminantes de tubo de escape, CO_2 , ni dióxido de nitrógeno (NO_2). Además, los procesos de manufacturación tienden a ser más cuidadosos con su impacto al medio ambiente, aunque la fabricación de baterías afecta negativamente a su huella de carbono.
- Simpleza: El número de elementos que compone al motor de un vehículo eléctrico es menor, lo que se traduce a un mantenimiento más barato. Los motores son más pequeños y compactos, no necesitan refrigeración, y no son necesarios elementos que reduzcan el ruido generado por este. Este tipo de motores no sufren del desgaste causado por las combustiones internas, vibraciones, o corrosiones debido al combustible provocadas en un motor tradicional.
- Coste: El costo de mantenimiento del vehículo y el costo de la cantidad de electricidad requerida es mucho menor en comparación con los vehículos con motor de combustión interna. El coste de energía por kilómetro es mucho más bajo en EVs que en vehículos tradicionales.
- Eficiencia: Los vehículos eléctricos convierten hasta más del 77 % de la energía eléctrica de la red en potencia en las ruedas. Los vehículos convencionales son capaces de sólamente aprovechar un 12 % a un 30 % de la energía almacenada en su combustible. [12]

Estos vehículos eléctricos deben poseer un sistema de almacenamiento de energía con alta densidad de energía másica para permitir una distancia de manejo larga, y alta densidad de potencia másica para la aceleración, frenado y manejo en ascenso. Sin embargo, las baterías actuales no pueden satisfacer ambos requerimientos al mismo tiempo. Por lo tanto, es necesario crear un sistema que reúna dos o más dispositivos cuyas características cumplan al menos una necesidad de los EVs. [20]

Combinar componentes en sistemas híbridos para aprovechar los beneficios de cada parte siempre fue una perspectiva atractiva. En los últimos años, varios proyectos han sido exitosos en construir estos sistemas híbridos de almacenamiento de energía para energía solar y eólica.

Aunque la idea no es nueva, la tecnología aún se encuentra en una fase temprana. Los sistemas híbridos de almacenamiento de energía (siglas HESS, del inglés *hybrid energy storage systems*) pueden referirse a distintos tipos de arreglos, con lo único en común siendo que dos o más tipos de almacenamiento de energía son combinados para formar un único sistema.

No existe una única solución ideal de almacenamiento de energía para cada aplicación existente, ya que los diseños en el mercado típicamente se dividen en dos: para aplicaciones de potencia (gran entrega de energía en cortas ventanas de tiempo), o para aplicaciones con gran densidad energética (baja y constante entrega de energía durante grandes períodos de tiempo).

Los HESS típicamente combinan estas soluciones para cumplir aplicaciones que requieren tanto una rápida respuesta energética, como una alimentación constante de ella. Estos sistemas híbridos pueden compartir la misma electrónica de potencia y hardware de conexión a la carga, reduciendo los costos iniciales y de mantenimiento.

En este contexto, este trabajo tiene por objetivo realizar un estudio de un tipo de sistema híbrido particular, en el cual se combinan baterías de litio y supercapacitores para aplicaciones móviles. En los primeros tres capítulos se brinda una introducción a los elementos fundamentales en los que se basa este trabajo: los sistemas de almacenamiento, los convertidores electrónicos CC-CC utilizados para poder crear el sistema híbrido, y finalmente la arquitectura digital utilizada para implementar el sistema de control. Luego, a partir de los requerimientos dados para el sistema, se diseña e implementa un sistema de control propuesto. Por último se realizan una serie de ensayos para corroborar el correcto funcionamiento del sistema a lazo cerrado de control.

Capítulo 1

Sistemas de almacenamiento

1.1. Introducción

En este primer capítulo se presentan de forma general los sistemas de almacenamiento utilizados en este trabajo: los supercapacitores y las baterías de litio. Se analizan sus principios de funcionamiento, distintas clasificaciones que existen de ambas (junto con sus diferencias constructivas) y las aplicaciones que poseen. Finalmente, se realiza una comparación entre ambos sistemas de almacenamiento en base a sus capacidades de almacenar energía y la rapidez con la que pueden entregarla.

Los supercapacitores son dispositivos de alta densidad mísica de energía comparados con los capactores electrolíticos convencionales, y pueden llegar a capacitancias de hasta 5000 F. Para aplicaciones en donde se necesita una cantidad de energía significativa en forma de pulso, los capactores tradicionales utilizados en circuitos electrónicos son incapaces de almacenar o entregar tal cantidad en el volumen y peso disponible. Estos dispositivos son utilizados en aplicaciones que demandan estas propiedades, tales como en el freno regenerativo o en la aceleración de vehículos.

Las baterías de ión de litio, también llamadas baterías Li-Ion, son un tipo de baterías recargables compuestas por celdas en las que los iones de litio se transfieren desde un electrodo negativo a uno positivo a través de un electrolito al ser descargadas, y viceversa al cargarse. Este tipo de baterías poseen una gran densidad mísica de energía, no poseen memoria¹, y su autodescarga es muy baja.

1.2. Supercapacitores

1.2.1. Clasificación y principio básico de funcionamiento

Debido a que existen distintos tipos de supercapacitores (clasificados por la forma de almacenar carga), las capacidades intrínsecas de estos dispositivos, mencionadas en la introducción de este capítulo, se dan de distinta manera en cada tipo de supercapacitor:

- Los **supercapacitores de doble capa electroestática (EDLCs)** almacenan carga electroestáticamente en una doble capa formada cerca de la interfaz electrodo-electrolito, y pueden ser cargados y descargados hasta 10^6 veces sin pérdida de densidad mísica de potencia. Utilizan electrodos de carbono o derivados con un alto grado de porosidad, lo que se traduce a un aumento importante en su área efectiva, y por ende logran una alta capacitancia.
- Los **pseudocapacitores electroquímicos** almacenan carga electroquímicamente vía inserción y absorción de los iones del electrolito a la superficie del electrodo junto a reacciones reducción-oxidación (redox) del almacenamiento de carga. Están construidos con electrodos de óxido o polímero conductor y su almacenamiento de cargas depende de los enlaces químicos que se generan entre el electrodo y el electrolito.
- Los **supercapacitores híbridos** combinan estas dos características y presentan tanto efectos pseudocapacitivos como electroestáticos.

¹La disminución de la energía utilizable, en relación a la almacenable, a lo largo de los ciclos de carga y descarga.

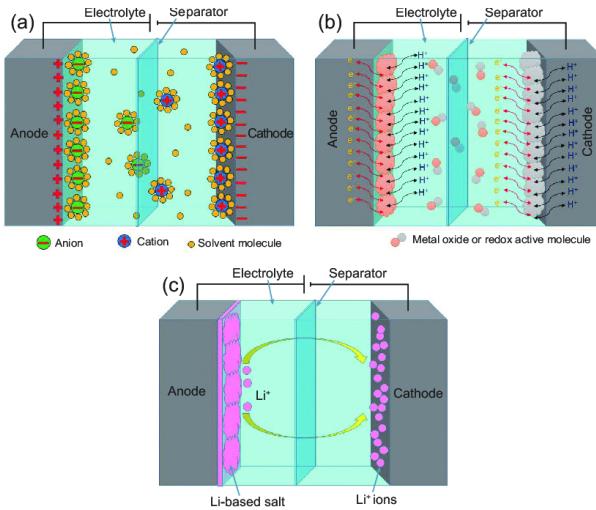


Figura 1.1: Diagramas esquemáticos de los distintos tipos de supercapacitores. (a) EDLC (b) Pseudocapacitor (c) Híbrido.

1.2.2. Aplicaciones

Los supercapacitores son deseados en aplicaciones en donde es necesaria una gran cantidad de potencia en una ventana de tiempo pequeña. Algunos ejemplos de estas aplicaciones son:

Búfer de energía para equipos de baja potencia

Los supercapacitores pueden utilizarse como una fuente de energía de respaldo para RAM, SRAM y microcontroladores en el caso de un apagado de emergencia. Las UPS (del inglés *uninterruptible power supplies*, sistemas de alimentación ininterrumpida) pueden ser alimentadas por supercapacitores, los cuales reemplazarían bancos de capacitores electrolíticos con mayores dimensiones físicas, y poseen un menor costo por ciclo, entre otras características que favorecen económicamente el uso de estos dispositivos.

Microrredes

Debido a que las microrredes generalmente son alimentadas con energía limpia y renovable, su producción no es constante a lo largo del día, y puede no llegar a igualar la demanda. El rol de los supercapacitores en una microrred en estos casos sería injectar potencia en forma casi instantánea cuando la demanda es alta y la producción es baja. En esta situación, los supercapacitores actúan de forma óptima como búfer en conjunto con baterías químicas (como por ejemplo, baterías de litio).

En todas estas aplicaciones y debido a sus bajos niveles de tensión, los supercapacitores son utilizados en *arreglos* o *bancos* para poder satisfacer los requerimientos de cada aplicación, los cuales pueden ser de tensión, corriente o energía eléctrica.

1.2.3. Bancos de supercapacitores

Un banco de supercapacitores se define como un arreglo de supercapacitores, agrupados de forma de poder ser incluidos en sistemas de mayor potencia, y satisfacer ciertos requerimientos que un solo supercapacitor no podría cumplir. Observando las ecuaciones de capacidad equivalente para distintos arreglos:

- Capacitor equivalente en serie:

$$\frac{1}{C_{eq}} = \sum_{n=1}^N \frac{1}{C_i} \quad (1.1)$$

- Capacitor equivalente en paralelo:

$$C_{eq} = \sum_{n=1}^N C_i \quad (1.2)$$

Dado que los valores de tensión que se manejan en sistemas de potencia son más elevados que los valores de tensión nominales de un solo supercapacitor, se coloca el número de elementos en serie que sea necesario hasta alcanzar el nivel de tensión requerido. Debido a que esto conlleva una disminución de la capacitancia del sistema, como puede observarse en la Ecuación 1.1 el arreglo utilizado para este trabajo consiste en un arreglo conformado por celdas tanto en paralelo como en serie para contrarrestar este efecto indeseado [5].

Inconvenientes

En supercapacitores que presentan elevados valores de capacidad, pequeños valores de tolerancia representan grandes variaciones de energía, y dentro de un mismo sistema, estas ligeras variaciones pueden significar la ruptura del material que aísla las cargas en un supercapacitor.

Uno de los primeros efectos que puede verse en un supercapacitor que trabaja por encima de su valor nominal es la evaporación interna de los materiales que componen el electrolito, generando un aumento de la presión dentro del dispositivo capaz de provocar un estallido, destruyendo el encapsulado y poniendo el riesgo la salud del operario. Para esto es necesario conocer los valores a los cuales trabajarán en un determinado sistema tanto el banco completo de supercapacitores como cada supercapacitor individualmente, y tener dichos valores controlados en pos de un sistema eficiente y seguro.

Es por este motivo que en el diseño del banco de supercapacitores se debe implementar un método de control en las tensiones de cada celda, ya que si nos encontramos con que una de las celdas tiene un bajo valor de capacidad respecto de las otras, éstas tendrán un alto valor de tensión en estado estacionario pudiendo sobrepasar la tolerancia máxima, culminando en la destrucción del sistema completo.

El banco de supercapacitores disponible en el instituto, y utilizado en este trabajo, posee un esquema de balanceo empleando transistores MOSFET, el cual es explicado a continuación.

Método de balanceo mediante MOSFET

Este control supone emplear las llaves MOSFET colocadas en paralelo con cada juego de supercapacitores. Las mismas aumentan su corriente exponencialmente a medida que aumenta la tensión del supercapacitor. En la Figura 1.2 puede observarse un diagrama del método.

Tiene un manejo más eficiente de la energía, debido a que con baja tensión en el supercapacitor, los valores de corriente a través de la llave son extremadamente bajos, y al llegar el supercapacitor a un estado de carga determinado, los valores de corriente a través de la llave contribuyen para ir progresivamente balanceando el conjunto de celdas, y llegar al estado de carga sin tener que descargar elevados valores de corriente.

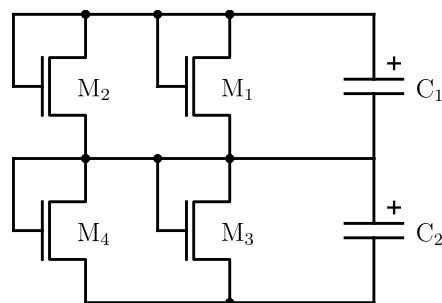


Figura 1.2: Diagrama circuital del balanceo mediante MOSFET.

En resumen, este método emplea MOSFET como resistencias variables para balancear los supercapacitores. De esta forma, si algún supercapacitor comienza a elevar su tensión respecto del resto de los elementos del banco, entonces su resistencia de descarga será menor, compensando selectivamente las diferencias en el banco.

1.3. Baterías de ión de litio

1.3.1. Principio básico de funcionamiento

Los reactivos en las reacciones electroquímicas de una celda de Li-Ión son el ánodo y cátodo, los cuales contienen átomos de litio. Durante la carga, iones Li^+ son generados por el electrodo positivo (el cual funciona como ánodo en este proceso), migran a través del electrolito y el separador poroso, y penetran el electrodo negativo (el cual funciona como cátodo), mientras los electrones circulan por el circuito externo. En el proceso, el electrodo positivo se oxida perdiendo electrones, y el electrodo negativo es reducido (reacción redox) capturando electrones.

1.3.2. Características constructivas

La gran ventaja de la tecnología de litio proviene del hecho de que Li es un metal liviano, y es el elemento más electropositivo² que se encuentra en la naturaleza (lo que hace que la tensión de sus baterías sea significativamente más alta que la de otras tecnologías). Además las baterías de Li-Ión son de bajo mantenimiento, lo cual es una ventaja que otros tipos de tecnología, como por ejemplo las baterías a base de níquel, no poseen. Las baterías de ión de litio pueden usar diferentes materiales como electrodos:

- La combinación más común es un cátodo de **óxido de litio cobalto** y un ánodo de **grafito**, utilizado mayormente en dispositivos electrónicos portables como celulares y notebooks.
- Otros materiales utilizados para el cátodo se tratan de **dioxido de litio-manganeso**, utilizado en automóviles híbridos y eléctricos, y **litio-ferrofósforo**.

Las baterías de litio utilizan ésteres (un tipo de compuesto orgánico) como electrolito. En el instituto se encuentran disponibles baterías de litio-ferrofósforo, las cuales se describen de forma más extensa a continuación.

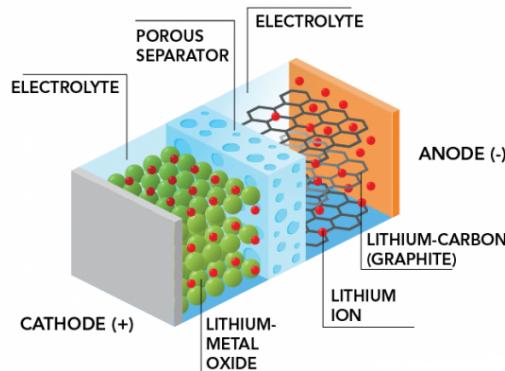


Figura 1.3: Partes de una batería de ión-litio.

1.3.3. Baterías de litio-ferrofósforo

Las baterías de litio-ferrofósforo (LiFePO_4 o LFP) son un tipo de baterías de Li-Ión que utilizan litio-ferrofósforo como material de cátodo, y grafita con respaldo metálico como ánodo. La densidad máscica de energía en una batería LFP es menor que la de otros tipos de baterías Li-Ión, y también posee una tensión nominal menor. Aún así, debido a su bajo costo, baja toxicidad (no posee cobalto), largo ciclo de vida y otros factores, las baterías LFP se están utilizando cada vez más en vehículos, aplicaciones estacionarias a gran escala, y sistemas de energía de emergencia.

Un ejemplo de este emergente uso de las baterías LFP se da en una de las empresas automotoras y de energía limpia más novedosas del mundo, *Tesla*, la cual anunció que cambiará las baterías de óxido de níquel-cobalto-aluminio (NCA), utilizadas en sus vehículos y aplicaciones estacionarias (como por ejemplo, el *Megapack* de la Figura 1.4), por este tipo de tecnología.

²La tendencia de un átomo de donar electrones y formar cationes positivamente cargados.



Figura 1.4: Megapack de Tesla, un producto estacionario de almacenamiento de energía a gran escala.

1.3.4. Proceso de carga y descarga

El proceso de carga para una batería de Li-Ión, la cual está compuesta de un grupo de celdas en serie, se divide en tres etapas:

1. Durante la etapa de **corriente constante** (CC), el cargador aplica una corriente continua a la batería, con una tensión con tasa de aumento constante, hasta que el límite de tensión por celda es alcanzado.
2. En la etapa de **balanceo**, el cargador reduce la corriente de carga mientras que el estado de carga (siglas SoC, del inglés *state of charge*) de las celdas individuales es llevado al mismo nivel por el circuito de balanceo, llamado BMS (del inglés *battery management system*). Las técnicas para lograr este balanceo varían de cargador en cargador.
3. Finalmente, en la fase de **tensión constante**, el cargador aplica un voltaje igual a la tensión nominal de las celdas multiplicado por la cantidad de celdas en series que posee la batería, mientras la corriente disminuye gradualmente hacia cero hasta un cierto umbral especificado por el cargador.

El electrolito y el circuito externo proveen conducción de los elementos, pero no participan de la reacción electroquímica.

Durante la descarga, los electrones fluyen desde el electrodo negativo (ánodo) hacia el electrodo positivo (cátodo) a través del circuito externo. La reacción durante la descarga reduce el potencial químico de la celda, y por lo tanto este proceso transfiere energía de la celda a donde se disipa la energía (en gran parte el circuito externo).

Ambos electrodos permiten a estos iones de litio entrar y salir de sus estructuras a través de un proceso llamado *inserción*³ o *extracción*, respectivamente. En la Figura 1.3 puede observarse la estructura de una batería de Li-Ion, en donde se identifican el cátodo, ánodo, electrolito, y el separador poroso.

1.3.5. Aplicaciones

Autos eléctricos

La electrificación de los vehículos esta aumentando a una tasa cada vez más rápida, debido a que existen varias ventajas en utilizar trenes motrices eléctricos, comparado con los motores de combustión interna, para aplicaciones automóviles. La primer ventaja es que los dispositivos eléctricos pueden alcanzar una eficiencia de energía mucho más alta que los motores de combustión interna. La segunda ventaja es un derivado del *freno regenerativo* en donde una batería recargable es instalada en un sistema, y almacena energía cinética convirtiéndola en energía eléctrica, aumentando la eficiencia [10].

Además, estos sistemas eléctricos pueden aprovechar un gran abanico de fuentes de energía, desde centrales termoeléctricas, hasta tecnologías de energía renovable como celdas fotovoltaicas o turbinas eólicas (Figura 1.5).

³La inserción, también llamada intercalación, es la inclusión reversible de una molécula o ión en materiales con estructura laminar o en capas.

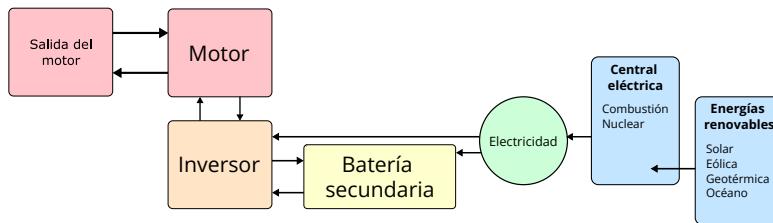


Figura 1.5: Flujo de la energía en un vehículo eléctrico.

Almacenamiento de energías renovables

Este tipo de baterías también puede ser utilizadas para solucionar el problema de la fluctuación de fuentes de energías renovables, como la energía solar o eólica. Además de la extensión de la red eléctrica y el desarrollo de soluciones de gestión del lado de la demanda, el almacenamiento de energía es crucial para lograr un sistema eléctrico basado principalmente en energías renovables [18].

Un ejemplo de esta situación se da en Alemania. En 2011, las energías renovables ya aportaban aproximadamente el 20 % de la producción de energía eléctrica. En 2012, los sistemas fotovoltaicos lograron en los primeros seis meses una participación del 5.1 %, mientras que los generadores eólicos una participación del 8.9 % de la energía eléctrica total producida. Los primeros días de agosto del 2012, la energía solar alcanzó una producción de 31 GW sobre la capacidad instalada, y la energía eólica un valor de más de 29 GW. Por el momento, el acta de energías renovables de Alemania prevé que la tarifa de alimentación⁴ para sistemas fotovoltaicos será garantizada hasta que un nivel de 52 GW sea alcanzado. Tomando en cuenta que la curva de carga de Alemania varía solamente entre 45 GW y 85 GW, resulta evidente que un incremento de energías renovables solo puede ser dado si un sistema de almacenamiento es implementado [14].

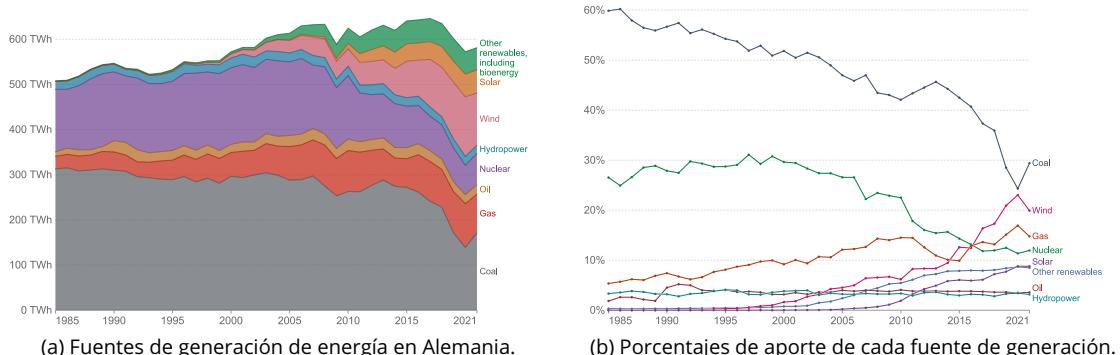


Figura 1.6: Curvas de crecimiento de la generación de energías renovables.

Por lo tanto, estos módulos de almacenamiento de energía son requeridos a distintos tamaños y con distintos fines, siendo algunos instalados en forma descentralizada (por ejemplo, en combinación con sistemas fotovoltaicos para aumentar su tasa de autoconsumo).

Sistemas de potencia satelitales

Los sistemas de potencia de satélites se han desplazado progresivamente hacia la tecnología de ión-litio desde los principios de los 2000s.

A medida que el peso se convirtió en una cuestión clave de diseño para los satélites, la gran densidad másica de energía provista por la tecnología Li-Ión aceleró su adaptación al principio de este siglo. Muy rápidamente, la transición ocurrió para los satélites de las órbitas geoestacionarias GEO (del inglés *geostationary earth orbit*), órbita terrestre baja LEO (del inglés *low earth orbit*) y la órbita terrestre media MEO (*medium earth orbit*) gracias a las numerosas ventajas de las baterías Li-Ión, como su baja disipación térmica, autodescarga baja, y gran eficiencia. Para los fines de 2012, más de 200 satélites fueron

⁴Subvención estatal creada para acelerar el desarrollo de fuentes de energías renovables, a través de la provisión de un precio garantizado por encima del mercado para productores.

lanzados mundialmente utilizando esta tecnología, y más del 99 % de los contratos satelitales refieren a las baterías Li-Ión en su diseño [3].

1.3.6. Diferencias con los supercapacitores

Como se ha visto, tanto las baterías como los supercapacitores son dispositivos de almacenamiento de carga con aplicaciones diversas, en las cuales ambos cumplen el rol de proveer energía. Sin embargo, los dos tienen características muy diferentes.

En la Figura 1.7 puede observarse un diagrama de Ragone, el cual es utilizado para realizar comparaciones entre fuentes de almacenamiento. El eje horizontal indica la densidad mísica de energía (en J/kg), lo que conceptualmente representa la capacidad de almacenamiento de energía. En cambio el eje vertical indica la densidad mísica de potencia (en W/kg) y representa qué tan rápido puede ser entregada esa energía.

Aquí se puede observar la clara diferencia entre las baterías y los supercapacitores. Las baterías son capaces de almacenar mucha energía pero con una absorción y entrega de potencia mucho menos rápida que la de los supercapacitores. En cambio, los supercapacitores son capaces de entregar energía a una tasa órdenes de magnitud más alta, pero la cantidad de energía almacenada posible es limitada.

Estas diferencias pueden verse también en las aplicaciones mencionadas anteriormente para cada uno. En el caso de los supercapacitores, estos actuaban como búfer en situaciones de emergencia o con ventanas de tiempo cortas donde se requería una entrega importante de potencia. En cambio, el rol de las baterías de litio en los ejemplos dados era de almacenamiento de grandes cantidades de energía.

Es importante tener en cuenta que este diagrama no tiene en cuenta otras características intrínsecas de los módulos de almacenamiento, como su vida útil y su memoria.

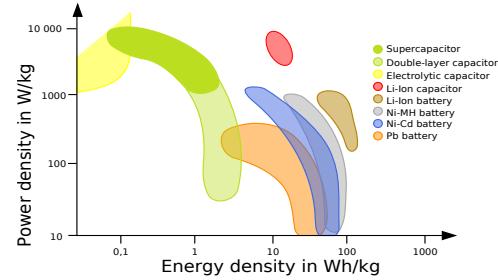


Figura 1.7: Diagrama de Ragone.

1.4. Sistemas híbridos de almacenamiento de energía

Debido a sus características opuestas observadas en el diagrama de Ragone, las baterías y los supercapacitores se complementan muy bien, y por lo tanto la construcción de un sistema híbrido con ambos tipos de dispositivos presenta una gran flexibilidad a la hora de suministrar energía a aplicaciones móviles. En el caso de un sistema híbrido con baterías de litio y supercapacitores, el objetivo principal de las baterías es el de satisfacer la demanda de corriente, correspondiente a la potencia media demandada por el bus de continua [6]. Complementariamente, los supercapacitores son los encargados de lidiar con las variaciones abruptas de corriente que demande la carga.

La incorporación de un banco de supercapacitores en conjunto a la baterías de litio brinda además el incremento de la vida útil de la batería en un 300 %, ya que los picos de corriente serán entregados por el banco, lo que disminuye las exigencias de la batería.

Para formar este sistema híbrido, es necesario utilizar conversores electrónicos de potencia para poder ajustar los niveles de tensión de ambos dispositivos, y permitir que funcionen en conjunto. Estos tipos de conversores son analizados en el siguiente capítulo.

1.5. Resumen

En este capítulo se desarrollaron las características de dos tipos de dispositivos que almacenan energía: los supercapacitores y las baterías de litio. Se presentaron sus mecanismos de funcionamiento, junto a algunas aplicaciones en las que se encuentran presentes.

Por último, se realizó una comparación de ambas con respecto a sus capacidades de almacenamiento de energía, y la rapidez con la que esta puede ser entregada. Este análisis de diferencias entre los dispositivos bajo estudio dió como conclusión que su operación en conjunto es capaz de formar un sistema híbrido con una gran flexibilidad bajo un amplio rango de operaciones.

Capítulo 2

Convertidores CC-CC

2.1. Introducción

Los convertidores electrónicos de potencia de CC-CC actúan como puentes de transferencia de energía entre fuentes y cargas, ambas de corriente continua, que no son compatibles. Un ejemplo es cuando una fuente disponible proporciona una tensión distinta a la requerida por la carga a utilizar. Por eso mismo, la función de estos tipos de convertidores es la de adaptar tal tensión de la fuente con la máxima eficiencia posible de transferencia de energía.

Normalmente, además de la conversión de nivel de tensión de continua, los convertidores proveen una salida regulada. Dependiendo de la topología del convertidor, la tensión de salida puede ser mayor o menor a la de la entrada.

Los convertidores electrónicos de potencia pueden dividirse en lineales y comutados. En este capítulo, se presentan los convertidores comutados, específicamente el convertidor elevador, el cual es utilizado en este trabajo.

2.2. Convertidores CC-CC comutados

Los convertidores comutados son una alternativa eficiente respecto de los reguladores lineales. En un circuito de un convertidor comutado, los transistores operan como llaves, estando completamente prendidos o completamente apagados. Asumiendo que la llave es ideal en la Figura 2.1, la salida es igual que la entrada cuando la llave está cerrada, y nula cuando la llave está abierta.

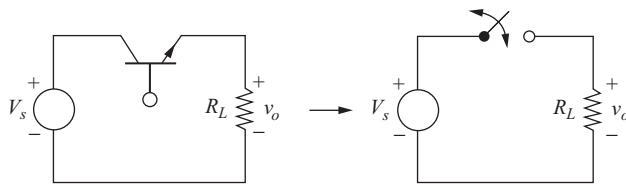


Figura 2.1: Un convertidor comutado CC-CC básico y su equivalente de conmutación.

La conmutación periódica de la llave resulta en la salida en pulsos mostrada en la Figura 2.2. El valor medio de la tensión de salida es:

$$V_o = \frac{1}{T} \int_0^T v_0(t) dt = \frac{1}{T} \int_0^{DT} V_s dt = V_s D \quad (2.1)$$

La componente de continua de la tensión de salida es controlada a través del ajuste del tiempo que la llave se encuentra cerrada respecto del período de conmutación total. Esta fracción de tiempo es llamada *ciclo de trabajo* y se representa con la letra D .

$$D \equiv \frac{t_{\text{on}}}{t_{\text{on}} + t_{\text{off}}} = \frac{t_{\text{on}}}{T} = t_{\text{on}} f \quad (2.2)$$

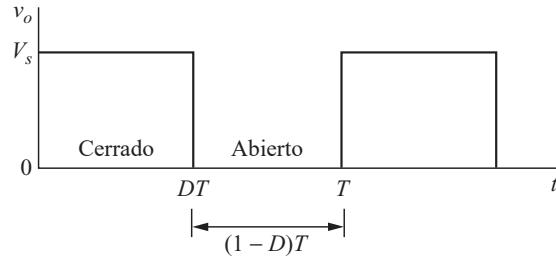


Figura 2.2: Tensión de salida del circuito de la Figura 2.1.

En donde f es la frecuencia de conmutación. En este circuito elemental, la componente de continua de la tensión de salida siempre será menor o igual que la tensión de entrada del circuito.

Idealmente, la potencia absorbida por la llave es cero. Cuando la llave está abierta, no circula corriente por ella; cuando está cerrada, no cae tensión. Por lo tanto, toda la potencia es absorbida por la carga, y la eficiencia es del cien por ciento. Con una llave real, las pérdidas son inevitables, ya que ocurre una caída de tensión cuando está cerrada, y debe pasar por la región lineal cuando realiza la conmutación de un estado a otro.

2.3. Convertidor elevador

El convertidor elevador (*boost converter* en inglés) es mostrado en la Figura 2.3. Es llamado de tal manera ya que la tensión de salida es mayor o igual que la de entrada. Este tipo de convertidor es el utilizado para el proyecto, ya que es necesario elevar la tensión del banco de supercapacitores y las baterías de litio.

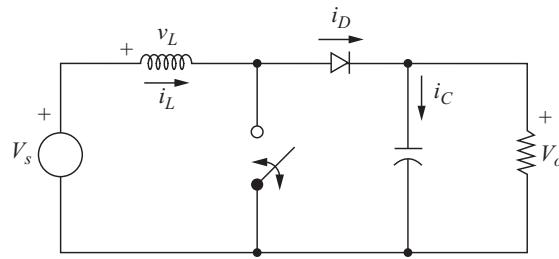


Figura 2.3: Convertidor elevador.

Antes de proceder con el análisis de los modos de conducción del convertidor elevador, es necesario realizar las siguientes suposiciones:

1. Existen condiciones de estado estacionario.
2. El período de conmutación es T , y la llave está cerrada por un tiempo DT y abierta por un tiempo $(1 - D)T$.
3. La corriente por el inductor es continua (y siempre positiva).
4. El capacitor posee una capacitancia muy grande, y la tensión de salida es mantenida constante a un valor V_o .
5. Los componentes son ideales.

2.3.1. Modo de conducción continua

Este análisis es hecho a través de la examinación de la tensión y corriente del inductor cuando la llave está cerrada, y nuevamente cuando la llave se encuentra abierta.

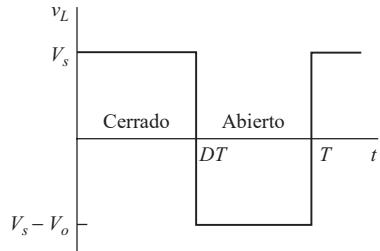
Análisis con la llave cerrada

Cuando la llave se encuentra cerrada, el diodo se encuentra polarizado inversamente. La ley de Kirchhoff sobre el camino que contiene la fuente, el inductor, y la llave es:

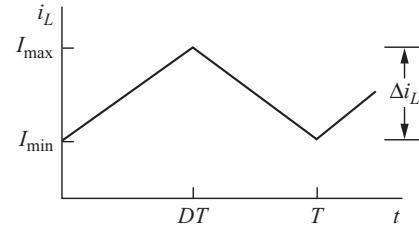
$$v_L = V_s = L \frac{di_L}{dt} \quad \text{o} \quad \frac{di_L}{dt} = \frac{V_s}{L} \quad (2.3)$$

La derivada de la corriente es una constante, lo que significa que la corriente incrementa linealmente cuando la llave está cerrada, como se muestra en la Figura 2.4b. Por lo tanto, resolviendo para la tasa de cambio de la corriente del inductor Δi_L resulta en:

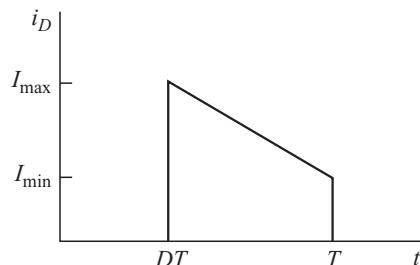
$$(\Delta i_L)_{\text{cerrada}} = \frac{V_s D T}{L} \quad (2.4)$$



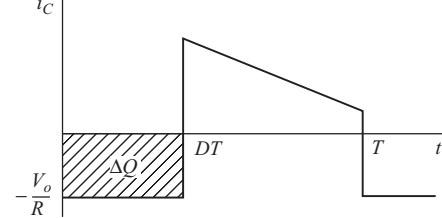
(a) Tensión en el inductor.



(b) Corriente por el inductor.



(c) Corriente por el diodo



(d) Corriente por el capacitor

Figura 2.4: Formas de onda de un convertidor elevador.

Análisis con la llave abierta

Cuando la llave se abre, la corriente del inductor no puede cambiar instantáneamente, así que el diodo se polariza directamente para proveer un camino a i_L . Asumiendo que la tensión de salida V_o es constante, la tensión que cae en el inductor es:

$$v_L = V_s - V_o = L \frac{di_L}{dt} \quad \text{o} \quad \frac{di_L}{dt} = \frac{V_s - V_o}{L} \quad (2.5)$$

La derivada de i_L nuevamente es una constante, entonces la corriente debe cambiar linealmente mientras la llave se encuentra abierta. La tasa de cambio en el inductor mientras la llave se encuentre en este estado es:

$$\frac{\Delta i_L}{\Delta t} = \frac{\Delta i_L}{(1-D)T} = \frac{V_s - V_o}{L}$$

Resolviendo para Δi_L ,

$$(\Delta i_L)_{\text{abierto}} = \frac{(V_s - V_o)(1-D)T}{L} \quad (2.6)$$

En estado estacionario, la corriente media en el inductor debe ser cero. Utilizando las Ecuaciones 2.4 y 2.6,

$$(\Delta i_L)_{\text{cerrada}} + (\Delta i_L)_{\text{abierto}} = 0$$

$$\frac{V_s D T}{L} + \frac{(V_s - V_o)(1 - D)T}{L} = 0$$

Y resolviendo para V_o ,

$$V_s(D + 1 - D) - V_o(1 - D) = 0$$

$$V_o = \frac{V_s}{1 - D} \quad (2.7)$$

La Ecuación 2.7 demuestra que si la llave siempre está abierta y D es nula, la tensión de salida será la misma que la de la entrada. Si el ciclo de trabajo se va incrementando, el denominador de la Ec. 2.7 se va haciendo más chico, resultando en una tensión de salida cada vez más grande. Por lo tanto, se deduce que *el convertidor elevador produce una tensión de salida siempre mayor o igual que la tensión de entrada*.

A su vez, según esta ecuación, si el ciclo de trabajo se aproxima a 1, la tensión de salida se hace infinita. Es necesario tener en cuenta que la deducción de la Ec. 2.7 fue realizada a partir de la suposición de componentes ideales. Los componentes reales, al poseer pérdidas, previenen tal evento. La Figura 2.4 muestra las formas de onda de corriente y tensión para el convertidor elevador.

La corriente media por el inductor es determinada al reconocer que la potencia media entregada por la fuente debe ser la misma que la potencia media absorbida por la carga. La potencia de salida es:

$$P_o = \frac{V_o^2}{R} = V_o I_o$$

y la potencia de entrada es $V_s I_s = V_s I_L$. Igualando las potencias de salida y entrada y utilizando la Ecuación 2.7:

$$V_s I_L = \frac{V_o^2}{R} = \frac{[V_s/(1 - D)]^2}{R} = \frac{V_s^2}{(1 - D)^2} R$$

Realizando algunas sustituciones y resolviendo para la corriente media del inductor, I_L puede ser expresada como:

$$I_L = \frac{V_s}{(1 - D)^2 R} = \frac{V_o^2}{V_s R} = \frac{V_o I_o}{V_s} \quad (2.8)$$

Los valores extremos de la corriente del inductor son determinados utilizando el valor medio y la tasa de cambio de la corriente de la Ec. 2.4.

$$I_{max} = I_L + \frac{\Delta i_L}{2} = \frac{V_s}{(1 - D)^2 R} + \frac{V_s D T}{2 L} \quad (2.9)$$

$$I_{min} = I_L - \frac{\Delta i_L}{2} = \frac{V_s}{(1 - D)^2 R} - \frac{V_s D T}{2 L} \quad (2.10)$$

La Ecuación 2.7 fue desarrollada con la suposición de que la corriente del inductor es continua y siempre positiva. Una condición de esto es que I_{min} sea siempre positiva. Por lo tanto, el límite entre la corriente continua y discontinua está dado por:

$$I_{min} = 0 = \frac{V_s}{(1 - D)^2 R} - \frac{V_s D T}{2 L}$$

$$\frac{V_s}{(1 - D)^2 R} = \frac{V_s D T}{2 L} = \frac{V_s D}{2 L f}$$

Despejando, se obtiene el mínimo valor de inductancia necesaria para asegurar el modo de conducción continua:

$$L_{min} = \frac{D(1 - D)^2 R}{2 f} \quad (2.11)$$

2.3.2. Modo de conducción discontinua

El convertidor elevador también opera para corriente de inductor discontinua. En algunos casos, este modo de conducción es preferible por razones de control, por ejemplo para una salida regulada. La relación entre la tensión de salida y entrada origina de otras dos relaciones:

1. La tensión media del inductor es cero.
2. La corriente media del diodo es la misma que la de carga.

Las corrientes del inductor y diodo para el modo de conducción discontinua poseen las formas de onda de la Figura 2.5.

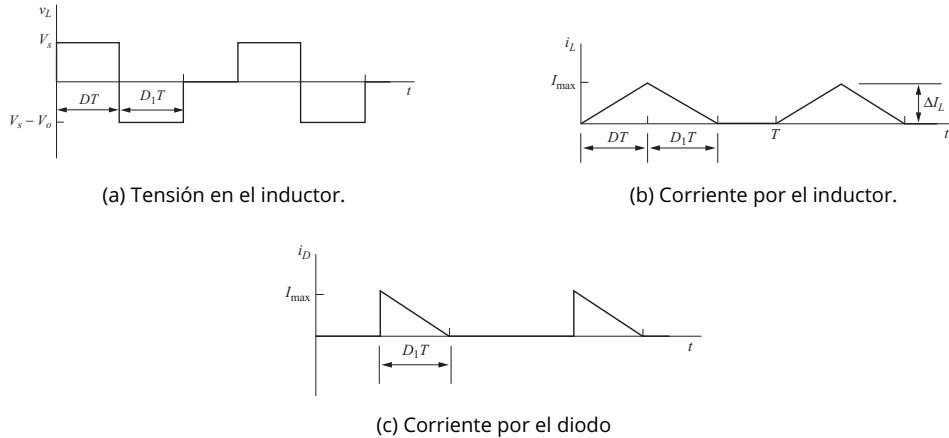


Figura 2.5: Formas de onda de un convertidor elevador en MCD.

Cuando la llave está cerrada, la tensión a lo largo del inductor es V_s . Y cuando está abierta y la corriente por el inductor es positiva, su tensión es $V_s - V_o$. La corriente del inductor disminuye hasta que llega a cero, y el diodo previene que esta se haga negativa. Cuando la llave está abierta y el diodo polarizado en inversa, la corriente del inductor es nula. La tensión media que cae en el inductor es:

$$V_s DT + (V_s - V_o) D_1 T = 0$$

Lo que resulta en:

$$V_o = V_s \left(\frac{D + D_1}{D_1} \right) \quad (2.12)$$

La corriente media en el diodo (Figura 2.5c) es:

$$I_D = \frac{1}{T} \left(\frac{1}{2} I_{max} D_1 T \right) = \frac{1}{2} I_{max} D_1 \quad (2.13)$$

en donde la corriente I_{max} es la misma que el cambio en la corriente del inductor cuando la llave está cerrada.

$$I_{max} = \Delta i_L = \frac{V_s DT}{L} \quad (2.14)$$

Substituyendo la Ec. 2.14 en la Ec. 2.13 e igualando con la corriente de la carga,

$$I_D = \frac{1}{2} \frac{V_s DT}{L} D_1 = \frac{V_o}{R} \quad (2.15)$$

Y despejando D_1 ,

$$D_1 = \left(\frac{V_o}{V_s} \right) \left(\frac{2L}{RDT} \right)$$

(2.16)

Substituyendo esta expresión por D_1 en 2.12, resulta en la siguiente ecuación cuadrática:

$$\left(\frac{V_o}{V_s}\right)^2 - \frac{V_o}{V_s} - \frac{D^2 RT}{2L} = 0$$

Y finalmente resolviendo para V_o/V_s ,

$$\frac{V_o}{V_s} = \frac{1}{2} \left(1 + \sqrt{1 + \frac{2D^2 RT}{L}} \right) \quad (2.17)$$

La situación límite entre corriente continua y discontinua ocurre cuando $D_1 = 1 - D$. Otra condición límite es cuando I_{min} es menor o igual a cero.

El modo de operación del convertidor depende de la combinación de los parámetros del circuito, incluyendo el ciclo de trabajo. Si este ciclo de trabajo D es variado, el convertidor puede entrar y salir del modo de conducción discontinua. La Figura 2.6 muestra la tensión de salida para un convertidor elevador respecto del ciclo de trabajo.

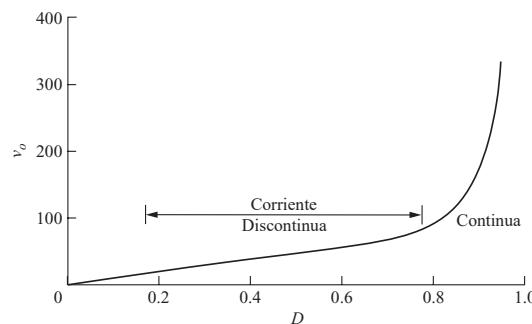


Figura 2.6: Tensión de salida de un circuito elevador.

2.3.3. Convertidor elevador bidireccional en corriente

Este tipo de convertidor es más versátil que la topología elevadora convencional, dado que tiene la capacidad de transferir energía en ambos sentidos, de la entrada a la salida y viceversa, efectuando únicamente un cambio en el sentido de la corriente.

Un convertidor elevador bidireccional en corriente se construye sustituyendo el diodo que se encuentra en la topología elevadora convencional por un transistor controlado que permita el flujo de corriente en ambas direcciones. En particular, durante el proceso de fabricación de un transistor MOSFET se forma una juntura p-n entre los terminales de *drain* y *source*, permitiendo que la corriente pueda establecerse en la dirección opuesta *source-drain*. De esta forma se obtiene la bidireccionalidad de corriente a través de la llave. La topología resultante se muestra en la Figura 2.7.

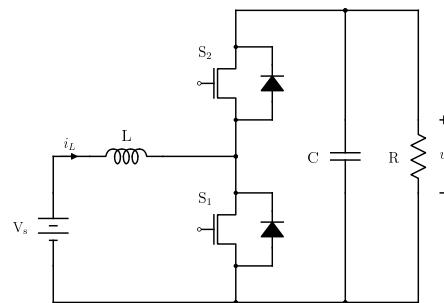


Figura 2.7: Convertidor elevador bidireccional en corriente.

Un ejemplo práctico de la aplicación de convertidores bidireccionales que facilita la comprensión de su utilidad se encuentra en el sistema de distribución de un vehículo híbrido. El vehículo tiene esencialmente 2 modos de operación:

- **Modo marcha:** Para ponerse en marcha, el vehículo toma energía del banco de supercapacitores durante la aceleración y de las baterías de litio una vez estabilizada su velocidad. Durante este proceso, el convertidor transfiere energía desde los módulos de almacenamiento hacia el vehículo.
- **Modo regenerativo:** Una vez que el vehículo está en marcha, existe una regeneración de energía que es devuelta a los módulos de almacenamiento por parte del sistema electromecánico. Durante este proceso, el convertidor transfiere energía desde el vehículo hacia los módulos de almacenamiento.

El ejemplo anterior pone de manifiesto la gran versatilidad que se obtiene al modificar la topología elevadora clásica para lograr bidireccionalidad en el flujo de energía.

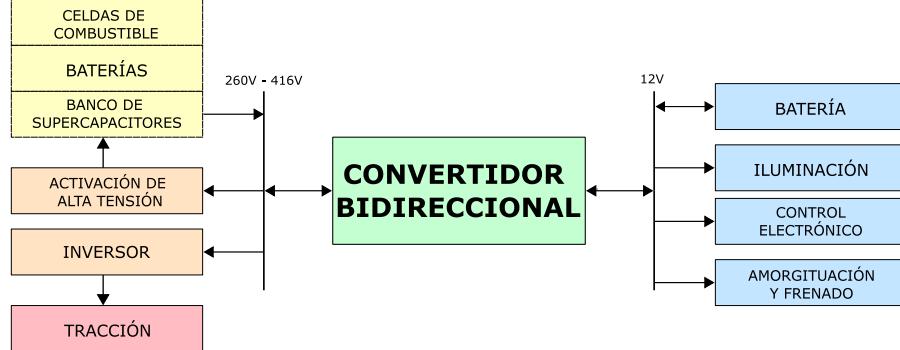


Figura 2.8: Sistema eléctrico de un vehículo híbrido.

En este trabajo se utiliza un convertidor CC-CC bidireccional en corriente construido en el instituto (Figura 2.9) [8]. Este convertidor cuenta con una etapa de instrumentación que permite la medición de las corrientes y tensiones entrantes y salientes. En la Tablas 2.1a y 2.1b se muestran sus especificaciones técnicas.



Figura 2.9: Vista 3D del convertidor DC-DC utilizado en el proyecto.

2.4. Resumen

En este capítulo se ha analizado el funcionamiento de la topología de convertidor CC-CC elevador bajo distintas condiciones de conducción, y realizando una leve modificación en su estructura, se logra un tipo de convertidor CC-CC bidireccional en corriente. Finalmente, se presenta específicamente al convertidor utilizado en este proyecto.

Especificación	Valor	Unidad
Potencia máxima	300	W
Tensión continua en la salida	60	V
Tensión nominal en la entrada	20	A
Corriente nominal en la entrada	15	A
Rizado pico a pico de la corriente	3.33	A
Frecuencia de conmutación	20	kHz
Inductancia	200	H
Corriente máxima por el inductor	16.67	A
Capacitancia	2200	μ F

Cuadro 2.1: Parámetros eléctricos del convertidor CC-CC.

Componente	Denominación	Comentarios
Núcleo del inductor	ETD-5922 CF-138	Permeabilidad relativa μ_r de 2500
Capacitor	TREC	Tensión máxima de trabajo de 100 V
Interruptores	IRFP-250	MOSFET con corriente máxima de drenador de 30 A
Drivers	IR2110	Tiempo de encendido y apagado de 120 ns y 94 ns respectivamente
Diodo de bootstrap	MUR 460	Capacitancia de 1 μ F con resistencia de 2.2 Ω

Cuadro 2.2: Componentes eléctricos del convertidor CC-CC.

Capítulo 3

Field-programmable gate arrays

3.1. Introducción

Las *field-programmable gate arrays* (FPGAs) son dispositivos basados en una matriz de bloques lógicos configurables (CLBs) conectados vía interconexiones programables. Las FPGAs pueden ser reprogramadas para cualquier aplicación o funcionalidad requerida mientras se encuentre dentro de las limitaciones de la placa. Esta característica las diferencia de las *application specific integrated circuits* (ASICs), las cuales son diseñadas específicamente para ciertas tareas.

En este capítulo se explican distintas características de este tipo de dispositivos, así como los entornos de desarrollos que alrededor de ellos. Primero, se detalla su arquitectura y los bloques elementales que lo conforman, para después informar al lector de los particulares lenguajes de programación utilizados para su programación y los paradigmas en los que se basan. Por último, se enumeran distintas herramientas de software que se emplean para su programación.

3.2. Arquitectura

Los FPGAs modernos poseen grandes recursos de bloques lógicos y de RAM para implementar cálculos complejos, y también periféricos como conversores analógicos-digitales (ADCs) y conversores digitales-analógicos (DACs). La arquitectura básica de un FPGA puede observarse en la Figura 3.1, la cual consiste de un arreglo de CLBs, pads de entrada/salida (I/O), y canales de enrutamiento.

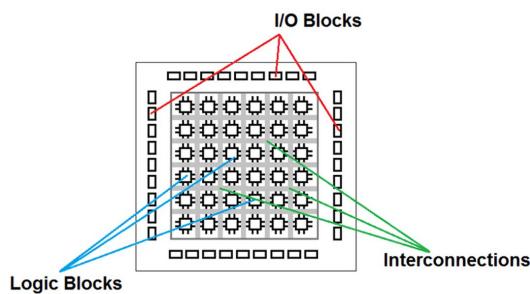


Figura 3.1: Arquitectura básica de un FPGA.

3.2.1. Bloques lógicos

Generalmente, los bloques lógicos de un FPGA consisten de algunas celdas lógicas (llamadas ALM, LE, slices, etc.). Típicamente, estas celdas consisten en una *lookup table* (LUT) con 4 entradas, un *full adder* (FA), y un flip-flop tipo D (DFF). Estos bloques lógicos poseen distintos modos los cuales le otorgan flexibilidad a la hora del uso de sus componentes, y por lo tanto amplía sus funcionalidades. Por ejemplo, en la Figura 3.2 puede observarse una celda lógica, perteneciente a un CLB. En ella, hay LUTs de 3 entradas, las cuales mediante un multiplexor, pueden ser combinadas para conseguir una LUT de 4

entradas. Además, la salida de estas celdas lógicas puede ser sincrónicas o asincrónicas, decisión dictada por otro multiplexor.

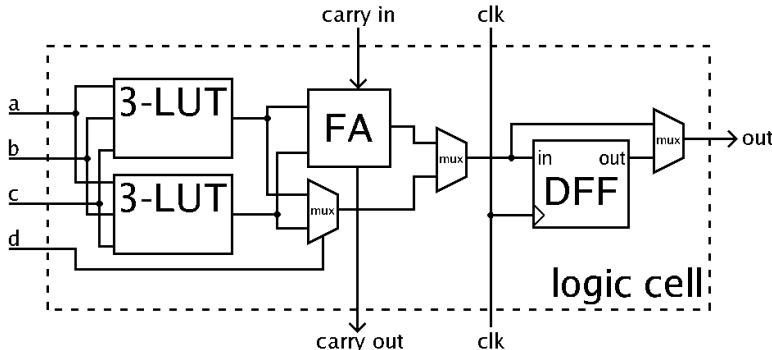


Figura 3.2: Ilustración simplificada de una celda lógica.

3.2.2. Integración

Actualmente, estos bloques lógicos e interconexiones de los FPGAs tradicionales son combinados con microprocesadores embebidos y otros bloques de funcionalidad de alto nivel (multiplicadores, bloques de procesamiento de señales, memorias embebidas, etc.) para formar un *system on chip* (SoC). Un ejemplo de este nuevo enfoque de las FPGAs puede verse en la Figura 3.3.

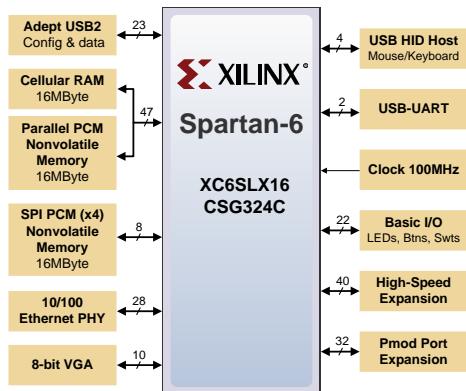


Figura 3.3: Spartan-6 de Xilinx en la placa de desarrollo Nexys 3.

Aquí, se puede observar un diagrama de conexión del FPGA Spartan-6, utilizado en la placa de desarrollo Nexys 3. Además de poseer varios tipos de conexiones, el Spartan-6 posee 2278 slices o celdas lógicas, en las cuales cada una posee cuatro LUTs de 6 entradas y ocho flip-flops. Además, posee 576 kB de RAM, 32 slices enfocados a DSP, y velocidades de reloj de más de 500 MHz.

A su vez, la placa de desarrollo amplía aún más sus funcionalidades, brindando una colección mejorada de periféricos, como por ejemplo un puerto USB-UART, 16MB de RAM, y 10/100 Ethernet PHY, entre otros [13].

Esto deja en claro que el objetivo de las FPGAs es proveer flexibilidad a la hora de su uso, brindando una gran variedad de herramientas para cualquier aplicación. Por eso mismo es que este tipo de circuitos es ideal para desarrollar prototipos en las fases iniciales de un proyecto.

3.3. Lenguajes de descripción de hardware

Los lenguajes de descripción de hardware (HDL) son lenguajes de programación utilizados para describir la estructura y comportamiento de circuitos lógicos digitales. Este tipo de lenguajes permite la síntesis de una descripción por HDL a una *netlist* (interconexión de componentes electrónicos físicos descriptos), la cual puede ser implementada para finalmente crear un circuito integrado.

Los HDLs forman una parte íntegra de la automatización de diseño electrónico (EDA, del inglés *electronic design automation*), especialmente para circuitos complejos, y son los lenguajes utilizados en la programación de los FPGAs. Los dos lenguajes más utilizados son Verilog, y VHDL.

3.3.1. Verilog

En Verilog, el diseño consiste de una jerarquía de módulos. Estos módulos son definidos con conjuntos de puertos de entrada, salida y bidireccionales. Internamente, un módulo contiene una lista de cables y registros. Las sentencias concurrentes y secuenciales definen el comportamiento del módulo, describiendo las relaciones entre los puertos, cables, y registros. Las sentencias secuenciales son colocadas dentro de un boque `begin/end` y ejecutadas en orden secuencial, pero todas las sentencias concurrentes y todos los bloques `begin/end` son ejecutados en paralelo en el diseño. Un módulo puede contener una o más instancias de otro módulo para definir un subcomportamiento.

Un subconjunto de sentencias en el lenguaje es sintetizable. Si los módulos en un diseño contienen sólo sentencias sintetizables, puede ser sintetizado en una *netlist* que describe los componentes básicos y los conectores que deben implementarse en hardware. La *netlist* o lista de nodos puede ser entonces convertido en un *bitstream* para programar el FPGA.

3.3.2. VHDL

VHDL (acrónimo de *Very High Speed Hardware Description Language* en inglés) es un HDL que hereda muchos conceptos de lenguajes de programación a alto nivel (por ejemplo C o PASCAL). Una característica importante heredada es el concepto de tipos de datos. Por ejemplo, los tipos de datos *bit*, *boolean*, *integer*, etc. ya se encuentran incorporados, pero existe la posibilidad de definir nuevos tipos, como por ejemplo matrices, registros, o punteros. Esto permite una programación a un distinto nivel de atracción.

Otra característica no menor es la del control de flujo, incorporando condicionales (*if, case*) e iteraciones (*for, while*). Además, es posible estructurar o modularizar el código, ya que se pueden agrupar partes del código en subprogramas en funciones (*function*) o procedimientos (*procedures*), e incluye la posibilidad de desarrollar y utilizar bibliotecas de diseño.

Aunque varias características son heredadas de otros lenguajes de programación, VHDL es un HDL en sí, y por lo tanto es necesario explicar sus conceptos específicos para modelado de hardware.

Modelo de estructura

Cualquier sistema electrónico puede dividirse en subsistemas más pequeños hasta llegar a su nivel primitivo (es decir, al nivel de puertas lógicas). Por eso mismo VHDL incorpora el concepto de estructura. Esta característica nos permite realizar el modelo de un sistema digital cualquier a partir de la referencia a las distintas partes que lo forman, especificando la conexión entre éstas. Cada una de las partes, a su vez, pueden estar modeladas de forma estructural a partir de sus componentes, o bien estar descritas de forma funcional, utilizando los conceptos heredados de los lenguajes de programación de alto nivel. En el nivel más alto de jerarquía se encuentran los modelos funcionales, a partir de los cuales se construye el sistema completo.

En la descripción de un dispositivo en VHDL, el diseñador debe definir dos elementos principales: la interfaz del dispositivo con el exterior (*entity*) y la descripción de la funcionalidad que realiza el dispositivo (*architecture*). La interfaz de un dispositivo tiene por objeto definir qué señales del dispositivo son visibles o accesibles desde el exterior, llamados puertos (*ports*) del dispositivo. En la arquitectura se definirá la funcionalidad que implementa dicho dispositivo respecto de lo datos ingresantes a los puertos de entrada, para producir nuevos valores sobre los puertos de salida.

En la Figura 3.4 se representa gráficamente la asociación de una interfaz de un dispositivo a partir de la instanciación de un componente con los valores y señales de una arquitectura en donde es invocado.

VHDL además permite la instanciación de estos dispositivos a partir del concepto de componente (*component*) y de referencia a un componente. Cualquier elemento modelado en VHDL puede ser utilizado como un componente de otro diseño, y para ello solamente es necesario hacer referencia al elemento a utilizar y conectar los puertos de su interfaz a los puntos necesarios para realizar el nuevo diseño.

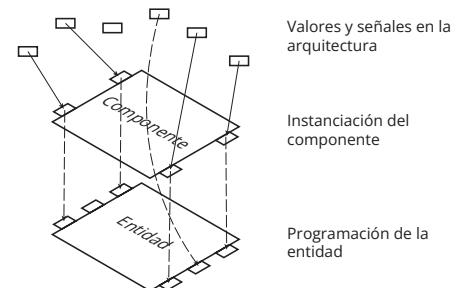


Figura 3.4: Asociación entidad-componente-arquitectura de un modelo.

El diseñador sólo debe preocuparse de las entradas y salidas de los subsistemas (es decir, su interfaz), y de la forma adecuada en que debe realizar su conexión bajo su modelo, pero no es necesario conocer cómo está descrito cada uno de los subsistemas.

Modelo de concurrencia

El hardware es por definición *concurrente*¹, y en su última instancia cualquier dispositivo digital está formado de un mar de puertas lógicas, todas ellas funcionando en paralelo. El elemento básico que ofrece VHDL para modelar el paralelismo es el proceso (*process*).

En general, el código que describe un proceso se ejecuta en forma secuencial, pero todos los procesos se ejecutarán en paralelo.

Estos procesos que se ejecutan concurrentemente deben poder comunicarse (sincronizarse) entre ellos. El elemento utilizado para esta vinculación es la señal (*signal*). Cada proceso tiene un conjunto de señales a la que es sensible, lo que significa que el proceso se ejecuta cuando se produce un cambio o evento de dicha señal. La ejecución del proceso, el cual es un bucle infinito, puede ser suspendida con la sentencia *wait*.

Modelo de tiempo

Una de las finalidades del modelado en VHDL del hardware es poder observar su comportamiento a lo largo del tiempo en una simulación o *test bench*. Esto implica que las construcciones del lenguaje tendrán asociada una semántica respecto a la simulación, es decir, influirán en ésta provocando distintos eventos que sucederán a lo largo del tiempo, y a su vez, el modo en que se comportan las sentencias dependerá de los eventos que se sucedan a lo largo de la simulación.

Entonces, la simulación o *test bench* de un modelo VHDL es una simulación dirigida por eventos. Esto significa que el simulador mantiene unas listas de eventos (cambios en las señales internas del modelo y también de las entradas y salidas) que se han de producir a lo largo del tiempo de simulación. Como el comportamiento del modelo es estable mientras no se produzca un evento, la tarea del simulador consiste en avanzar el tiempo de simulación hasta el siguiente evento y calcular sus consecuencias sobre la lista de eventos futuros.

Normalmente la reacción del modelo a un evento ocasionará la ejecución de otros eventos en un tiempo de simulación posterior que se añadirán a la lista. La simulación finaliza cuando se ha alcanzado el tiempo de simulación especificado por el usuario o cuando no existen más eventos.

3.4. Entornos de desarrollo

3.4.1. Intel Quartus Prime

Intel Quartus Prime[®] es el entorno de diseño desarrollado por Intel[®] (previamente por Altera). Permite al usuario el análisis y síntesis de diseños HDL, lo que habilita al desarrollador a compilar sus diseños, realizar análisis de tiempo, examinar diagramas RTL, simular la reacción de un modelo frente a distintos estímulos, y configurar el dispositivo a utilizar con el programador. Es importante aclarar que esto último solamente es posible con familias de FPGAs que Quartus Prime[®] soporta, como por ejemplo la familia *Cyclone*. Quartus Prime[®] incluye una implementación de VHDL y Verilog para descripción de hardware, edición visual de circuitos lógicos, y simulación de formas de onda vectoriales.

3.4.2. Xilinx ISE

Xilinx ISE[®] (*Integrated Synthesis Environment*) es una herramienta de software de Xilinx[®] para la síntesis y análisis de diseños HDL, la cual está principalmente dirigida al desarrollo de las familias de productos de FPGAs de Xilinx[®] (por ejemplo, Spartan-6).

Posee las mismas funcionalidades descritas anteriormente para *Intel Quartus Prime*[®], pero además incluye otros componentes, como el *Embedded Development Kit (EDK)*, *Software Development Kit (SDK)*, y *ChipScope Pro*. Por último, también incluye software que permite la simulación y *test bench* del código,

¹La concurrencia es la habilidad de diferentes partes de un algoritmo o programa de ser ejecutados fuera de orden o en un orden parcial, lo que permite su ejecución en paralelo.

como *ModelSim* e *ISim*, los cuales son utilizados en el presente trabajo para verificar la correcta implementación de los algoritmos de control a lo largo del Capítulo 5.

La interfaz de usuario principal del ISE es el *Project Navigator*, el cual incluye la jerarquía de diseño (*sources*), un editor de código (*workplace*), una consola de salida (*transcript*), y un árbol de procesos (*processes*).

La jerarquía de diseño consiste en archivos de diseño (módulos), cuyas dependencias son interpretadas por el ISE y presentadas con una estructura de árbol. Para los diseños de chip único puede haber un módulo principal, con otros módulos incluidos en este, similar a la subrutina `main()` en programas C++.

Actualmente, Xilinx ISE® fue descontinuado a favor de Vivado Design Suite®, el cual posee el mismo rol que ISE con características adicionales para el desarrollo de SoCs. Xilinx® publicó la última versión en octubre de 2013 (versión 14.7) y no se prevén más actualizaciones.

3.5. Resumen

En este capítulo fue presentada la arquitectura FPGA junto a dos de los lenguajes de programación de hardware más populares para su programación, como a su vez herramientas de su entorno de desarrollo que permiten sintetizar y compilar el código creado para tanto FPGAs de Xilinx® como Intel®.

En capítulos posteriores se podrán ver ciertas de estas herramientas en acción, al querer implementar el sistema de control diseñado.

Capítulo 4

Diseño de la etapa de control

4.1. Introducción

En el Capítulo 2 se realizó un análisis de cómo el comportamiento de un convertidor electrónico de potencia depende en gran medida de la frecuencia y el ciclo de trabajo de las señales de excitación aplicadas a sus llaves. Aún conociendo las condiciones de alimentación y carga para un convertidor CC-CC, el modo de operación a lazo abierto (es decir, sin realimentación de las variables de estado del sistema) no es práctico. Esto se debe a que la ausencia de una acción de control respecto del ciclo de trabajo incapacitaría corregir de forma eficiente desviaciones en los valores de salida ante perturbaciones en la fuente de energía o en la carga; o el riesgo que presenta la ausencia de control de las corrientes y tensiones del circuito, especialmente en los transitorios iniciales y una vez que el sistema es apagado.

Para corregir estos inconvenientes, en este capítulo se exploran y desarrollan alternativas para diseñar un control a lazo cerrado del convertidor empleado en este trabajo. Para tal fin es fundamental formar un modelo matemático que pueda representar su dinámica. Luego, se efectúan simplificaciones que permiten obtener una primer aproximación del, o de los, controladores a utilizar en base a los requerimientos de estabilidad y respuesta temporal. Por último, se simulan en herramientas de software como MATLAB® y Simulink® a estos controladores ante distintos tipos de perturbaciones, y a partir de los resultados se realizan ajustes sucesivos hasta obtener una estrategia de control satisfactoria.

4.2. Modelo lineal del convertidor

4.2.1. Dinámica del convertidor

En la Figura 4.1 se muestra nuevamente el diagrama circuital del convertidor CC-CC bidireccional en corriente, presentado en el Capítulo 2, Sección 2.3.3. Se recuerda que este tipo de convertidor otorga versatilidad al sistema para su empleo en otras aplicaciones, aunque para este trabajo sólo es de interés el funcionamiento de manera unidireccional, es decir, la potencia transferida desde la fuente hacia la carga.

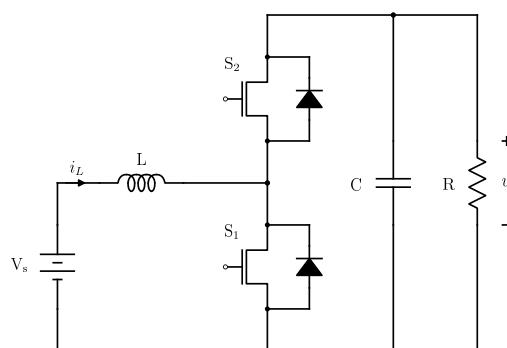


Figura 4.1: Convertidor elevador bidireccional en corriente.

Las llaves S_1 y S_2 trabajan en forma complementaria: cuando S_1 conduce, S_2 no conduce, y viceversa. Con este pretexto y asumiendo que el convertidor se encuentra trabajando en modo de conducción continua (MCC), el mismo puede encontrarse en uno de los siguientes estados:

■ **S_1 conduce y S_2 no conduce**

En este estado se analizan las ecuaciones de Kirchhoff para el circuito cerrado de la malla de la fuente y para las corrientes en el nodo de la carga. Expresándolas en función de la tensión en el inductor y la corriente por el capacitor, se obtienen las siguientes ecuaciones:

$$\begin{aligned} L \frac{di_L(t)}{dt} &= v_s(t) \\ C \frac{dv_o(t)}{dt} &= -\frac{v_o(t)}{R} \end{aligned} \quad (4.1)$$

■ **S_1 no conduce y S_2 conduce**

Nuevamente expresando las ecuaciones de Kirchhoff correspondientes a este estado respecto la tensión en el inductor y la corriente en el capacitor se obtiene:

$$\begin{aligned} L \frac{di_L(t)}{dt} &= v_s(t) - v_o(t) \\ C \frac{dv_o(t)}{dt} &= i_L(t) - \frac{v_o(t)}{R} \end{aligned} \quad (4.2)$$

4.2.2. Parametrizado mediante ciclo de trabajo

Para unificar las Ecuaciones 4.1 y 4.2 hallados para el convertidor elevador en un solo sistema, se define la acción de control $d(t)$ de la siguiente forma:

$$d(t) = \begin{cases} 1 & S_1 \text{ conduce y } S_2 \text{ no conduce} \\ 0 & S_1 \text{ no conduce y } S_2 \text{ conduce} \end{cases}$$

Implementando esta condición para unir los sistemas de ecuaciones mencionados anteriormente se obtiene:

$$\begin{aligned} L \frac{di_L(t)}{dt} &= v_s(t) - [1 - d(t)] v_o(t) \\ C \frac{dv_o(t)}{dt} &= [1 - d(t)] i_L(t) - \frac{v_o(t)}{R} \end{aligned} \quad (4.3)$$

Este sistema de ecuaciones parametrizado es el típicamente usado para representar a los convertidores elevadores en la bibliografía de la temática.

4.2.3. Promediado del sistema de ecuaciones

En esta etapa se realiza una aproximación para poder simplificar las ecuaciones que definen el comportamiento de los mismos y así facilitar el tratamiento de los modelos resultantes.

Las Ecuaciones 4.3 describen un *sistema de estructura variable no lineal*, esto significa que el convertidor elevador se comporta como diferentes sistemas no lineales continuos en diferentes regiones de su estado de espacios, y este comportamiento se encuentra dictado por una acción de control $d(t)$ discontinua. Esto presenta una complejidad elevada en el análisis y control del sistema.

Una aproximación factible es el uso de *medias móviles*, en las que cada señal se sustituye por su promedio durante un período de conmutación T . Este método permite modelar al sistema como uno de estructura no variable, debido a que la señal de control es continua bajo esta aproximación. Otra ventaja de las medias móviles es que al aplicarlo se obtiene la parte dominante de las señales y elimina las pequeñas perturbaciones, como el *ripple* de conmutación, el cual no es de interés al diseñar el sistema de control para el comutador.

Utilizando el método de promediado presentado en [4] y [9] para simplificar las ecuaciones que rigen la dinámica del sistema:

$$\bar{x}(t) = \frac{1}{T} \int_t^{t+T} x(\tau) d\tau \quad (4.4)$$

Puede demostrarse que aplicando la Ecuación 4.4 a las Ecuaciones 4.3 se obtiene:

$$\begin{aligned} L \frac{d\bar{i}_L(t)}{dt} &= \bar{v}_s(t) - [1 - \bar{d}(t)] \bar{v}_o(t) \\ C \frac{d\bar{v}_o(t)}{dt} &= [1 - \bar{d}(t)] \bar{i}_L(t) - \frac{\bar{v}_o(t)}{R} \end{aligned} \quad (4.5)$$

Cabe aclarar que es posible hallar un modelo promediado del convertidor trabajando en modo de conducción discontinua (MCD) [16]. Tal desarrollo no es presentado en este informe ya que escapa a los objetivos del presente trabajo.

4.2.4. Linealización del sistema de ecuaciones

Aún habiendo promediado al sistema, el modelo obtenido no es lineal, como se observa en las Ecuaciones 4.5 en las que aparecen productos entre los estados del sistema y la señal de control promediada $\bar{d}(t)$. Como las técnicas tradicionales de análisis de sistemas (transformada de Laplace, diagramas de Bode, lugar de raíces, etc.) no son aplicables para el estudio de un modelo no lineal, es necesario linealizarlo.

Primero, ha de suponerse que el sistema ha sido llevado a un punto de trabajo fijo, en el que se encuentra con valores estacionarios en sus variables, a los que se hará referencia de la siguiente forma:

- $I_{L_{ee}}$ es la corriente en la inductancia en estado estacionario.
- $V_{o_{ee}}$ es la tensión en la salida en estado estacionario.
- $V_{s_{ee}}$ es la tensión en la entrada en estado estacionario.
- D_{ee} es el ciclo de trabajo en estado estacionario.

Al asumir que el sistema se encuentra en estado estacionario, las Ecuaciones 4.5 que definen la dinámica promedio del sistema se transforman en:

$$\begin{aligned} 0 &= V_s - [1 - D_{ee}] V_{o_{ee}} \\ 0 &= [1 - D_{ee}] I_{L_{ee}} - \frac{V_{o_{ee}}}{R} \end{aligned} \quad (4.6)$$

Puede observarse que el comportamiento en este punto de trabajo coincide con el análisis efectuado en el capítulo de conversor elevador para modo de conducción continua, obteniéndose la misma relación de conversión (Ec. 2.7).

Conocido el comportamiento del sistema en régimen de estado estacionario, se procede a la linealización del modelo. Este procedimiento consiste en realizar una aproximación de primer orden de las ecuaciones no lineales que describen al sistema, en un entorno muy cercano al punto de trabajo.

Para esto, primero debe construirse un *modelo de pequeña señal* alrededor del punto de trabajo. Si se asume que el ciclo de trabajo promedio $\bar{d}(t)$ es igual a un valor de estado estacionario D más una perturbación denotada por $\hat{d}(t)$ se obtiene:

$$\bar{d}(t) = D_{ee} + \hat{d}(t) \quad (4.7)$$

Se asume que el valor de la perturbación $\hat{d}(t)$ es mucho menor que el valor de estado estacionario D , de modo que el valor promedio del ciclo de trabajo se mantendrá siempre cercano a este último. La respuesta del sistema ante esta perturbación de entrada resulta en los valores promedios de las variables:

$$\begin{aligned} \bar{v}_o(t) &= V_{o_{ee}} + \hat{v}_o(t) \\ \bar{i}_L(t) &= I_{L_{ee}} + \hat{i}_L(t) \end{aligned} \quad (4.8)$$

Las perturbaciones presentes en las Ecuaciones 4.8 se consideran muy pequeñas con respecto a los valores de estado estacionario. Substituyendo los valores promedio definidos por las Ecuaciones 4.7 y 4.8 en el sistema promediado dado por las Ecuaciones 4.5:

$$\begin{aligned} L \frac{d[I_{L_{ee}} + \hat{i}_L(t)]}{dt} &= V_s - [1 - D_{ee} - \hat{d}(t)] [V_{o_{ee}} + \hat{v}_o(t)] \\ C \frac{d[V_{o_{ee}} + \hat{v}_o(t)]}{dt} &= V_s - [1 - D_{ee} - \hat{d}(t)] [I_{L_{ee}} + \hat{i}_L(t)] - \left[\frac{V_{o_{ee}}}{R} + \frac{\hat{v}_o(t)}{R} \right] \end{aligned} \quad (4.9)$$

Operando:

$$\begin{aligned} L \frac{d\hat{i}_L(t)}{dt} &= V_s - (1 - D_{ee}) V_{o_{ee}} - (1 - D_{ee}) \hat{v}_o(t) + \hat{d}(t) V_{o_{ee}} + \hat{d}(t) \hat{v}_o(t) \\ C \frac{d\hat{v}_o(t)}{dt} &= (1 - D_{ee}) I_{L_{ee}} + (1 - D_{ee}) \hat{i}_L(t) - \hat{d}(t) I_{L_{ee}} - \hat{d}(t) \hat{i}_L(t) - \frac{V_{o_{ee}}}{R} - \frac{\hat{v}_o(t)}{R} \end{aligned} \quad (4.10)$$

Estas ecuaciones se simplifican considerando que:

- $V_s = (1 - D_{ee}) V_{o_{ee}}$
- $\frac{V_{o_{ee}}}{R} = I_{o_{ee}} = (1 - D_{ee}) I_{L_{ee}}$
- Se eliminan los términos no lineales de segundo orden que se presentan al considerarse que las perturbaciones son muy pequeñas, y el producto entre ellas lo son aún más.

El resultado es el modelo lineal del convertidor:

$$\begin{aligned} L \frac{d\hat{i}_L(t)}{dt} &= -(1 - D_{ee}) \hat{v}_o(t) + \hat{d}(t) V_{o_{ee}} \\ C \frac{d\hat{v}_o(t)}{dt} &= -(1 - D_{ee}) \hat{i}_L(t) - \hat{d}(t) I_{L_{ee}} - \frac{\hat{v}_o(t)}{R} \end{aligned} \quad (4.11)$$

4.3. Diseño del sistema de control

El primer paso en el diseño del sistema de control consiste en definir qué tipo de señal se utilizará como excitación en el gate de los transistores del convertidor. Dos alternativas son presentadas:

- Los **sistemas de control a frecuencia fija** poseen un ciclo de trabajo variable, pero la frecuencia es constante. Un ejemplo es la modulación por ancho de pulso o PWM (del inglés *pulse width modulation*).
- Los **sistemas de control a frecuencia variable** mantienen constante el tiempo durante el cual el transistor es excitado con un nivel alto, pero la frecuencia de su commutación es variable. Un ejemplo es la modulación de la frecuencia del pulso o PFM (del inglés *pulse frequency modulation*).

El control por PWM presenta una menor eficiencia que el control por PFM con cargas pequeñas, debido a que este último reduce la frecuencia de su señal en estos casos, lo que conlleva menores pérdidas por commutación de las llaves. Aun así, el control por PWM es preferible debido a su frecuencia fija, lo que significa que el *ripple* de commutación se encuentra acotado, y simplifica de gran manera la implementación de la acción de control, mientras que en el control por PFM el rizado puede tener amplitudes mayores cuando se reduce mucho la frecuencia. Por esta razón se utiliza este un control con señal de modulación de ancho de pulso para este trabajo.

El siguiente paso es comenzar a diseñar la estrategia de control, la cual se verá afectada por las especificaciones disponibles en cuanto a modos de funcionamiento y las características de la respuesta dinámica requerida. Específicamente para este trabajo, el objetivo de la acción de control es mantener una tensión constante en la carga.

Proponiendo un lazo de realimentación como el de la Figura 4.2, se observa rápidamente que esta estrategia no es viable cuando la planta es un convertidor elevador.

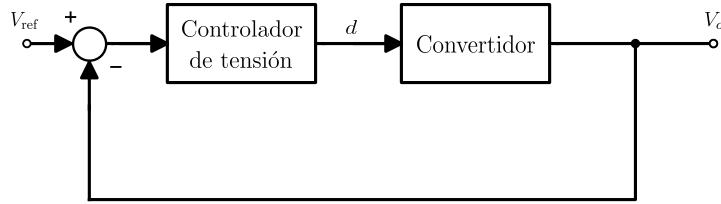


Figura 4.2: Ilustración del lazo de control de tensión propuesto.

Esta impracticabilidad se demuestra asumiendo inicialmente que la tensión de salida se ha estabilizado en un valor estacionario $V_{o_{ee}}$ y considerando una tensión de entrada constante V_s . Substituyendo estos valores en las Ecuaciones 4.5 correspondientes al sistema promediado:

$$\begin{aligned} L \frac{d\bar{i}_L(t)}{dt} &= V_s - [1 - \bar{d}(t)] V_{o_{ee}} \\ 0 &= [1 - \bar{d}(t)] \bar{i}_L(t) - \frac{V_{o_{ee}}}{R} \end{aligned}$$

Realizando un reemplazo sobre el ciclo de trabajo promediado se obtiene:

$$L \frac{d\bar{i}_L(t)}{dt} = V_s - \frac{V_{o_{ee}^2}}{R \bar{i}_L(t)} \quad (4.12)$$

Y efectuando otro reemplazo con la potencia de salida $P_{o_{ee}} = V_{o_{ee}}^2 / R$ se obtiene:

$$L \frac{d\bar{i}_L(t)}{dt} = V_s - \frac{P_{o_{ee}}}{\bar{i}_L(t)}$$

Dado que la potencia de salida es siempre menor a la de la entrada debido a pérdidas, se tiene:

$$\frac{P_{o_{ee}}}{\bar{i}_L(t)} < \frac{P_{s_{ee}}}{\bar{i}_L(t)}$$

$$\boxed{\frac{P_{o_{ee}}}{\bar{i}_L(t)} < V_s \quad \forall \quad t}$$

Esto implica que el miembro derecho de la Ecuación 4.12 es mayor que cero para todo instante de tiempo, por lo que la derivada de la corriente es siempre positiva, y en consecuencia la corriente por el inductor diverge.

La razón por la que esto ocurre es que hay una parte de la dinámica del sistema que no está siendo controlada. Es decir, si solamente se controla la tensión de salida, la corriente por el inductor se deja variar en forma libre. Esta dinámica de lazo cerrado para estados no controlados de un sistema no lineal se conoce como *dinámica escondida* o *dinámica cero*, y su estabilidad es condición necesaria para la estabilidad del sistema entero [11]. Dado que la dinámica cero del convertidor con un lazo cerrado de tensión resulta inestable, se concluye que es necesario implementar un control de corriente anidado dentro del lazo de tensión. En resumen, la estrategia de control consiste en:

1. El **lazo interno de control de corriente**, el cual se encarga de la dinámica escondida de esta variable de estado.
2. El **lazo externo de control de tensión**, el cual se encarga de generar la acción de control para cumplir el objetivo de mantener la tensión de carga constante. Este lazo es el encargado de calcular e inyectar la referencia en el lazo interno.

Por eso mismo, se realizará un diseño en fases para cumplir individualmente estos objetivos, cuya primer etapa será el diseño del lazo interno de corriente.

4.3.1. Diseño del lazo interno de corriente

Dado el contexto de un sistema de control de tensión, para el diseño del lazo de corriente se asume una tensión constante, y se controla el flujo de la potencia en forma indirecta mediante el control de la componente media de la corriente por el inductor.

La Figura 4.3 representa el modo de control propuesto para la corriente del convertidor electrónico. Este consiste en un lazo de realimentación que permite comparar la corriente en el inductor con la referencia de corriente deseada, para inyectar con la señal error resultante a un controlador en cascada con el sistema.

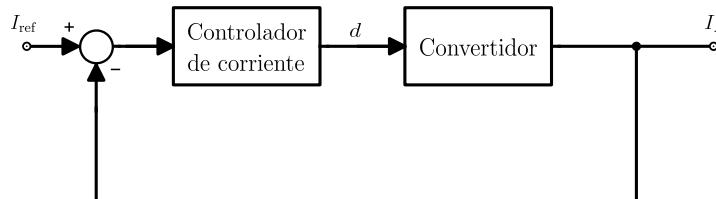


Figura 4.3: Ilustración del lazo de control de corriente.

El modelo linealizado del convertidor elevador obtenido en las Ecuaciones 4.11 permite aplicar herramientas convencionales de análisis como la transformada de Laplace, lugar de raíces, entre otros. Por su parte, como se aclaró en el Capítulo 3, el hardware de control será un FPGA, el cual opera a partir de muestras obtenidas mediante dos conversores. Por esto mismo, el diseño del controlador se realiza en el dominio discreto.

El primero paso a realizar es obtener la función de transferencia continua del convertidor, aplicando la transformada de Laplace a las Ecuaciones 4.11, y asumiendo que las condiciones iniciales son nulas. Las siguientes ecuaciones son obtenidas

$$\begin{aligned} s L I_L(s) &= -(1 - D_{ee}) V_o(s) + V_{o_{ee}} D(s) \\ s C V_o(s) &= -(1 - D_{ee}) I_L(s) + I_{L_{ee}} D(s) - \frac{V_o(s)}{R} \end{aligned} \quad (4.13)$$

Considerando como salida a la corriente del inductor I_L y como entrada al ciclo de trabajo D , se obtiene la función de transferencia expresada en la Ecuación 4.14.

$$G_{I_L}(s) = \frac{I_L(s)}{D(s)} = \frac{\frac{V_{o_{ee}}}{L} s + \left[\frac{I_{L_{ee}}(1-D_{ee})}{LC} + \frac{V_{o_{ee}}}{LCR} \right]}{s^2 + \frac{1}{RC} s + \frac{(1-D_{ee})^2}{LC}} \quad (4.14)$$

Ahora, deben seleccionarse valores de tensión de entrada V_s , ciclo de trabajo D_{ee} , y resistencia de carga R que conforman el punto de operación alrededor del cual se trabajará con el sistema. Considerando una tensión un poco menor de la nominal del banco de supercapacitores y baterías de litio, se obtiene la asignación mostrada en la Tabla 4.1.

V_s	25 V
D_{ee}	0.5
R	15 Ω
$V_{o_{ee}}$	50 V

Cuadro 4.1: Punto de trabajo alrededor del cual se linealiza el convertidor.

En el convertidor elevador utilizado, los valores de inductancia y capacitancia por diseño son de 200 μH y 200 μF, respectivamente. Con estos valores y reemplazando en la Ecuación 4.14:

$$G_I(s) = \frac{I_L(s)}{D(s)} = \frac{250\,000 s + 15.15 \times 10^6}{s^2 + 30.3 s + 568.18 \times 10^3} \quad (4.15)$$

Cuyos polos complejos conjugados se encuentran en $-15.15 \pm j753.62$.

La discretización de la planta depende del tiempo de muestreo T_s de los conversores analógico-digitales, el cual debe ser varias veces menor que la menor constante de tiempo del sistema. Para esto, se programa al controlador de los ADCs para que tengan un período de muestreo de $1.6 \mu\text{s}$, bien por debajo del período de conmutación de las llaves de $50 \mu\text{s}$. La aproximación utilizada para la discretización de la planta es el método de *Euler en avance*:

$$s = \frac{z - 1}{T_s} \quad (4.16)$$

En donde T_s es el período de muestreo anteriormente mencionado. Reemplazando la Ecuación 4.16 en la Ecuación 4.15:

$$G_I(z) = \frac{0.4(z - 0.999903)}{z^2 - 1.99995z + 0.999953} \quad (4.17)$$

Una vez obtenido el modelo discretizado, es necesario seleccionar el tipo de controlador a implementar. Las especificaciones buscadas en cuanto la respuesta dinámica de la corriente en el inductor son:

- Error de estado estacionario nulo.
- Tiempo de establecimiento del orden del milisegundo o menor.
- Si se producen sobrepicos, que su amplitud no ponga en riesgo a los componentes del sistema, ni a la carga.

Se optó por la implementación de un control tipo proporcional-integral-derivativo digital, más comúnmente llamados por su acrónimo *controlador PID*.

Controladores PID

Los controladores PID (Figura 4.4) son controladores que tienen una larga historia en el campo de control automático. Debido a su mecanismo intuitivo y su relativa simpleza, además de una performance satisfactoria en un amplio rango de procesos, se consideran el controlador estándar en la industria. Aplicar una ley de control PID consiste en aplicar la suma de tres tipos de acciones de control: una acción proporcional, una integral, y una derivativa.

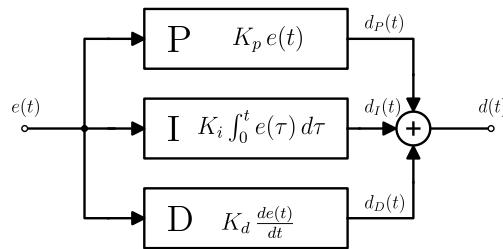


Figura 4.4: Diagrama en bloques de un controlador PID.

- La **acción proporcional** es proporcional a la señal error que ingresa al controlador, dada por la expresión

$$d_P(t) = K_p e(t) = K_p (r(t) - y(t))$$

en donde K_p es la ganancia proporcional. Su significado es sencillo, ya que su comportamiento es aumentar la variable de control cuando el error es grande, con su signo apropiado. La mayor desventaja de usar un controlador proporcional puro es que produce un error de estado estacionario, aún cuando la planta presente una dinámica integral (es decir, su función de transferencia presenta un polo en el origen del plano complejo).

- La **acción integral** es proporcional a la integral del error del control, es decir

$$d_I(t) = K_i \int_0^t e(\tau) d\tau$$

en donde K_i es la ganancia integral, y su función de transferencia es:

$$C(s) = \frac{K_i}{s}$$

La presencia del polo en el origen permite la reducción a cero del error de estado estacionario cuando una señal escalón es aplicada en la referencia o cuando ocurre una perturbación en la carga. Aún así, cuando se presenta una acción integral, el llamado efecto *windup* puede ocurrir en el caso de que se presente una saturación en la variable de control.

Esta situación se da debido a que el integrador del controlador no detiene su integración al superar los límites físicos del sistema a controlar y por lo tanto, ante ciertas situaciones (por ejemplo, un gran cambio en la referencia), es posible que la acción de control generada exceda estas limitaciones, lo que puede causar un sobrepico en alguna variable de estado del sistema. Para evitar este problema se utilizan métodos *anti-windup*.

- Mientras la acción proporcional se basa en el valor presente del error de control y la acción integral se basa en sus valores pasados, la **acción derivativa** se basa en predecir futuros valores de esta señal. Una ley de control derivativa ideal puede ser expresada como:

$$d_D(t) = K_d \frac{de(t)}{dt}$$

en donde K_d es la ganancia derivativa, y su función de transferencia es

$$C(s) = K_d s$$

Este tipo de acción de control tiene un gran potencial en mejorar la performance del control, debido a que podría anticipar una incorrecta tendencia en la señal error y contrarrestarla. Sin embargo, también posee algunas cuestiones críticas que hacen que no sea adoptada en casos prácticos. Específicamente en el marco de este trabajo y debido a la conmutación de las llaves y la generación del ripple presente en las variables de estado a controlar, el término derivativo termina amplificando este rizado, lo cual es indeseado y podría generar una oscilación en el sistema de control. Por esto mismo, se decide implementar un controlador proporcional-integral (PI).

La transferencia discreta de un PI suele expresarse como:

$$PI_I(z) = K_p + \frac{K_i T_s}{z - 1}$$

Y las ganancias proporcional e integral K_p y K_i deben ser balanceadas a partir de la sintonización del controlador PI para obtener la performance buscada a lazo cerrado. En la Sección 5.3.3 del Capítulo 5 se detalla la implementación del método de *anti-windup* para la acción de control integral, conocido como *clamping*. El clamping consiste en deshabilitar el integrador cuando una cierta condición es alcanzada. Las siguientes opciones pueden ser implementadas:

- El término integral se limita a un valor predefinido.
- La integración se detiene cuando el error es mayor a un umbral predefinido, es decir, cuando la variable de estado del proceso está muy lejos de la referencia.
- La integración se detiene cuando la variable de control se satura, es decir, cuando $d \neq d'$.
- La integración se detiene cuando la variable de control se satura, y tiene la misma señal que la señal error, es decir, cuando $d \cdot e > 0$.

El método utilizado en este trabajo es el primero, en el cual se realiza una saturación del término integral.

Filtro de corriente

Como se mencionó anteriormente, la acción de control será calculada a partir de la corriente media por el inductor, y no su valor instantáneo. Por esto mismo resulta necesario aplicar a la señal de corriente medida un filtro pasa-bajo que rechace las componentes del *ripple*, y que además sea lo suficientemente rápido para poder seguir la dinámica de la planta modelada en la Ecuación 4.15. Dado que este rizado es producto de la conmutación de las llaves y su frecuencia fundamental es de 20 kHz, y los polos de la planta poseen un valor absoluto aproximado de 750, se decide implementar un filtro pasabajos de primer orden con frecuencia de corte en 1.5 kHz. La Figura 4.5 muestra la forma en la que se incorpora este filtro al lazo interno de realimentación de corriente.

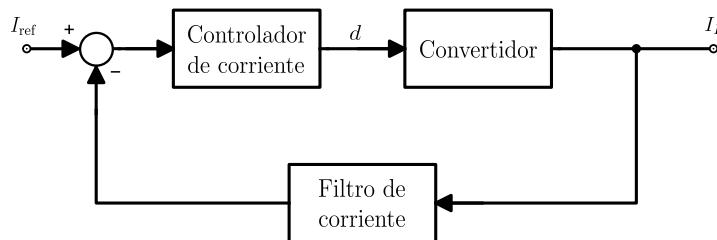


Figura 4.5: Lazo de control de corriente con filtro pasa-bajo.

Para esto, se partió de la transferencia en continua del filtro de primer orden a implementar:

$$F_I(s) = \frac{\omega_c}{s + \omega_c} = \frac{2\pi 1.5 \times 10^3}{s + 2\pi 1.5 \times 10^3} \quad (4.18)$$

Y luego se transformó al dominio discreto, nuevamente mediante el método de Euler en avance y la frecuencia de muestreo establecida anteriormente:

$$F_I(z) = \frac{0.0150796}{z - 0.98492} \quad (4.19)$$

Simulación del lazo interno de corriente

Luego de filtrar correctamente la corriente por el inductor del convertidor, se procede al ajuste de los parámetros del controlador proporcional-integral. Para ello, la sintonización inicial fue hecha a partir de la transferencia lineal encontrada en la Ecuación 4.17 y las herramientas de simulación y cálculo provistas por MATLAB® y Simulink®.

En la Figura 4.6 puede observarse el esquema realizado para una primer simulación respecto de la transferencia discretizada del modelo. Para este paso fue utilizada la herramienta de sintonización provista por Simulink®, la cual cuenta con dos controles deslizantes (Figura 4.7) los cuales permiten ajustar la rapidez de la respuesta temporal y el comportamiento transitorio de la acción de control, y en base a eso, generar los parámetros del controlador.

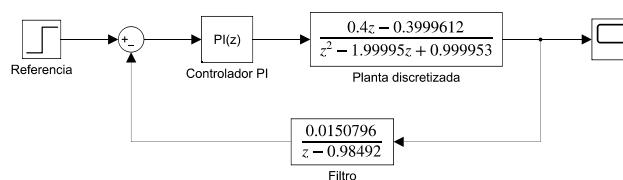


Figura 4.6: Primer simulación del lazo de control de corriente.

Una vez generada una primer aproximación del lazo de control con una respuesta satisfactoria, se reemplaza al modelo linealizado del convertidor por el modelo real parametrizado, expresado por las Ecuaciones 4.3, y se implementa el filtro de corriente, como se observa en la Figura 4.8. En esta simulación se inyecta un escalón unitario de 8 A a 9 A en la referencia del lazo de control de corriente y se observan las variables de estados del convertidor (corriente por el inductor y tensión en el capacitor o de salida), además de corroborar el funcionamiento del filtro implementado.

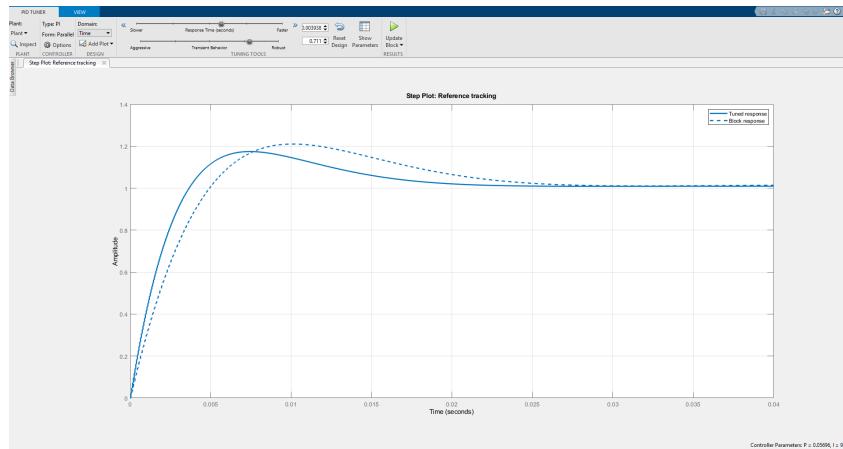


Figura 4.7: Sintonización del PI mediante herramientas de Simulink®.

Analizando el comportamiento transitorio obtenido con la simulación del modelo real y realizando nuevos ajustes de manera de obtener una performance satisfactoria, se llega al siguiente controlador:

$$\text{PI}_I(z) = 0.02 + \frac{12 \cdot 1.6 \times 10^{-6}}{z - 1}$$

Donde se deduce que la constante proporcional K_p es 0.02, y la constante integral K_i es 12.

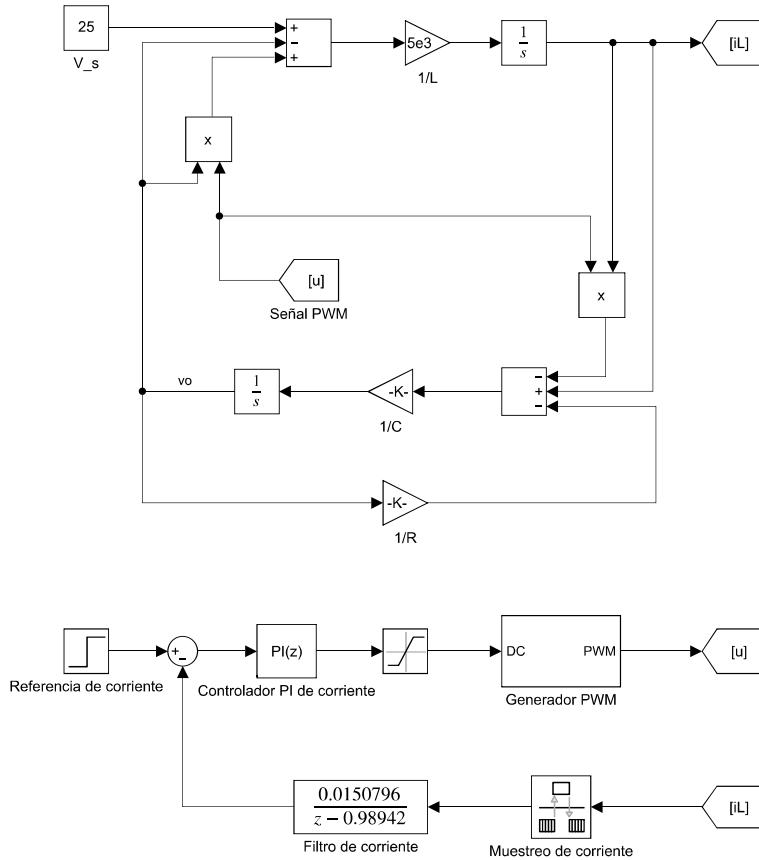


Figura 4.8: Simulación real del lazo de control de corriente.

En la Figura 4.9 se grafican los resultados de la simulación. A partir de la corriente por el inductor filtrada (Figura 4.9c), la cual atenúa satisfactoriamente al rizado de la forma de onda, se realiza un análisis

del transitorio del escalón unitario aplicado. Utilizando las herramientas provistas por Simulink®, se mide un valor de sobrepico del 1.8 % respecto del valor de estado estacionario de 9 A, y un tiempo de establecimiento con criterio del 2%¹ de aproximadamente 1 ms.

En la Figura 4.10 se observa con mayor detalle la acción del filtro alrededor del punto de salto del escalón.

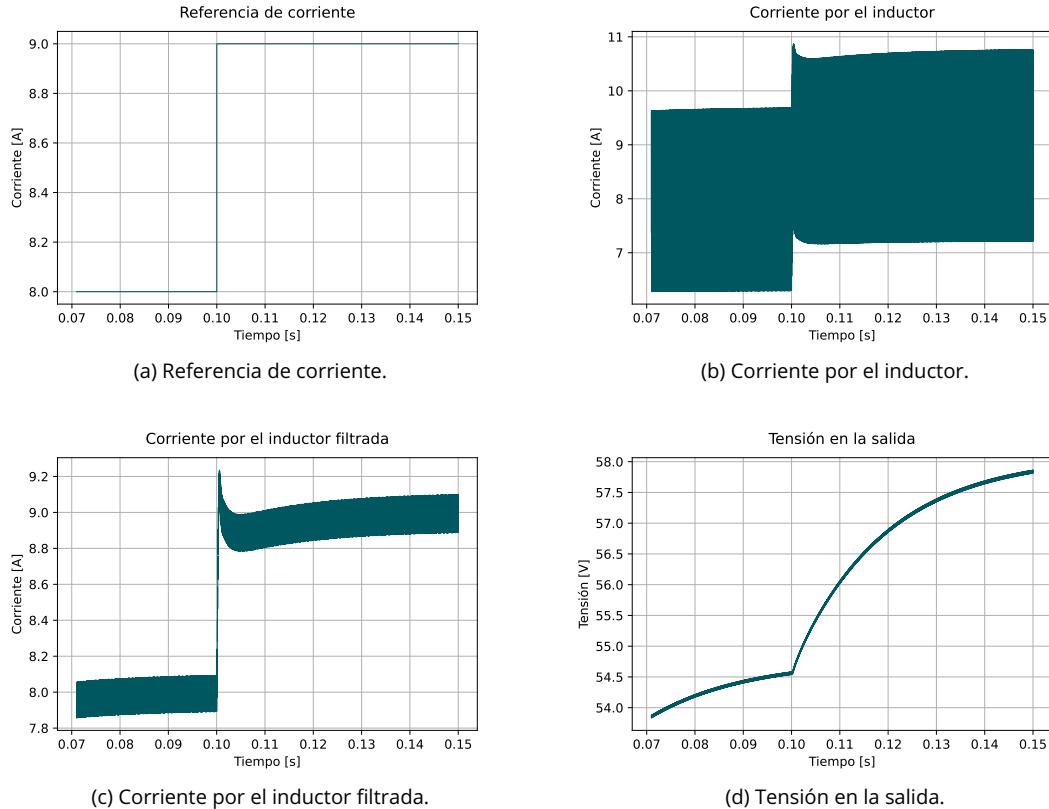


Figura 4.9: Formas de onda obtenidas en la simulación del lazo de control de corriente.

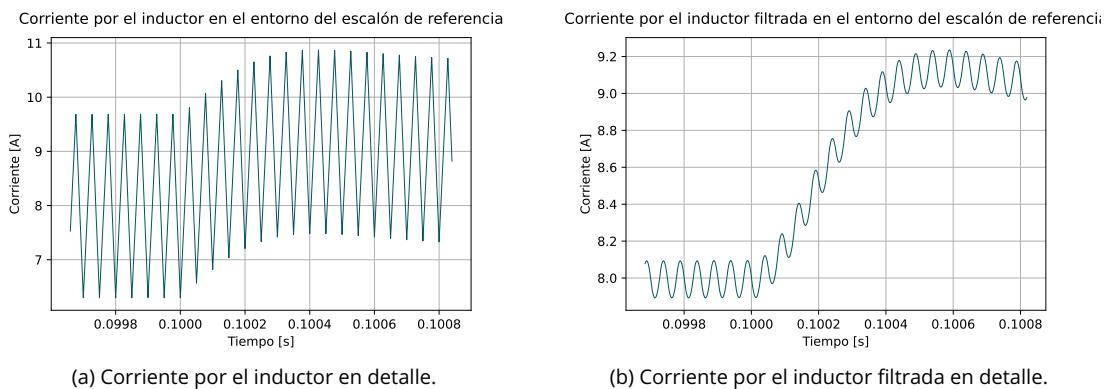


Figura 4.10: Corriente del inductor alrededor del entorno del escalón unitario de corriente.

¹Se entiende como *tiempo de establecimiento del 2%* al tiempo que tarda la señal en situarse en un entorno del 2 % alrededor del valor de estado estacionario.

4.3.2. Diseño del lazo externo de tensión

Para el diseño del lazo de control de tensión y poder controlar la tensión de salida del convertidor, se implementa la estrategia de control que se muestra en la Figura 4.11

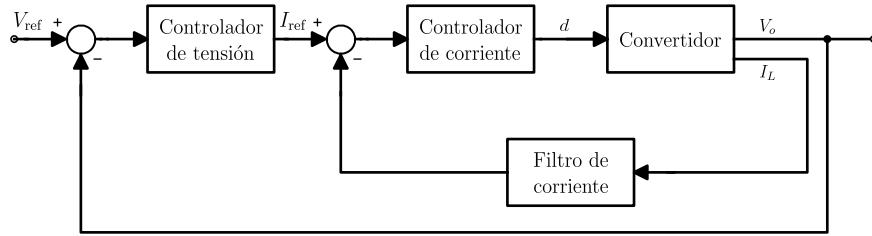


Figura 4.11: Ilustración del lazo de control de tensión.

Como se puede observar, el lazo de corriente queda anidado dentro del de tensión y es visto como parte de la planta a controlar por este. Por lo tanto, es necesario realizar una expansión del modelo del sistema que incluya al lazo de control de corriente. Este debe incluir al convertidor, al lazo interno de corriente, y a su filtro correspondiente. Desarrollando mediante modelos de estados al controlador PI de corriente y a su filtro se obtienen las ecuaciones en diferencias correspondientes:

$$\begin{aligned} x_1[n+1] &= I_{\text{ref}} - x_2[n] \\ x_2[n+1] &= 0.0150796 i_L[n] + 0.98492 x_2[n] \end{aligned}$$

Reemplazando,

$$d[n] = (I_{\text{ref}} - x_2[n]) K_p + K_i T_s x_1[n]$$

Y sustituyendo con los valores correspondientes al controlador PI de corriente:

$$d[n] = 0.02 I_{\text{ref}} - 0.02 x_2[n] + 17.04 \times 10^{-6} x_1[n]$$

Expresando las ecuaciones diferenciales del modelo linealizado del convertidor dados por las Ecuaciones 4.11 en ecuaciones en diferencias considerando un tiempo de muestreo de $1.42 \mu\text{s}$ y el punto de trabajo establecido anteriormente, se obtiene:

$$\begin{aligned} i_L[n+1] &= i_L[n] - 0.00355 v_o[n] + 0.355 d[n] \\ v_o[n+1] &= 0.00323 i_L[n] + 0.99996 v_o[n] - 0.00430 d[n] \end{aligned}$$

Luego, expandiendo el sistema con las Ecuaciones 4.3.2, 4.3.2 y 4.3.2:

$$\begin{aligned} i_L[n+1] &= i_L[n] - 0.00355 v_o[n] + 0.355 [0.02 I_{\text{ref}} - 0.02 x_2[n] + 17.04 \times 10^{-6} x_1[n]] \\ v_o[n+1] &= 0.00323 i_L[n] + 0.99996 v_o[n] - 0.00430 [0.02 I_{\text{ref}} - 0.02 x_2[n] + 17.04 \times 10^{-6} x_1[n]] \\ x_1[n+1] &= I_{\text{ref}} - x_2[n] \\ x_2[n+1] &= 0.0150796 i_L[n] + 0.98492 x_2[n] \end{aligned}$$

Distribuyendo términos y generando una representación matricial:

$$\begin{bmatrix} i_L[n+1] \\ v_o[n+1] \\ x_1[n+1] \\ x_2[n+1] \end{bmatrix} = \begin{bmatrix} 1 & -0.00355 & 6.0492 \times 10^{-6} & -7.1 \times 10^{-3} \\ 0.99996 & 3.23 \times 10^{-3} & -73.272 \times 10^{-9} & 86 \times 10^{-6} \\ 0 & 0 & 0 & -1 \\ 15.0796 \times 10^{-3} & 0 & 0 & 0.98492 \end{bmatrix} \begin{bmatrix} i_L[n] \\ v_o[n] \\ x_1[n] \\ x_2[n] \end{bmatrix} + \begin{bmatrix} 7.1 \times 10^{-3} \\ 86 \times 10^{-6} \\ 1 \\ 0 \end{bmatrix} I_{\text{ref}}$$

Este sistema discreto expandido representa a la planta a lazo cerrado de corriente. Una cuestión crítica a tener en cuenta a la hora de empezar a diseñar el lazo de tensión es que su dinámica debe ser

aproximadamente un orden de magnitud más lento que la del lazo de corriente, para que esta pueda seguir su referencia de forma adecuada y sin provocar un comportamiento oscilatorio.

La sintonía del controlador de tensión fue realizada con el mismo método que el utilizado para sintetizar el PI de corriente, mediante una aproximación lineal y ajustes progresivos basados en la respuesta temporal observada. El siguiente controlador proporcional-integral de tensión fue obtenido:

$$\text{PI}_U = K_{p_U} + \frac{K_{i_U} T_s}{z - 1}$$

$$\text{PI}_U = 0.2 + \frac{15 \cdot 1.6 \times 10^{-6}}{z - 1}$$

Lo que implica $K_{p_U} = 0.2$ y $K_{i_U} = 15$. En la Figura 4.12 se ilustra el diagrama en bloques armado para la simulación del modelo real. En el lazo de control se puede observar el control de la tensión junto con el control de corriente anidado, y el muestreo de las variables de estado del convertidor electrónico.

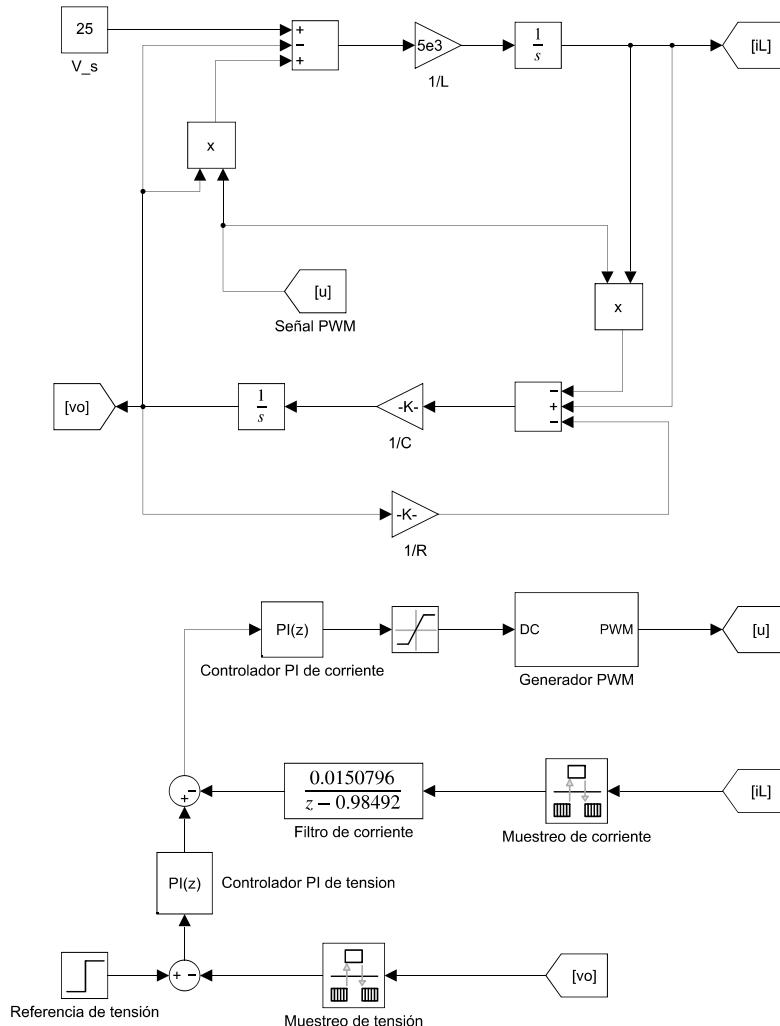


Figura 4.12: Simulación real del lazo de control de tensión.

La simulación realizada para este sistema es similar a la del lazo de corriente. Se inyectó nuevamente un escalón a la referencia de tensión que varía de 50 V a 55 V a los 0.25 s, y se observan las mismas formas de onda graficadas anteriormente. En el escalón de referencia no se discierne un sobrepico de tensión en la salida, y nuevamente utilizando las herramientas de Simulink® se mide el tiempo de establecimiento al 2 %, el cual resulta ser de aproximadamente 70 ms.

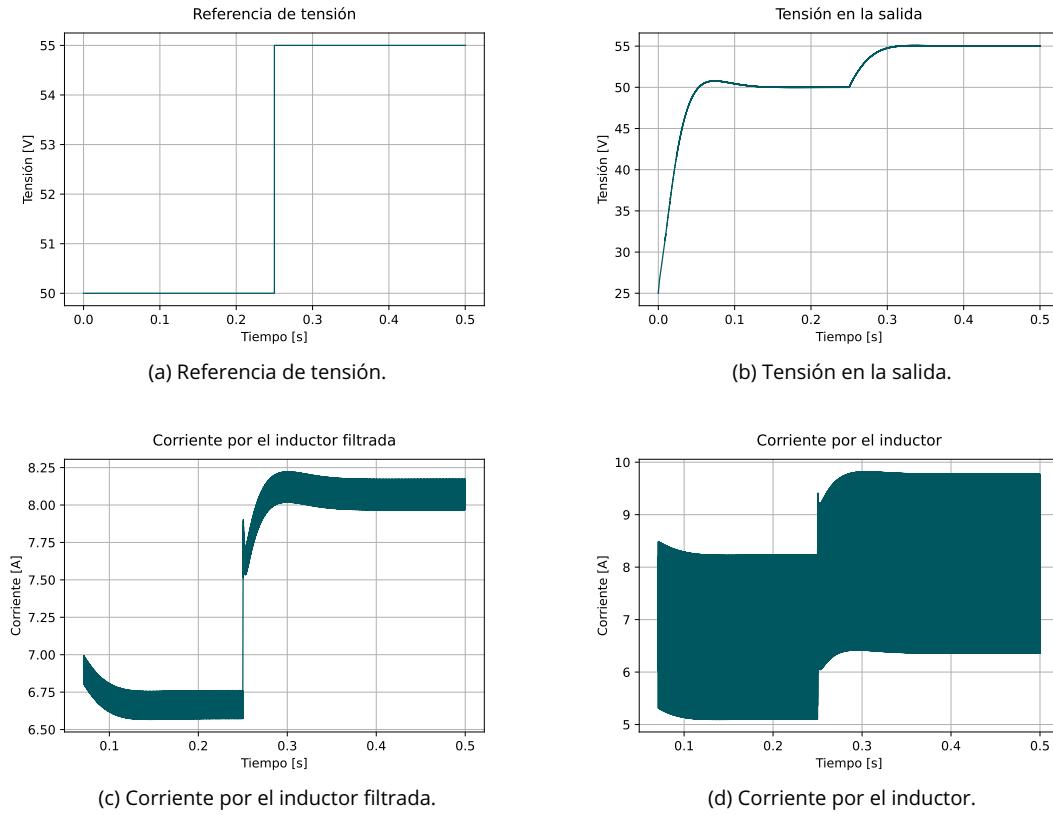


Figura 4.13: Formas de onda obtenidas en la simulación del lazo de control de tensión.

Variación de la resistencia de carga

La última prueba en Simulink® se realiza modificando la carga conectada al convertidor elevador a lazo cerrado de tensión. Esta simulación se aproxima mejor a una situación real en la cual la demanda de la carga presenta una variación mientras está conectada al sistema.

Esta simulación consiste en hacer variar la resistencia de carga de un valor inicial de 15Ω a un valor de 12Ω en $t = 0.25\text{ s}$. En la Figura 4.14 puede observarse la modificación realizada al modelo para poder realizar esta prueba.

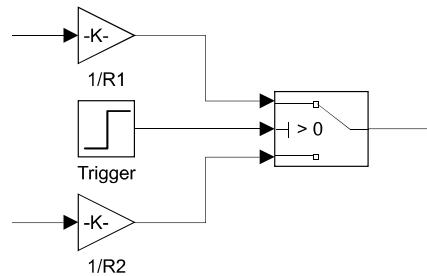


Figura 4.14: Bloques reemplazados para simular una variación de carga.

Simulando por un tiempo de 0.5 s a la variación de la resistencia de carga, la tensión que cae en ella, la corriente de por el inductor filtrada, y la acción de control, se obtienen la Figura 4.15. Aquí se puede observar la adecuada respuesta del sistema de control ante este tipo de perturbaciones sin presentar sobrepicos y con un comportamiento suave y lo suficientemente rápido para volver a la tensión establecida a partir de la referencia elegida.

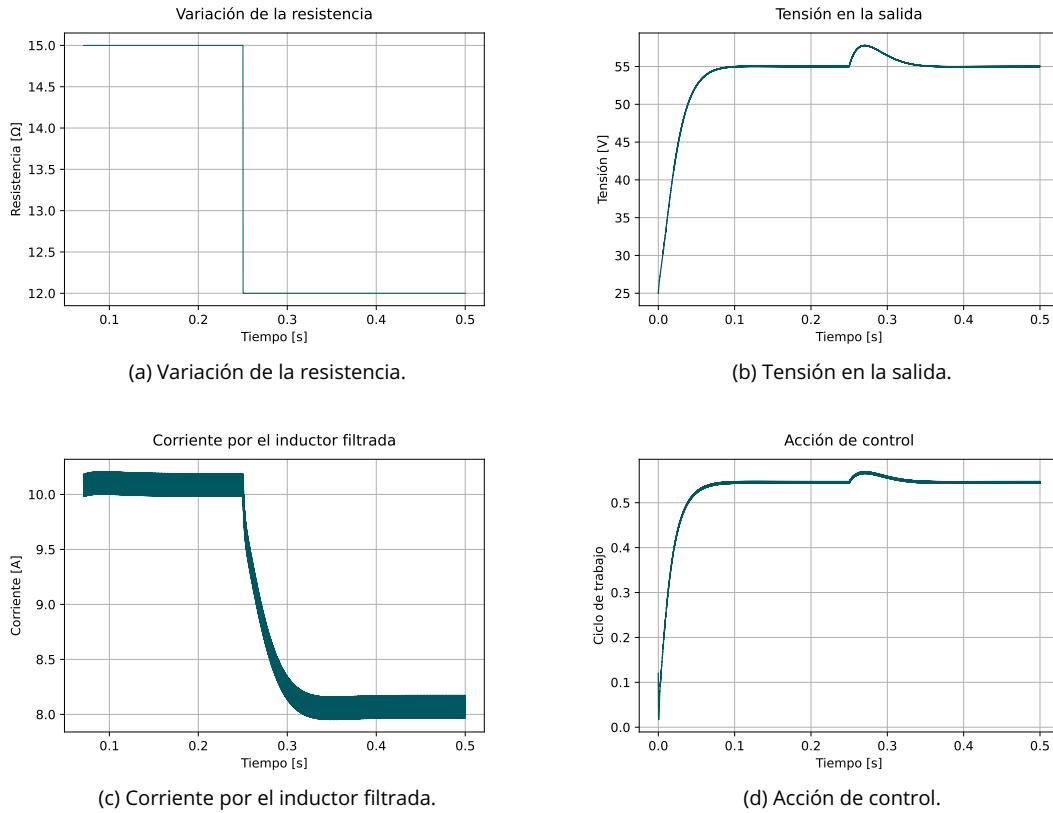


Figura 4.15: Formas de onda obtenidas en la simulación de una variación de la resistencia de carga.

4.4. Resumen

En este capítulo se ha expuesto el proceso de diseño del sistema de control a implementar, a través del desarrollo de las ecuaciones matemáticas que rigen a sus componentes (el filtro y los controladores), así como las que describen a un modelo del sistema lo suficientemente sencillo para poder utilizar las herramientas convencionales de análisis.

Además se incluyeron simulaciones en cada etapa del proceso para corroborar el correcto funcionamiento de la acción de control provista por el sistema diseñado, y por último se realizaron una serie de simulaciones con el propósito de emular eventos que puedan ocurrir en el sistema real, para observar el comportamiento satisfactorio del sistema en el lazo cerrado de control creado.

En el próximo capítulo se muestra la programación de este sistema en el circuito de desarrollo utilizado para este trabajo, una FPGA con el lenguaje VHDL, y se realizan nuevas simulaciones en el entorno de este lenguaje HDL para confirmar su correcta implementación.

Capítulo 5

Implementación de la etapa de control

5.1. Introducción

En este capítulo se sintetiza e implementa la estrategia de control diseñada en el capítulo anterior. Debido a las características del lenguaje de programación a utilizar, los componentes del lazo de control deben ser programados individualmente, para después ser ensamblados en el sistema de control diseñado. Debido a esta propiedad de VHDL, además de la programación de cada componente, se realiza una simulación o *test bench* para corroborar su correcto funcionamiento. Las herramientas utilizadas aquí fueron el entorno de desarrollo Xilinx ISE® y los simuladores de código HDL ISim® y ModelSim®, los cuales fueron descritos en el Capítulo 3, Sección 3.4.

5.2. Placa de desarrollo a utilizar

En el Capítulo 3, Sección 3.2.2, fue presentada la placa de desarrollo Nexys 3, la cual posee un FPGA Spartan-6. Esta placa es la utilizada para implementar el algoritmo de control que se detallará a lo largo de este capítulo, debido a su gran cantidad de recursos lógicos y amplia cantidad de elementos I/O (botones, switches, LEDs, etc.).

Esta placa presenta *slices* específicamente diseñados para aplicaciones de procesamiento de señales (llamados *DSP slices*), los que permiten un cálculo de punto fijo con gran resolución, funcionalidad necesaria para sintetizar los controladores y filtros mostrados en esta sección.

Para la programación de la Nexys 3 es necesario utilizar el entorno de desarrollo de Xilinx®, el cual posee varias herramientas que permitirán verificar el correcto funcionamiento de cada modelo programado y visualizar el interconexiónado de cada bloque que conforma el sistema de control implementado.



Figura 5.1: Placa de desarrollo Nexys 3.

5.3. Implementación de la etapa de control

5.3.1. Conversor analógico-digital

La primer pieza del lazo de control programada fue el controlador de los conversores analógico-digitales. Previo a esta tarea fue necesario comprender el protocolo de comunicación del *Pmod AD1*, el cual está compuesto por dos ADC AD7476A de Analog Devices. El protocolo utilizado por estos conversores es *SPI-like* con una señal de *Chip Select (CS)*, con la única diferencia de que ambas líneas de datos

(*MOSI* y *MISO*) son diseñadas para operar únicamente como salidas, y por lo tanto ambas son definidas como líneas de datos *Master-In-Slave-Out*.

Los ADCs poseen una resolución de 12 bits, con una frecuencia de muestreo máxima de 1 MS/s y un filtro antialiasing [1]. Ambos conversores transforman a una señal que va de 0 a V_{DD} , en un valor digital con un rango de 0 a 4095. En la Figura 5.2 pueden observarse los diagramas circuitales del Pmod AD1 y de los AD7476A.

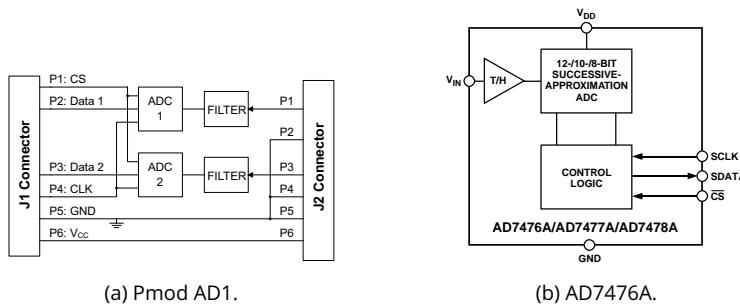


Figura 5.2: Diagramas de los circuitos del Pmod y ADCs.

El principio de funcionamiento de los conversores consta del \overline{CS} y un reloj en serie SCLK. Cuando se produce un flanco en SCLK y \overline{CS} está bajo, los conversores empiezan a muestrear. En total, cada ADC produce 16 bits, en donde los cuatro primeros bits son cero, y los restantes 12 bits son la muestra con el bit más significativo primero. En la Figura 5.3 se observa el diagrama de tiempos del conversor.

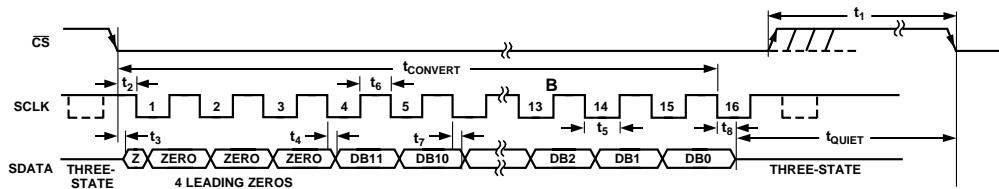


Figura 5.3: Diagrama de tiempos del AD7476A.

Para poder utilizar ambos conversores se implementó un controlador en VHDL a partir de una máquina de tres estados:

1. En el estado `shift` se captan las muestras de ambos ADCs y se los almacena en registros auxiliares de 16 bits.
2. En el estado `sync` se copian los 12 bits de ambas muestras a los puertos de salida correspondientes de cada conversor.
3. Por último, en el estado `idle` el controlador permanece inactivo, lo cual es necesario entre conversiones.

En la Figura 5.4 puede observarse el *test bench* realizado para el controlador con el software ModelSim®.

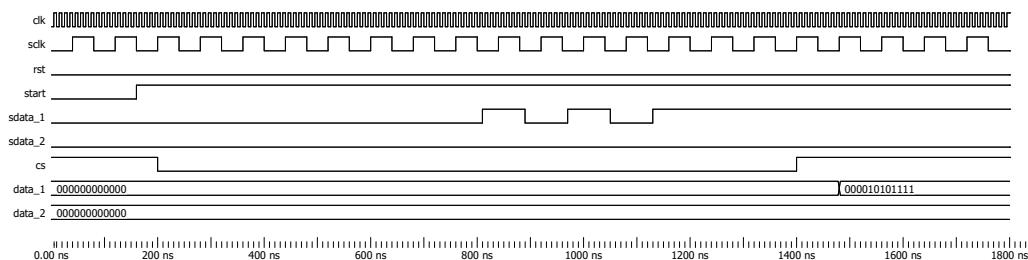


Figura 5.4: Simulación realizada del controlador de los conversores.

En esta simulación, `start` se pone en alto, y cuando el controlador recibe un flanco ascendente de `sclk`, `cs` se pone en bajo. Esto significa que la conversión comienza a efectuarse. Luego de iniciar el muestreo, se reciben en los siguientes ocho flancos ascendentes del reloj todos ceros en `sdata_1`, y luego el patrón que puede observarse (un uno, un cero, otro uno, un cero más, y luego todos unos, en ese orden). Finalmente, después de 16 ciclos de `sclk`, los datos se sincronizan a través de la máquina de estados en un vector de 12 bits llamado `data_1`, en el cual se descartan los primeros 4 ceros.

En este controlador, `sclk` es un reloj de frecuencia 12.5 MHz, mientras que la frecuencia de muestreo (lo que sería `start`) es de 625 kHz.

5.3.2. Filtro digital

Una vez muestreada la corriente, es importante que el lazo interno de corriente reciba un valor medio para que su dinámica resulte suave y no se produzcan exabruptos que puedan poner en peligro al sistema. Por lo tanto, un filtro es diseñado para atenuar el *ripple* de la corriente, resultado de la commutación de las llaves del convertidor como fue mencionado en capítulos anteriores y puede observarse en la Figura 2.4b. Por eso mismo, se implementa un filtro pasabajos digital de primer orden, con frecuencia de corte f_c de 1.5 kHz. La razón de esta elección fue mencionada en el Capítulo 4, Sección 4.3.1. La Ecuación 4.19 representa a la transferencia discreta del filtro a implementar. Desarrollando la función de transferencia:

$$z Y(z) - 0.98492 Y(z) = 0.0150796 X(z)$$

Y antitransformando:

$$y[n + 1] - 0.98492 y[n] = 0.0150796 x[n] \quad (5.1)$$

Esta ecuación en diferencias es *anticausal*, es decir, el término $y[n + 1]$ representa una muestra de la salida en un tiempo futuro, lo cual físicamente no es posible de sintetizar. Por lo tanto, para implementar la Ecuación 5.1 es necesario aplicar un retardo unitario al sistema. Implementando el retardo y reordenando, la expresión final es la siguiente:

$$y[n] = 0.0150796 x[n - 1] + 0.98492 y[n - 1] \quad (5.2)$$

La implementación del filtro puede ser optimizada para que se utilice un único *delay* para ambas entrada y salida. Su síntesis en Simulink® puede observarse en la Figura 5.5.

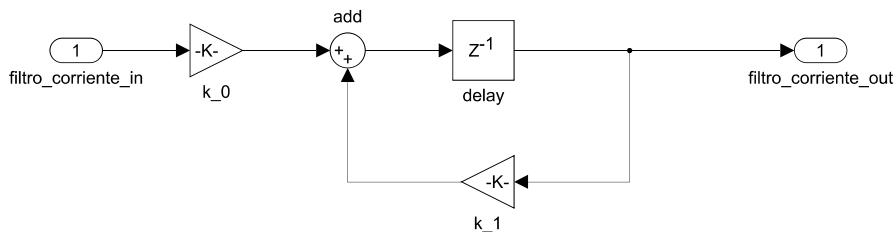


Figura 5.5: Implementación del filtro en Simulink®.

Con $k_o = 0.0150796$ y $k_1 = 0.98492$. Debido a la resolución necesaria para representar estos coeficientes, se eligió una síntesis a código HDL con representación en punto fijo de 32 bits de longitud de palabra, con 16 bits para representar la fracción.

Generado el código de VHDL, se realiza nuevamente otro *test bench* para probar su funcionamiento. Para esta simulación se inyecta una onda triangular con amplitud unitaria de 20 kHz montada sobre una señal continua de valor 1, de forma de emular el comportamiento de la corriente del convertidor. El resultado puede verse en la Figura 5.6, en el cual se observa un transitorio y luego el correcto filtrado del *ripple* de la entrada.

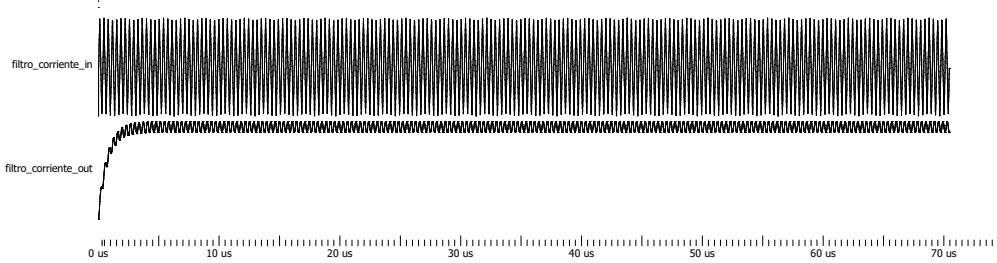


Figura 5.6: Simulación realizada del filtro digital.

5.3.3. Controlador proporcional-integral

La programación en VHDL de los controladores PI fue realizada con el mismo procedimiento que el de los filtros digitales. El diagrama en bloques creado en Simulink® es el de la Figura 5.7. En este diagrama pueden visualizarse dos saturaciones: la primera, llamada *saturation*, evita que la acción de control calculada por el PI exceda los límites inferiores y superiores impuestos por él; mientras que *clamping* cumple el rol de sistema *anti-windup* (explicado en el Capítulo 4, Sección 4.3.1). El tipo de datos para la representación de los parámetros del controlador PI de corriente fue de punto fijo de 32 bits de longitud de palabra con 16 bits para la fracción, mientras que para el controlador PI de tensión fue de 32 bits de palabra con 24 bits de fracción¹.

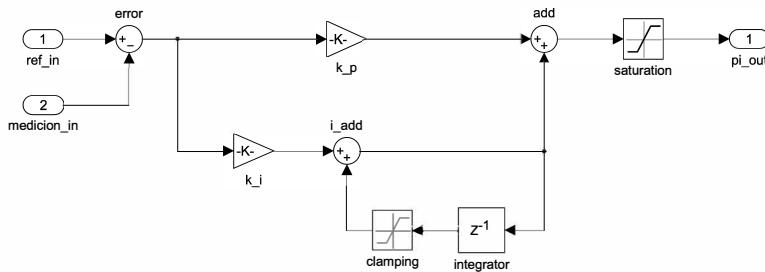


Figura 5.7: Implementación del controlador PI en Simulink®.

Como los mecanismos de ambos controladores PI son iguales, se programa una única simulación. El *test bench* realizado para los controladores proporcional-integral consiste en la prueba del correcto funcionamiento del clamping, utilizando un estímulo constante de valor unitario positivo hasta el valor fijado (240 en entero o 0F0 en hexadecimal), seguido de un breve período sin excitación, y finalmente una excitación con un valor entero negativo para observar como llega a cero. Tal simulación se muestra en la Figura 5.8. Se observa el correcto funcionamiento del controlador en las tres etapas, ya que una entrada constante se traduce a una rampa gracias al integrador, luego se observa la saturación debido al clamping y su mantenimiento a través de la excitación nula, y por último su rampa con pendiente negativa hasta el cero debido a una señal de error negativa.

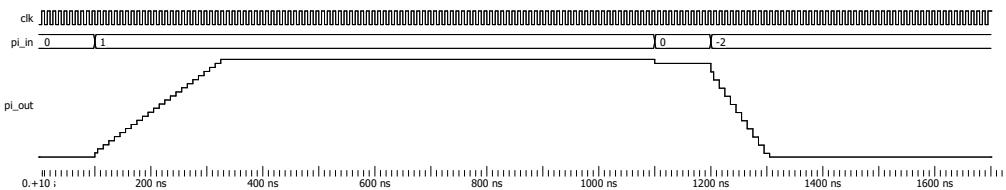


Figura 5.8: Simulación realizada del controlador proporcional-integral.

Para cada controlador proporcional-integral se implementó un *reset* que permite la habilitación de su parte integral.

¹Esta elección es justificada en el Apéndice A.

5.3.4. Referencia

Para poder establecer un valor de tensión o corriente que el sistema de control tenga que seguir, un bloque de referencia fue implementado. Este bloque consiste en dos señales de referencia:

- La señal de referencia de tensión, la cual se encuentra inicializada en 10V y puede aumentarse o reducirse en escalones de 1 V. Esta señal puede ser modificada sólo si el lazo externo de control de tensión se encuentra habilitado mediante el *reset* mencionado anteriormente.
- La señal de referencia de corriente, la cual es inicializada en 0 A y sus escalones son de 0.125 A. Esta señal puede ser modificada sólo si el lazo de tensión se encuentra deshabilitado.

Ambas señales de referencia son representadas con punto fijo de 32 bits de palabra, con 16 bits para la fracción, al igual que los controladores PI.

5.3.5. Controlador PWM

El generador de la onda modulada por ancho de pulsos hace de vínculo entre la acción de control y el convertidor. Este bloque recibe como entrada un ciclo de trabajo provisto por el controlador proporcional-integral, y comparándolo con un contador, lo transforma en una señal de ancho de pulso modulado (PWM). Este bloque posee como salidas la señal PWM y su complemento para accionar ambas llaves del convertidor.

El controlador fue programado completamente en VHDL y recibe un ciclo de trabajo con resolución de 12 bits (al igual que la resolución de las muestras de los conversores analógico-digitales), generando una onda PWM correspondiente con una frecuencia de 20kHz a partir de un contador y un comparador. En la Figura 5.9 se ingresa al controlador con el valor decimal 2047, que genera una onda de ancho de pulso modulado con un ciclo de trabajo del 50 %, y también se puede corroborar que su período es de 50 μ s.

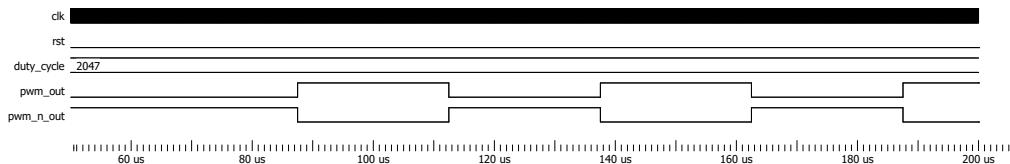


Figura 5.9: Simulación realizada del controlador PWM.

5.4. Implementación de módulos auxiliares

5.4.1. Display de siete segmentos

Para la visualización de las mediciones y referencias de corriente de entrada y tensión de salida se utilizaron los cinco display de siete segmentos que posee la placa de desarrollo Nexys 3. La selección de la variable a representar en los display se selecciona mediante un registro el cual es manejado a través de un par de botones.

5.4.2. Botones de selección y referencia

Para el sistema de control, cuatro botones fueron utilizados. Dos de ellos permiten el control de los display siete segmentos, como fue mencionado anteriormente, y el otro par permiten el aumento o reducción del valor de referencia seleccionado. Para la implementación de los botones fue necesario programar un componente antirrebote de aproximadamente 100 milisegundos, el cual fue luego instanciado cuatro veces (una para cada botón).

5.4.3. Llaves de habilitación

Por motivos de seguridad, se recurrió al uso de tres llaves de las ocho que posee la placa de desarrollo. Estas consisten en la habilitación o deshabilitación de un componente en específico en el caso de que surja un comportamiento que pueda poner en peligro al sistema, o si se quisiera realizar una habilitación secuencial de los componentes para un ensayo más controlado.

Las llaves utilizadas controlan los siguientes componentes:

1. El bloque generador de la señal PWM. Si esta llave es habilitada, la señal PWM y su complemento son llevadas a un nivel bajo.
2. El componente integrador del controlador PI de corriente.
3. El lazo de control de tensión. Si se encuentra en alto, el integrador se desactiva, y la acción de control generada por el lazo externo se desconecta del lazo interno, el cual a su vez se conecta a una referencia con un valor establecido manualmente.

5.4.4. Comunicación UART

Un transmisor UART (del inglés *Universal Asynchronous Receiver-Transmitter*) fue programado en el FPGA para poder enviar las mediciones y acciones de control calculadas a una computadora. Debido a que este tipo de comunicación consiste en paquetes de 10 bits (dos bits de inicio y fin, y ocho de datos), se decidió implementar un transmisor que sea capaz de enviar 64 bits de datos divididos de la siguiente manera:

1. 12 bits correspondientes a la medición de tensión de carga.
2. 12 bits correspondientes a la medición de corriente de entrada.
3. 12 bits correspondientes a la acción de control del lazo interno de corriente.
4. 28 bits correspondientes a la acción de control del lazo externo de tensión.

En la Figura 5.10 puede observarse el diagrama de tiempos de cada paquete correspondiente al protocolo de comunicación UART.

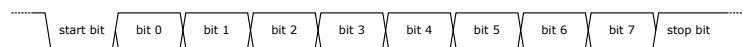


Figura 5.10: Diagrama de tiempos del protocolo de comunicación UART.

Ya que en este tipo de comunicación asincrónica no es posible recibir los datos en orden, se utilizaron otros 64 bits para indexar cada paquete de datos. La recepción y reordenamiento de los paquetes transmitidos por la Nexys 3 fue hecho en MATLAB®. Para poder ordenar cada paquete, cuatro bits de datos fueron utilizados para un número en hexadecimal (de 0 a F), y los otros cuatro bits para los datos a transmitir. En total son transmitidos 160 bits a una tasa de 1 millón de baudios, lo que se traduce en una transmisión de 400 kS/s.

5.5. Construcción del sistema de control

Una vez programados todos los componentes, se realiza la interconexión entre ellos. Esto es logrado a través de la instanciación de cada modelo en un *top-level file*, concepto detallado en el Capítulo 3. El modelo resultante, al tratarse solamente de la vinculación entre cada componente, posee una arquitectura estructural, como fue explicado en la Sección 3.3.2.

El sistema de control está compuesto por los componentes propios que permiten la medición de las variables, su filtrado, y el cálculo de la acción de control a partir de una referencia establecida por el usuario. Los módulos auxiliares generan la interfaz entre la placa de desarrollo y su operador, y posibilita la visualización de las variables y las referencias, así como la manipulación de estas últimas. En el caso de ser necesario, el operador también puede utilizar las tres llaves de seguridad programadas.

Con el lazo de control armado con todos sus componentes y sintetizado en Xilinx ISE®, se observa su diagrama RTL (del inglés *register-transfer level*, lo cual equivale a un diagrama de bloques y señales para lenguajes HDL) creado por el entorno de desarrollo en la Figura 5.11.

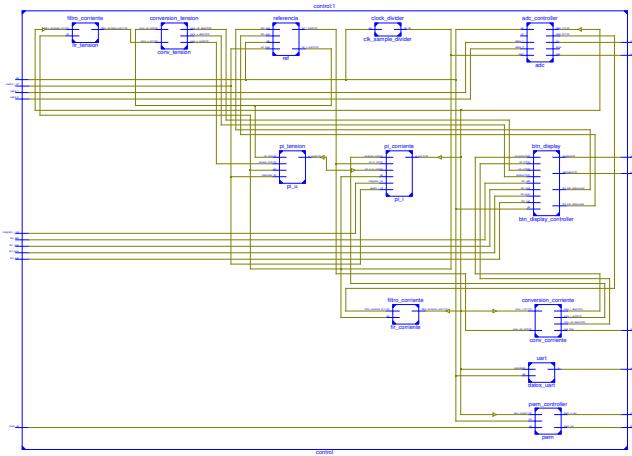


Figura 5.11: Diagrama RTL del lazo de tensión.

5.6. Resumen

En este capítulo fue mostrada la implementación de los bloques del sistema de control diseñado. Para esto, fue necesario utilizar varias herramientas que permitieron su traducción a VHDL, la síntesis de este código generado, y finalmente la simulación y ensayo de cada componente para verificar su correcto funcionamiento. Para la representación de las señales calculadas en cada instancia, se eligió un tipo de dato de punto fijo que permitió su cálculo con un bajo error, de manera de poder generar un ciclo de trabajo preciso que es alimentado al convertidor electrónico de potencia.

Capítulo 6

Ensayos y resultados experimentales

6.1. Introducción

Una vez implementado el sistema de control diseñado en la placa de desarrollo Nexys 3, se realizan una serie de ensayos para verificar su correcto funcionamiento. Estos ensayos son de carácter progresivo, en un principio probando sólamente al generador de la señal PWM junto con el ADC en un esquema lazo abierto. Luego de ir confirmando el correcto funcionamiento, se fueron agregando más componentes al sistema para finalmente realizar un ensayo con el lazo cerrado de tensión.

Con el algoritmo de control completo, se arman diferentes tipos de configuraciones con el sistema híbrido eléctrico, con el objetivo de probar distintas topologías del sistema híbrido eléctrico y observar sus características.

Si bien el proyecto se encuentra orientado al uso de baterías de litio, todos los ensayos preliminares fueron realizados utilizando una fuente de potencia emulando el comportamiento de las baterías. Esto se debió a cuestiones de seguridad tanto de la electrónica utilizada como de los usuarios, ya que tratándose de una estación de ensayo experimental aún resta incorporar elementos de seguridad para las baterías, de las cuales la fuente de potencia ya presenta algunas (como limitación de corriente).

6.2. Con fuente de potencia

Las primeras pruebas realizadas a lazo abierto consistieron en la utilización del controlador PWM para las señales de los transistores del convertidor CC-CC. Luego, se implementó al controlador del conversor analógico-digital para permitir la variación del ciclo de trabajo mediante un potenciómetro, cuyo valor era filtrado por el filtro diseñado e implementado a 1.5 kHz.

En estos ensayos iniciales fue utilizada la fuente de potencia para poder probar al algoritmo implementado en la FPGA en un ambiente controlado, en el caso de algún error tanto en el diseño como en la programación.

6.2.1. Lazo de control de corriente

El primer ensayo a lazo cerrado consistió en el control de la corriente por el inductor del convertidor CC-CC. En este sistema fueron utilizados los componentes ya probados anteriormente: el controlador PWM; el controlador del ADC; y el filtro de corriente de 1.5 kHz. Para poder cerrar el lazo, se incorporaron dos nuevos elementos: la referencia de corriente; y el controlador PI, para poder calcular la acción de control que permita a la corriente de entrada seguir a la referencia.

Como medida de seguridad, se implementaron llaves que permiten habilitar o deshabilitar al integrador del controlador. Además, este componente posee una saturación a su salida, para evitar la obtención de un ciclo de trabajo mayor a 1 o 100 %; y el método anti-windup explicado anteriormente.

En primera instancia, las pruebas realizadas con el algoritmo de control de corriente consistieron únicamente en el componente proporcional del controlador. Al realizar pequeños escalones de 0.5 A, se corroboró que el sistema a lazo cerrado reaccionaba acordemente a estos saltos, pero con un error de estado estacionario significativo, como era de esperarse al estar deshabilitada la parte integral del controlador. Una vez activado el integrador, se pudo observar cómo la corriente de inductor seguía a la referencia impuesta por el FPGA sin error de estado estacionario.

Luego de haber verificado el correcto comportamiento del sistema de control de corriente, se realizaron una serie de ensayos sucesivos que permitieron realizar un ajuste fino de los parámetros del controlador PI para lograr una mejor performance del algoritmo, que además permite un tiempo de establecimiento rápido con un sobrepico de corriente aceptable.

Realizando escalones de 3 A con el sistema de control ajustado, se obtuvieron los resultados de la Figura 6.1. Se puede observar que la corriente se establece en el nuevo valor de referencia en cuestión de microsegundos sin causar un sobrepico abrupto o peligroso, y por lo tanto se considera que el lazo de corriente controla satisfactoriamente a la variable de estado. Estas formas de onda fueron obtenidas directamente desde el osciloscopio. A su vez se encuentran superpuestas las curvas de simulación, que permiten validar la metodología de diseño de los parámetros del controlador PI.

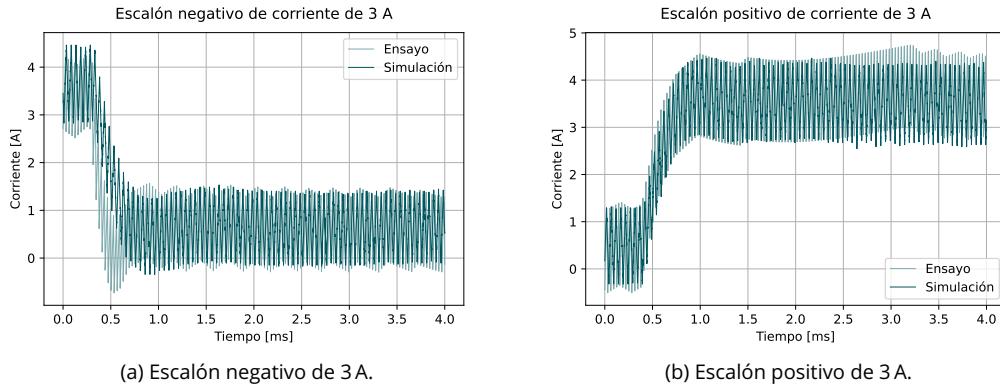


Figura 6.1: Resultados de los ensayos del lazo de corriente.

6.2.2. Lazo de control de tensión

Para el lazo de control de tensión se realizaron una serie de ensayos bajo distintas condiciones para determinar la performance del sistema de control implementado. Los primeros ensayos consistieron en pequeños escalones en la tensión de referencia de 1 V. Al observar el valor de tensión de carga con el sistema de control implementado, era posible percibir una variación de este en los dígitos menos significativos de los display de la placa de desarrollo (potencialmente producto del ripple de tensión de carga más ruido presente en el sistema), lo cual llevó a la implementación de un filtro digital para su medición mediante el conversor analógico-digital. Debido a las características de VHDL (explicadas en capítulos anteriores), la implementación de este filtro consistió únicamente en la instanciación del componente utilizado para el filtrado de la corriente de entrada.

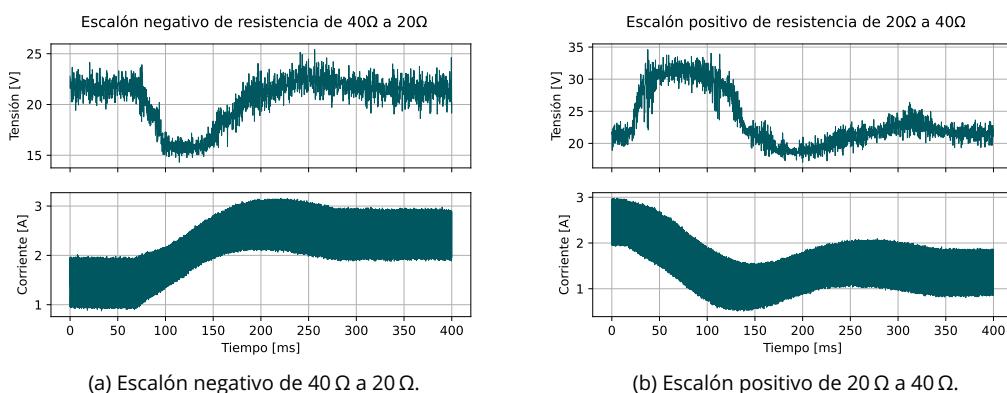


Figura 6.2: Resultados de los ensayos del lazo de tensión.

Una vez verificado el correcto funcionamiento del sistema a lazo cerrado, se realizaron pruebas más demandantes al lazo de control, variando la resistencia de carga y observando la respuesta de la corrien-

te de entrada y tensión de salida. En la Figura 6.2 pueden observarse las respuestas de ambas variables de estado para un salto de 20Ω a 40Ω con una referencia impuesta en 24V. En ambos casos puede observarse una rápida y robusta recuperación del nivel de tensión establecido por la referencia. Para el caso del escalón positivo de resistencia, existe una leve oscilación que termina en el establecimiento de la tensión de salida en un valor de 24V.

6.3. Con supercapacitores

Con el algoritmo de control completo probado mediante la fuente de potencia, se incorpora al banco de supercapacitores, construido en el instituto por parte del Ing. Fornaro, como elemento extra del sistema, y se realizan otra serie de ensayos para observar su comportamiento bajo distintos tipos de situaciones.

6.3.1. Supercapacitores del lado de baja tensión

La primer configuración ensayada con los supercapacitores fue colocando al banco en el lado de baja tensión del convertidor, en paralelo con la fuente principal del sistema. El esquema propuesto que representa a la topología usada para esta serie de ensayos puede observarse en la Figura 6.3.

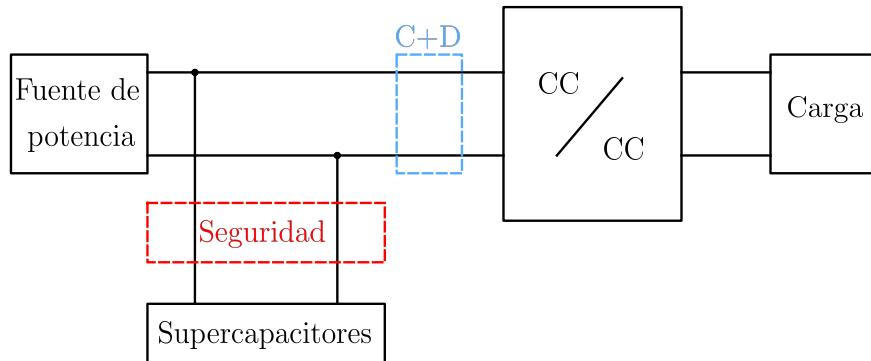


Figura 6.3: Diagrama del sistema con el banco de supercapacitores como fuente de energía.

Esta topología permite al banco de supercapacitores entregar picos de demanda y el rizado de corriente del convertidor, mientras que la fuente de potencia suministra la potencia media necesitada.

En el sistema también se encuentran el módulo de seguridad del banco de supercapacitores, implementado por el Ing. Riva; un banco de capacitores; y finalmente un par de diodos en antiparalelo con el convertidor CC-CC, que permiten un camino seguro para la corriente en el caso de que se produzca una apertura del circuito de supercapacitores debido a la acción del módulo de seguridad.

Sin inductor

Los ensayos realizados con el banco de supercapacitores en el lado de baja tensión consistieron en la observación de la tensión de carga, la corriente de los supercapacitores, y la corriente de la fuente de potencia al generar una variación de la resistencia de carga. Con un salto negativo de resistencia de 40Ω a 20Ω y uno positivo de 20Ω a 40Ω , se obtuvieron las formas de onda de la Figura 6.4:

En ambos casos es posible observar cómo la corriente media es entregada por la fuente, mientras que el banco de supercapacitores únicamente suministra al ripple de corriente del convertidor. Por lo tanto, la premisa (la cual era que los supercapacitores suministraban la potencia en un pico de demanda) por la que fue construida esta topología es parcialmente cumplida. Esto puede deberse a que la fuente de potencia posee una dinámica lo suficientemente rápida para cubrir el pico de demanda para el ensayo realizado. Bajo este pretexto, se coloca un inductor entre la fuente de potencia y el banco de supercapacitores, de modo de generar un dinámica interna que emule a una fuente de energía no ideal.

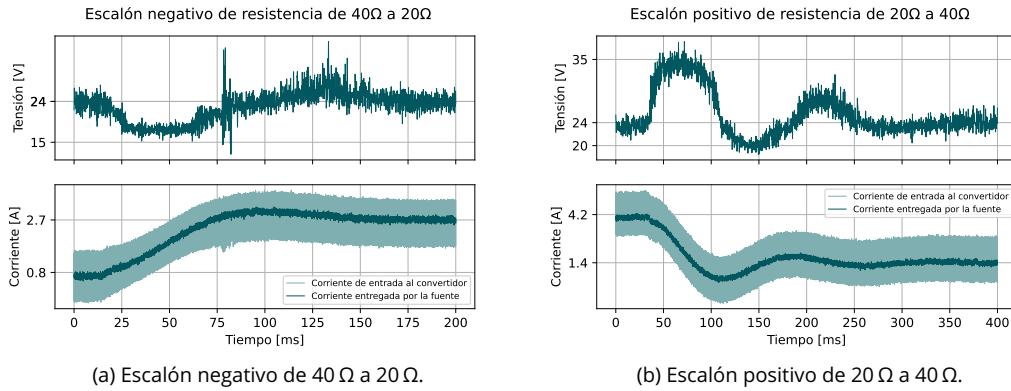


Figura 6.4: Tensión de carga y corrientes con un variación de resistencia de carga.

Con inductor

Colocado un inductor de $2000\mu H$ entre la fuente y el banco, se proceden a realizar los mismos ensayos mencionados anteriormente. En la Figura 6.5a pueden observarse las formas de onda obtenidas para un escalón negativo de resistencia de 40Ω a 20Ω , mientras que la tensión y las corrientes para el escalón positivo se encuentran en la Figura 6.5b.

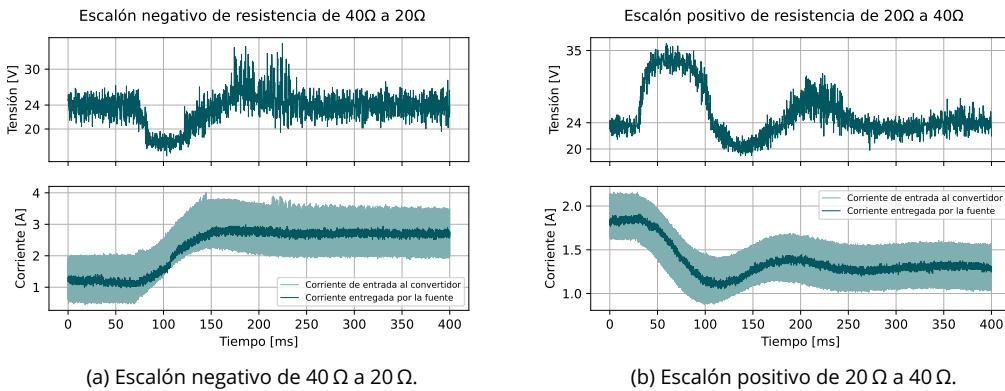


Figura 6.5: Tensión de carga y corrientes con un variación de resistencia de carga.

En estos ensayos, y especialmente el de la Figura 6.5a, es claramente visible el comportamiento esperado para esta topología. Puede observarse cómo la corriente del banco de supercapacitores presenta una dinámica notablemente más rápida que la de la fuente de potencia con el inductor, y por lo tanto es la que provee la demanda inicial provocada por el escalón de resistencia de carga. Después de un tiempo, ambas corrientes se establecen en el mismo valor medio.

Para el escalón positivo de resistencia de carga se presenta el mismo comportamiento del sistema, pero de forma menos acentuada.

6.3.2. Supercapacitores del lado de la carga

La siguiente configuración ensayada fue con el banco de supercapacitores en el bus de continua como carga. Esta topología se presenta en la Figura 6.6.

Esta configuración permite la conexión del banco directamente con la carga. Debido a la gran capacitancia presentada por el banco de supercapacitores, las pruebas hechas presentan una dinámica lenta respecto a los ensayos anteriores (del orden de decenas de minutos), y como es inversamente proporcional a la derivada de la tensión de carga, es necesario aumentar la velocidad del controlador PI de tensión para ajustarse a esta nueva dinámica. Mediante una simulación a través de Simulink®, se establecieron unas nuevas constantes proporcional e integral que se ajustan a la dinámica del sistema.

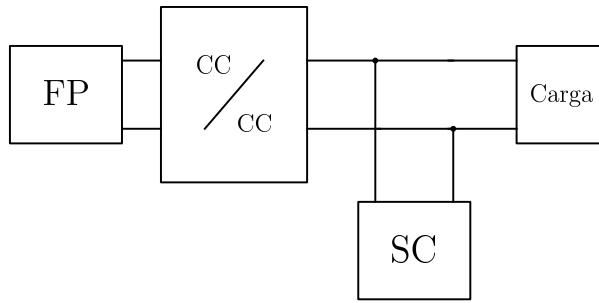


Figura 6.6: Diagrama del sistema con el banco de supercapacitores como carga.

Debido a que el osciloscopio es incapaz de capturar formas de onda con tal período de tiempo, fue utilizada la comunicación UART implementada en la placa de desarrollo. En la Figura 6.7 se observan las formas de onda resultantes.

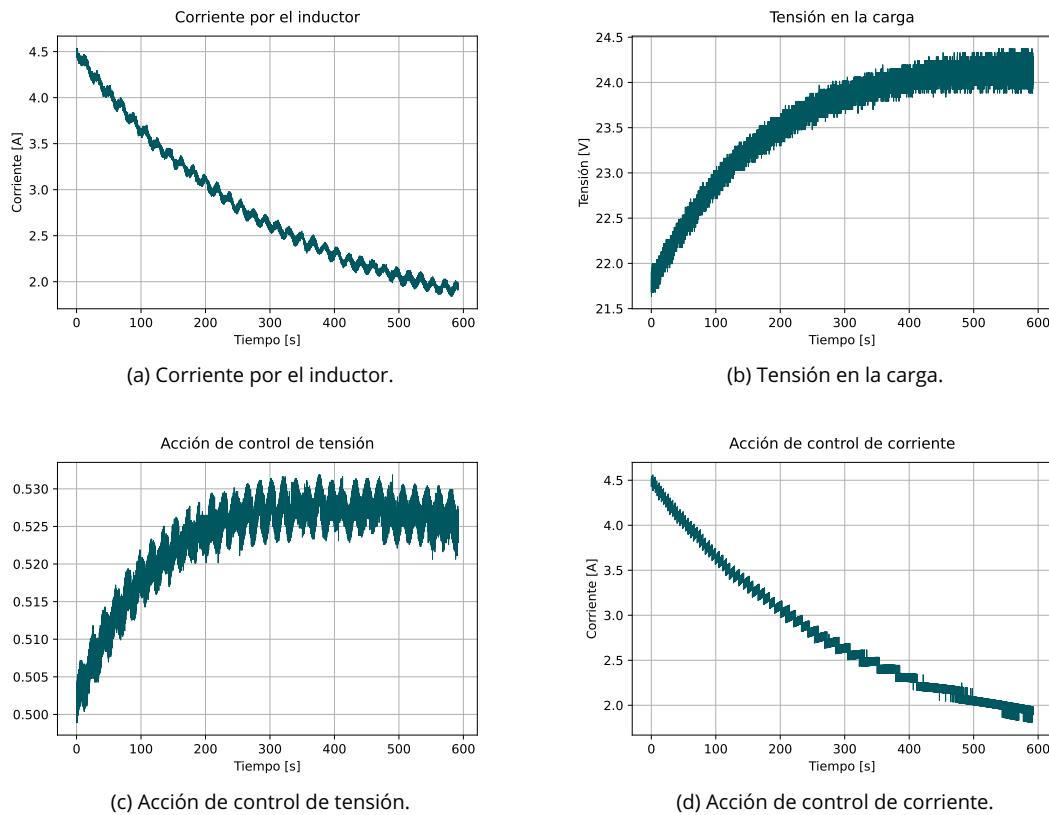


Figura 6.7: Formas de onda obtenidas en la simulación del lazo de control de corriente.

Estableciendo la referencia en 24 V, se observa en el proceso de carga del banco cómo la corriente de inductor disminuye mientras la tensión del banco se va acercando a la tensión de referencia, y cómo esta corriente refleja a la acción de control del lazo externo de tensión, el cual genera la referencia de corriente. A su vez, la acción de control del lazo interno de corriente aumenta mientras se carga el banco de supercapacitores, de modo de mantener la tensión del banco constante.

En el eje horizontal se puede observar la magnitud de decenas de minutos que posee este proceso de carga y por lo cual fueron necesarios ajustar los parámetros de los controladores PI de tal manera de que su velocidad de cálculo sea acorde con la dinámica del sistema.

Una vez completamente cargado el banco de supercapacitores, se realizan saltos de resistencia de carga y se registran la tensión y corrientes resultantes mediante la transmisión por UART. En la Figura 6.8 se grafican las formas de onda con un escalón positivo de resistencia, nuevamente de 20Ω a 40Ω .

En este ensayo se observa cómo en un lapso aproximado de 13 minutos, en el cual la tensión de carga presenta un leve sobrepico de aproximadamente 600 mV para después establecerse en la tensión de referencia de 24 V. Para el caso de la corriente de inductor se presenta una forma de onda próxima a una respuesta amortiguada.

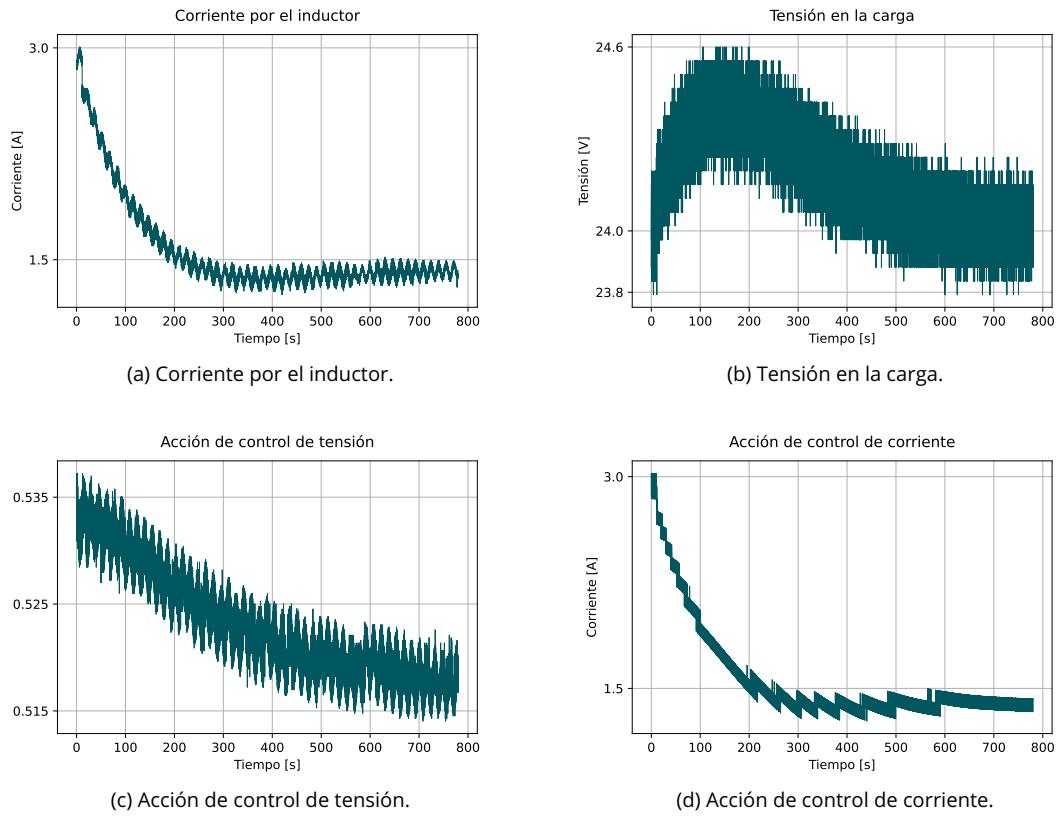


Figura 6.8: Formas de onda obtenidas con un salto positivo de resistencia.

6.4. Con fuente de potencia y supercapacitores

La última configuración del sistema híbrido ensayada fue combinando ambos supercapacitores y fuente de potencia, haciendo uso de los dos convertidores CC-CC en el instituto. Esta topología se presenta en la Figura 6.9:

Utilizando un convertidor CC-CC para cada elemento de alimentación permite un control más versátil del sistema. Para esta configuración, el objetivo es el mismo que el ensayo desarrollado en la Sección 6.3.1, con el banco de supercapacitores entregando el pico de demanda y la fuente de potencia proveyendo la potencia media.

Con este fin, el convertidor que se encuentra del lado del bus de continua y corresponde al banco de supercapacitores presenta el sistema de control de tensión diseñado en el Capítulo 4, mientras que el convertidor de la fuente de potencia debe mantener el nivel de tensión en los supercapacitores que establezca su referencia, y procurar que la fuente entregue la corriente media que requiera la carga (es decir, que el banco de supercapacitores entregue una corriente media nula). La acción de control planteada para este último convertidor consistió de un lazo de control de corriente con una referencia que tenga a ambos elementos en consideración:

$$i_{FP_{ref}} = K_1 \int_0^t i_{SC} dt + K_2 \int_0^t (V_{SC_{ref}} - v_{SC}) dt \quad (6.1)$$

En donde ambas constantes K_1 y K_2 toman el valor de 10. Para este ensayo, el algoritmo de control fue implementado en otra placa de desarrollo, llamada DE10-Lite Board® de Terasic, la cual está basada en la FPGA MAX 10 de Altera (ahora Intel).

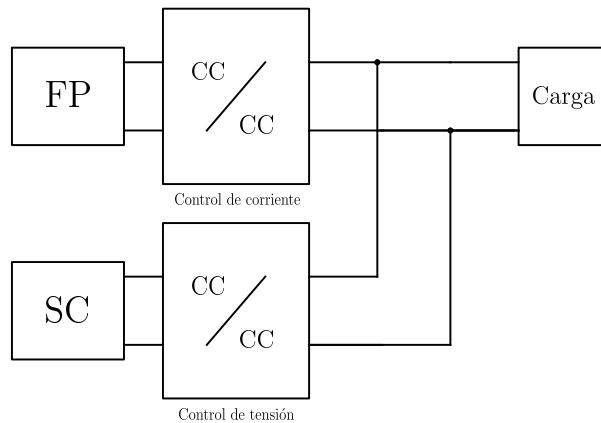


Figura 6.9: Diagrama del sistema con fuente de potencia y banco de supercapacitores.

Esta placa fue utilizada debido a que dispone de un conversor analógico-digital de 6 canales multiplexados a 1 MS/s, lo que permite muestrear las cuatro variables necesarias para el sistema de control planteado a 250 kS/s: la corriente de entrada del primer convertidor (corriente del banco de supercapacitores), la corriente de entrada del segundo convertidor (corriente de la fuente de potencia), la tensión de entrada del primer convertidor (la tensión del banco de supercapacitores), y finalmente la tensión de salida del primer convertidor (la tensión de carga).

En la Figura 6.10 se observa la disposición del sistema eléctrico híbrido ensayado en el instituto. Los elementos presentes en este ensayo son:

1. La fuente de potencia.
2. El banco de supercapacitores junto a su módulo de seguridad.
3. El convertidor electrónico de potencia CC-CC conectado a la fuente de potencia.
4. El convertidor electrónico de potencia CC-CC conectado al banco de supercapacitores.
5. Placa de desarrollo DE10-Lite Board.
6. Los circuitos auxiliares de interconexión y descarga.
7. Los capacitores de interconexión.
8. Los cables de conexión entre los componentes.

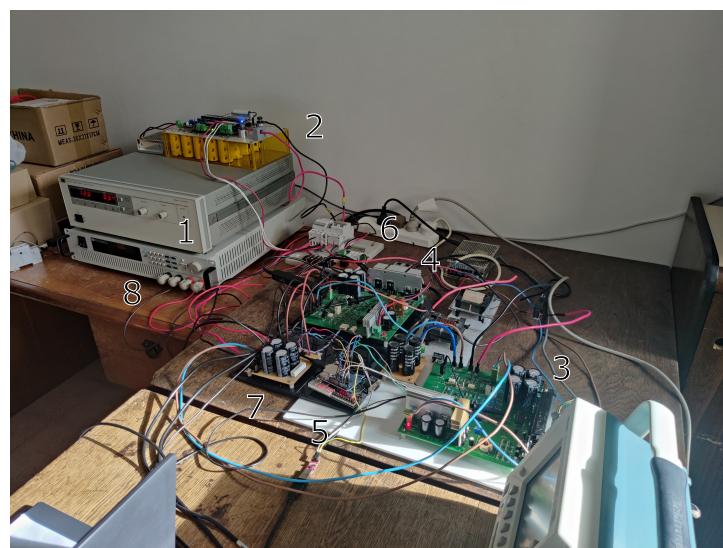


Figura 6.10: Foto de la configuración del sistema híbrido eléctrico.

El primer ensayo del sistema consistió en la carga del banco de supercapacitores a 12 V, para luego realizar pequeños escalones de unitarios de la tensión de bus, de 16 V a 24 V. Esta prueba fue realizada con una resistencia de carga 40Ω , y una tensión de fuente de potencia de 12V.

En la Figura 6.11a pueden observarse las tensiones del banco y del bus. En la carga del banco, se observa una rampa positiva en la tensión de los supercapacitores y una corriente constante, esto último siendo producto del lazo interno de corriente de la fuente de potencia con una referencia manual para poder realizar una carga controlada. Luego, al activar la referencia automática del control de corriente de la fuente, se observa un pico inverso en la tensión de los supercapacitores. Debido al gran orden de magnitud temporal que posee este proceso, los supercapacitores no se llegan a cargar completamente, y por lo tanto en el ensayo no es posible apreciar cómo se establecen a la tensión de referencia.

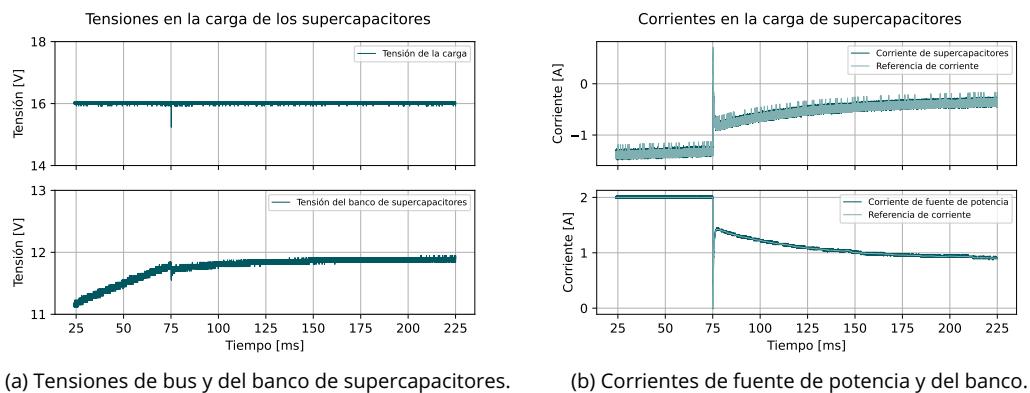


Figura 6.11: Tensiones y corrientes en la carga del banco de supercapacitores.

Para entender con mayor claridad el proceso, en la Figura 6.11b se grafican las corrientes de ambos módulos. Aquí se puede observar al principio cómo la fuente de potencia entrega corriente de forma constante, y una vez habilitado el control automático, la corriente disminuye lentamente mientras los supercapacitores se cargan, debido a la acción de control dependiente de la tensión del banco.

Una vez que el proceso de carga es finalizado, se efectúan los escalones de la tensión de bus. Se puede visualizar en la Figura 6.12a como la tensión del bus sigue en cuestión de milisegundos a la referencia, y cómo se genera un pequeño pico inverso en la tensión de los supercapacitores en cada salto, lo cual representa la entrega de potencia instantánea que demanda el bus al aumentar su tensión.

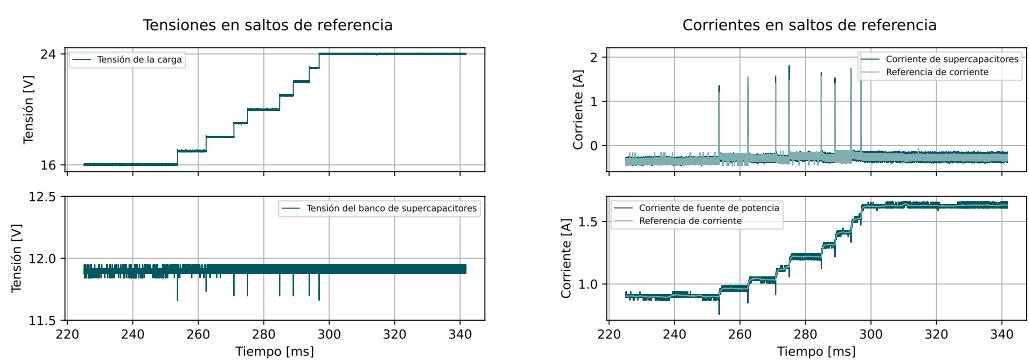


Figura 6.12: Tensiones y corrientes en la carga del banco de supercapacitores.

Este pico inverso es visible con mayor facilidad en la corriente de los supercapacitores en la Figura 6.12b, mientras que se observa una respuesta escalonada más suave en la corriente de la fuente de potencia, similar a la tensión de carga. Ya establecida la tensión de carga en 24V, se procede con el segundo ensayo, el cual consistió en la variación de la resistencia de carga para observar la dinámica del sistema híbrido eléctrico.

En la Figura 6.13 se aprecia claramente la dinámica esperada para este sistema. En un salto positivo

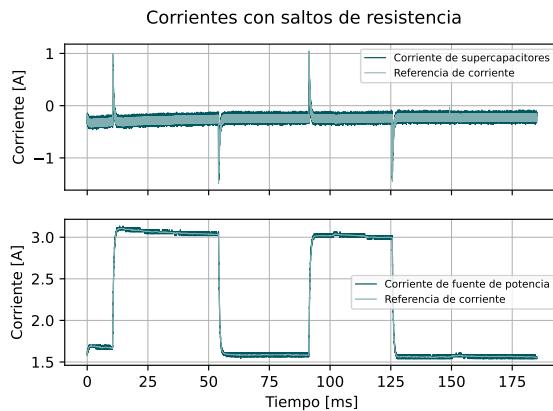


Figura 6.13: Corrientes de fuente de potencia y del banco con saltos de resistencia de carga.

de resistencia, se observa cómo se genera un pico de corriente de los supercapacitores para luego establecerse en cero, lo cual se traduce a una entrega instantánea de la potencia demandada por la variación de la carga. A su vez, la corriente de la fuente de potencia presenta un lento crecimiento para después establecerse en la corriente media necesaria para que la tensión de carga alcance a la tensión de referencia.

La Figura 6.14 presenta pequeños pulsos que se corresponden con las variaciones de la resistencia de carga. Estas variaciones del orden de los mV en la tensión del banco de supercapacitores equivalen a una pequeña descarga o carga del banco ante un salto de 20Ω a 40Ω o viceversa, lo que significa que no toda la capacidad de carga del arreglo de supercapacitores es aprovechada. Por lo tanto, es posible utilizar un banco con menor capacidad para este sistema híbrido. A lo largo de este ensayo se corrobora el control constante de la tensión de carga a 24 V.

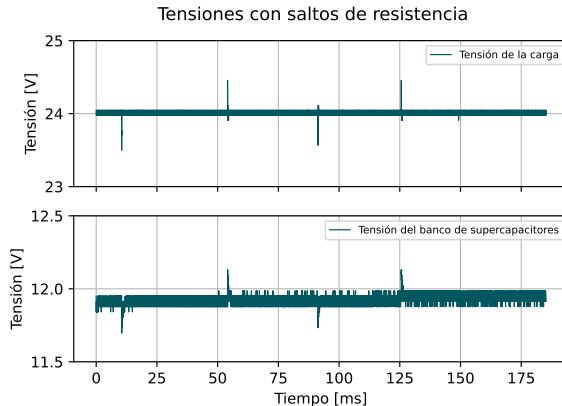


Figura 6.14: Tensiones de fuente de potencia y del banco con saltos de resistencia de carga.

El último ensayo realizado con esta topología del sistema híbrido, y bajo el marco de este proyecto, consistió de la variación de la tensión del banco de supercapacitores de 12 V a 13 V, un escalón de resistencia de 40Ω a 10Ω , luego un salto negativo unitario de la tensión del banco nuevamente a 12 V, y finalmente otro escalón de resistencia 10Ω a 40Ω .

En la Figura 6.15a se presentan nuevamente la tensión de los supercapacitores y la del bus. Cuando se efectúa el salto de 12 V a 13 V, puede observarse un transitorio del orden de cientos de segundos hasta el establecimiento al nuevo nivel de tensión del banco, y un pulso negativo en las tensiones, causado por un salto de 40Ω a 10Ω de la resistencia de carga. Esta dinámica lenta es deseable, ya que la recarga y descarga del banco de supercapacitores debe ser más lenta que las dinámicas de tensión del bus, para asegurar que no se sobrecargue a la fuente principal. Restableciendo la referencia en 12 V, la tensión nuevamente vuelve a su valor original con un comportamiento exponencial negativo. El pico de tensión observado es debido al salto positivo de la carga de 10Ω a 40Ω . A lo largo de este ensayo, la tensión de bus se mantiene constante en 24 V con perturbaciones ante los cambios de resistencia de carga.

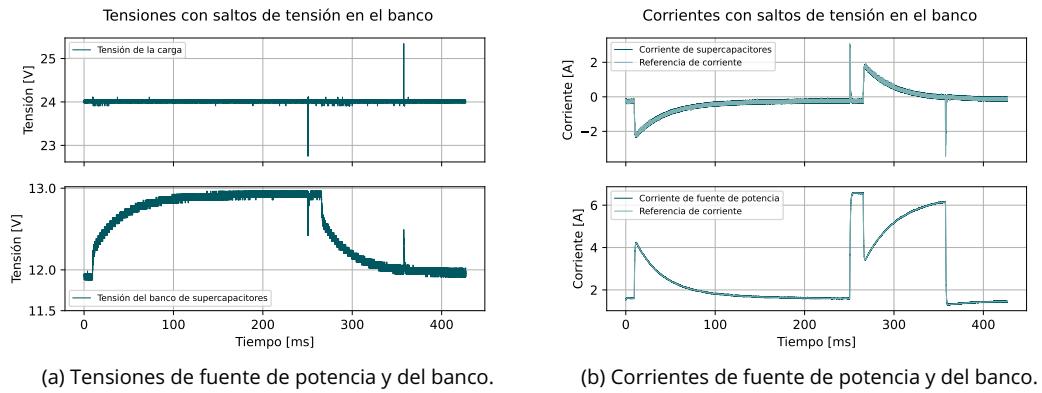


Figura 6.15: Formas de onda con variaciones de tensión de banco y resistencia de carga.

Como la dinámica de las corrientes es mucho más rápida que la de las tensiones, en la Figura 6.15b la corriente de la fuente de potencia reacciona rápidamente ante el cambio de referencia de la tensión del banco, alcanzando un valor mayor a 4 A para luego establecerse nuevamente en la corriente necesaria para mantener el bus a 24 V.

Luego del establecimiento de la corriente, se produce el salto negativo de resistencia de carga, lo que significa que la fuente de potencia debe entregar más corriente para mantener el valor de tensión de bus en 24 V. Este escalón de demanda es visible aproximadamente a partir del segundo 250.

Un breve tiempo después, la referencia de tensión del banco se vuelve a fijar en 12 V, lo que produce una reacción en la corriente de la fuente de potencia generando un pico inverso para disminuir su entrega de energía y permitir que los supercapacitores disminuyan su nivel de tensión a 12 V. Por último, se realiza un escalón positivo de resistencia de carga de 10Ω a 40Ω , lo que reduce a la corriente entregada por la fuente de potencia y la corriente del banco.

6.5. Resumen

En este capítulo se presenta la etapa final del proyecto, con los ensayos de distintos tipos de configuraciones del sistema eléctrico híbrido y el observamiento de su comportamiento mediante distintos tipos de perturbaciones y situaciones de operación.

A partir de un proceso progresivo se pudo verificar cómo los componentes individuales funcionaban correctamente, para luego empezar a ensayar al sistema de control en su enteridad a partir del control de tensión y corriente.

Este sistema de control fue implementado para distintas topologías del sistema eléctrico híbrido, ubicando a los módulos de almacenamiento como fuentes de energía y como carga para observar la dinámica que presentan en cada configuración.

La última topología del sistema híbrido eléctrico demostró cómo el banco de supercapacitores es capaz de entregar un pulso instantáneo de energía mientras la fuente de potencia es la que provee la corriente media que demanda la carga.

Conclusiones

En el presente trabajo se realizó un estudio de sistemas híbridos de almacenamiento basados en baterías de litio y supercapacitores orientados a aplicaciones móviles. En este sentido, se trabajó en el modelado, simulación, diseño e implementación de controladores para convertidores electrónicos de potencia, ensayando distintas topologías.

Particularmente, se diseñaron lazos de control de corriente y tensión, aplicados sobre topologías de uno y dos convertidores CC-CC elevadores bidireccionales en corriente. Los controladores fueron implementados en arquitectura FPGA mediante el lenguaje de programación VHDL. Los controladores fueron ensayados en una plataforma híbrida con un banco de supercapacitores y una fuente de potencia, emulando un banco de baterías. Se realizaron pruebas tanto en forma individual como conjunta, analizando su comportamiento y realizando ajustes finos sobre los parámetros.

En el caso de los ensayos con un único convertidor, se realizó un lazo interno de control de corriente y un lazo externo de control de tensión de bus, para tres casos diferentes. Dos de ellos con el banco de supercapacitores conectado del lado de baja tensión, en paralelo con la fuente principal. En un primer caso conectado directamente y en un segundo caso intercalando un inductor, de forma tal de incorporar una dinámica entre las respuestas de cada uno. El tercer caso consistió en la conexión del banco de supercapacitores en el lado de alta tensión, en paralelo con la carga. En todos los casos, se analizó la respuesta dinámica general del sistema, como también las respuestas individuales de la fuente de potencia y los supercapacitores ante cambios de referencia y de carga. En todos estos ensayos se obtuvieron excelentes resultados, permitiendo con una topología relativamente sencilla alimentar una misma carga desde dos fuentes de energía, repartiendo en cierta medida la velocidad de respuesta de cada una. En este sentido, se determinó que si bien es una estructura práctica y simple de implementar, no brinda grandes posibilidades de controlar o modificar la respuesta individual de cada fuente, dada la falta de grados de libertad del sistema.

Como último caso de estudio, se ensayó una topología basada en dos convertidores CC-CC, uno asociado a cada fuente de energía y conectados a un mismo bus de continua. En este caso se implementaron dos controles de corriente (uno para cada convertidor) y un lazo de tensión de bus. Además, se implementó un lazo de control de tensión de los supercapacitores, necesario para mantenerlos a un nivel de carga adecuado. Esta topología demostró mucha mayor versatilidad a la hora de controlar la respuesta dinámica de cada fuente, asegurando la entrega de potencia a la carga en todo momento. El hecho de contar con dos convertidores, también aporta a la confiabilidad de sistema, teniendo dos caminos para alimentar a la carga.

Durante el transcurso del proyecto, un obstáculo en particular resultó en la necesidad de comprender con mayor profundidad el mecanismo de discretización y representación de tipos de datos para la implementación en el FPGA. Este problema es detallado en el Apéndice A.

En conclusión, se considera que el objetivo principal de este proyecto fue cumplido exitosamente. Como trabajo futuro en el marco de este proyecto, el sistema híbrido puede mejorarse y ampliarse a través de la mejora de la instrumentación de los convertidores electrónicos de potencia CC-CC, la evaluación de otras técnicas de control para observar si se presenta una mejor performance, o incluso la adición de nuevos módulos de almacenamiento de energía.

Apéndice A

Error de representación de datos

La implementación del diseño de control en la placa de desarrollo fue limitada por las restricciones en las capacidades que presenta la Nexys 3 y su FPGA Spartan-6. Esta placa de desarrollo (y la gran mayoría de las FPGAs) no permite la síntesis a hardware de código con representación por punto flotante (indicado en VHDL con el tipo de dato llamado `real`), y por lo tanto era necesario utilizar la representación de los datos por punto fijo. Por una cuestión de balance entre cantidad de recursos usados y precisión, se eligió utilizar palabras de 32 bits.

Para los filtros digitales, debido a que los valores de entrada eran enteros de 0 a 4095 y los coeficientes del filtro no eran demasiado pequeños, se optó por una representación con 16 bits para la fracción, lo cual resultó ser una cantidad de bits suficiente para el funcionamiento de este componente.

Para el controlador proporcional-integral de corriente, la misma distribución de bits fue programada. La salida de este bloque se encuentra directamente conectada con el bloque generador de la señal de ancho de pulso modulado, el cual recibe un valor de 0 a 4095, y genera una señal PWM con el ciclo de trabajo acorde (es decir, posee una resolución de 12 bits). Como consecuencia, los coeficientes del controlador PI del lazo interno de corriente fueron escalados para asegurar que un valor unitario de ciclo de trabajo (100 %) se traduzca en una salida con valor 4095. Este escalamiento permite una asignación más flexible de la cantidad de bits para la parte fraccionaria, mientras se tenga en cuenta que obligatoriamente 12 bits son necesarios para la parte entera.

Sin embargo, el controlador PI del lazo externo de tensión no funciona de manera correcta utilizando la asignación mencionada en los bloques anteriores. Debido a que el cálculo de la acción de control por parte de este componente es a un valor ‘real’, y los coeficientes del controlador son divididos por la frecuencia de muestreo (de 625 kHz), es necesaria una mejor resolución fraccionaria. En la Figura A.1 puede apreciarse la simulación en Simulink® de la tensión de carga y la acción de control de tensión para 32 bits de palabra con 16 bits para la parte fraccionaria, y 24 bits para la parte fraccionaria.

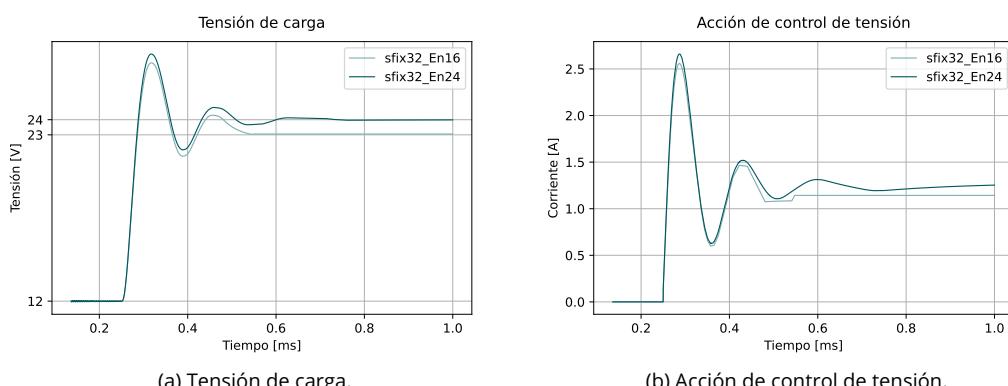


Figura A.1: Acción de control y tensión de carga con distinta distribución de cantidad de bits para representación de punto fijo.

Con representación de 16 bits para la fracción, se observa que la tensión de carga no se establece en el valor impuesto por la referencia, si no que ocurre un pequeño *offset*. Esto es debido a que esta

configuración de representación de datos no posee la resolución necesaria para generar una acción de control acorde con la tensión de referencia impuesta. Sin embargo, reasignando otros 8 bits más para la fracción es suficiente para que la acción de control genere una respuesta y un valor de estado estacionarios correctos.

Otro problema presente en la representación de datos es el llamado *integer overflow*. Este ‘desbordamiento’ ocurre cuando una operación aritmética intenta crear un valor numérico afuera del rango posible del tipo de representación establecido. En VHDL, un *integer overflow* resulta en el ‘envolvimiento’ del valor almacenado, lo que significa que el valor almacenado en el caso de un desbordamiento es cero.

Debido al uso de integradores en los controladores del algoritmo de control, el *integer overflow* debe ser tenido en cuenta. La integración puede rápidamente causar un resultado que el tipo de datos elegido no es capaz de representar. En la Figura A.2 puede observarse para el caso del controlador PI de corriente cómo se presenta el desbordamiento. Aquí, se grafican la salida (de 0 a 4095, conectada al bloque generador de señal PWM) y el componente integrador del controlador. Se observa que el valor de la parte integral llega a 32768, y luego se produce un ‘overflow’, lo cual hace que el dato se ‘envuelva’ y llegue a -32768. Esto hace que la acción de control calculada se anule por la fuerte acción integral, la cual está incorrectamente representada.

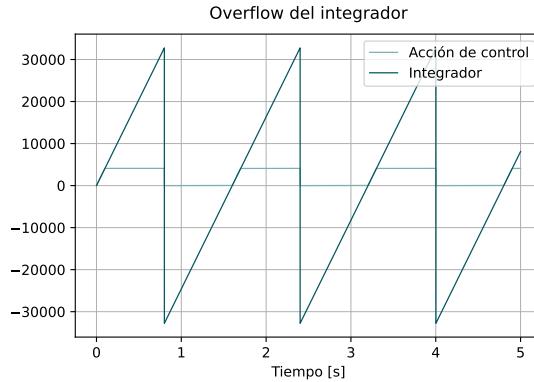


Figura A.2: Overflow del integrador y su impacto en la acción de control.

Para evitar el desbordamiento de datos es necesario indicar al algoritmo, mediante un condicional, que la integración se detenga si el valor almacenado es el máximo posible de representar por el tipo de datos. Casualmente, este mismo método es utilizado para el diseño del controlador PI y es llamado *clamping*. En la Figura A.3 se observa que al saturarse el integrador, se mantiene de esta manera sin ocurrir un desbordamiento.

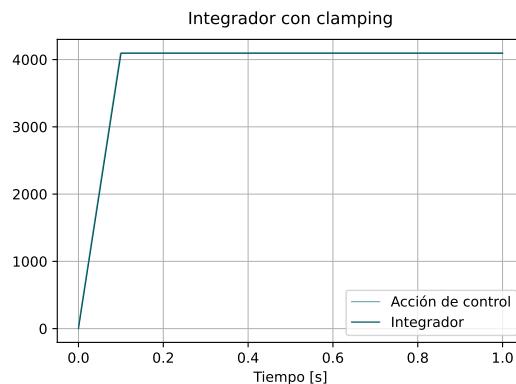


Figura A.3: Integrador y acción de control con clamping.

Referencias

- [1] *AD7476A/AD7477A/AD7478A: 2.35 V to 5.25 V, 1MSPS, 12-/10-/8-Bit ADCs in 6-Lead SC70 Data Sheet.* Analog Devices.
- [2] Peter J. Ashenden. *The Designer's Guide to VHDL*. 3.^a ed. Systems on Silicon. Morgan Kaufmann, 2008. ISBN: 0120887851.
- [3] Yannick Borthomieu. "14 - Satellite Lithium-Ion Batteries". En: *Lithium-Ion Batteries*. Ed. por Gianfranco Pistoia. Amsterdam: Elsevier, 2014, págs. 311-344. ISBN: 978-0-444-59513-3. DOI: <https://doi.org/10.1016/B978-0-444-59513-3.00014-5>. URL: <https://www.sciencedirect.com/science/article/pii/B9780444595133000145>.
- [4] Robert W. Erickson y Dragan Maksimović. *Fundamentals of Power Electronics*. 3.^a ed. Springer Nature, 2020. ISBN: 9783030438791,3030438791.
- [5] Pedro Fornaro. "Diseño y construcción de un banco de supercapacitores". Facultad de Ingeniería, Universidad Nacional de La Plata, mayo de 2016.
- [6] Pedro O. Fornaro, Pedro E. Battaioto y Paul F. Puleston. "Estimación de los estados de carga y de salud en sistemas híbridos basados en supercapacitores y baterías de litio". En: *Jornadas ITEE 6°* (2021).
- [7] Amin Ghazanfari y col. "Active power management of Multihybrid Fuel Cell/supercapacitor power conversion system in a medium voltage microgrid". En: *IEEE Transactions on Smart Grid* 3.4 (2012), págs. 1903-1910. DOI: 10.1109/tsg.2012.2194169.
- [8] Emanuel Caravelli y Gonzalo M. Irusta. "Diseño y control de una etapa de potencia para una pila de combustible tipo PEM". Facultad de Ingeniería, Universidad Nacional de La Plata, dic. de 2011.
- [9] Daniel W. Hart. *Power Electronics*. McGraw-Hill Education, 2010.
- [10] Hideaki Horie. "5 - EVs and HEVs: The Need and Potential Functions of Batteries for Future Systems". En: *Lithium-Ion Batteries*. Ed. por Gianfranco Pistoia. Amsterdam: Elsevier, 2014, págs. 83-95. ISBN: 978-0-444-59513-3. DOI: <https://doi.org/10.1016/B978-0-444-59513-3.00005-4>. URL: <https://www.sciencedirect.com/science/article/pii/B9780444595133000054>.
- [11] Mike R. Jeffrey. "Hidden dynamics in models of discontinuity and switching". En: *Physica D: Non-linear Phenomena* 273-274 (2014), págs. 34-45. ISSN: 0167-2789. DOI: <https://doi.org/10.1016/j.physd.2014.02.003>. URL: <https://www.sciencedirect.com/science/article/pii/S016727891400030X>.
- [12] Michael A. Miller y col. "The GM "Voltec" 4ET50 Multi-Mode Electric Transaxle". En: *SAE International Journal of Engines* (2011), págs. 1102-1114. DOI: <http://doi.org/10.4271/2011-01-0887>.
- [13] *Nexys 3™ FPGA Board Reference Manual*. Digilent. Abr. de 2016.
- [14] Hannah Ritchie y Max Roser. "Energy". En: *Our World in Data* (2020). <https://ourworldindata.org/energy>.
- [15] Diego A. Riva. "Diseño e implementación de módulo de seguridad para banco de supercapacitores basado en FPGA". Facultad de Ingeniería, Universidad Nacional de La Plata, 2017.
- [16] Jian Sun y col. "Averaged modeling of PWM converters operating in discontinuous conduction mode". En: *IEEE Transactions on Power Electronics* 16.4 (2001), págs. 482-492. DOI: 10.1109/63.931052.
- [17] Ned Mohan y Tore M. Undeland. *Power Electronics*. 3.^a ed. John Wiley y Sons, Inc., 2003.

- [18] Matthias Vetter y Lukas Rohr. "13 - Lithium-Ion Batteries for Storage of Renewable Energies and Electric Grid Backup". En: *Lithium-Ion Batteries*. Ed. por Gianfranco Pistoia. Amsterdam: Elsevier, 2014, págs. 293-309. ISBN: 978-0-444-59513-3. DOI: <https://doi.org/10.1016/B978-0-444-59513-3.00013-3>. URL: <https://www.sciencedirect.com/science/article/pii/B9780444595133000133>.
- [19] Antonio Visioli. *Practical PID Control*. 1.^a ed. Advances in Industrial Control. Springer-Verlag London, 2006. ISBN: 978-1-84628-585-1, 978-1-84628-586-8.
- [20] Shuo Zhang y Rui Xiong. "HESS and Its Application in Series Hybrid Electric Vehicles". En: *Modeling, Dynamics and Control of Electrified Vehicles*. Ed. por Hui Zhang, Dongpu Cao y Haiping Du. Woodhead Publishing, 2018, págs. 77-119. ISBN: 978-0-12-812786-5. DOI: <https://doi.org/10.1016/B978-0-12-812786-5.00003-3>. URL: <https://www.sciencedirect.com/science/article/pii/B9780128127865000033>.