

1. Contrôle préalable

Cette partie est conçue comme une vérification pour vous permettre de déterminer si vous comprenez les concepts abordés en cours ou non. Veuillez répondre par « Vrai » ou « Faux » aux questions suivantes et inclure une explication :

- 1.1. Le chemin de données à cycle unique utilise toutes les unités matérielles pour chaque instruction.
- 1.2. Il est possible d'exécuter les étapes du chemin de données à cycle unique en parallèle pour accélérer l'exécution d'une seule instruction.
- 1.3. Les circuits combinatoires ne sont utilisés que dans l'étape de décodage des instructions.

2. Processeur à cycle unique

- 2.1. Dans ce TD, nous travaillerons avec le chemin de données du processeur à cycle unique disponible sur la dernière page.
 - a) Sur le chemin de données, remplissez chaque case arrondie avec le nom du composant du chemin de données et chaque case carrée avec le nom du signal de commande.
 - b) Expliquez ce qui se passe à chaque étape du chemin de données.

IF Instruction Fetch (Récupération d'instruction)

ID Instruction Decode (Décodage d'instruction)

EX Execute (Exécution de l'instruction)

MEM Memory (Accès Mémoire)

WB Writeback (Transcription)

2.2. Ajoutez les fils de données et les signaux de contrôle pour le circuit calculant le prochain PC.

2.3. Implémentez la logique du circuit qui calcule le prochain PC.

2.4. Remplissez le tableau suivant avec les signaux de contrôle pour les instructions données en se basant sur le chemin de données que vous avez complété. Dans le cas où la nature du signal de contrôle n'a pas d'importance pour l'instruction examinée, mettez un **X** dans la case correspondante.

Instrs.	Signaux de contrôle								
add									
ori									
lw									
sw									
beq									
j									

2.5. Un circuit d'état est un composant connecté à l'horloge (désigné par un triangle en bas du circuit). Afin que le composant fonctionne correctement, le signal en entrée doit être stable avant chaque front montant de l'horloge.

Le chemin critique décrit la période nécessaire à l'exécution de tous les éléments d'état présents dans un circuit. Le circuit ne peut pas être cadencé plus rapidement que cette période parce que la stabilité du signal n'est plus garantie dans ce cas.

Pour cet exercice, supposons que le délai pour chaque étape du chemin de données est le suivant (les durées sont données en picosecondes – $1 \text{ ps} = 10^{-12} \text{ seconde}$) :

IF : 200 ps ; **ID** : 100 ps ; **EX** : 200 ps ; **MEM** : 200 ps ; **WB** : 100 ps

a) Pour chaque instruction citée dans le tableau ci-dessous, indiquez par un X les étapes du chemin de données utilisées et calculez le temps minimum nécessaire pour son exécution.

	IF	ID	EX	MEM	WB	Durée totale
add						
ori						
lw						
sw						
beq						
j						

- b) Quelle(s) instruction(s) exercent le chemin critique ?
- c) En se basant sur votre réponse précédente, à quelle fréquence peut-on donc cadencer ce processeur à cycle unique ?
- d) Pourquoi le chemin de données à cycle unique est-il inefficace ?
- e) Comment peut-on améliorer les performances ? Quel est le but du pipelining ?

