

# INSTITUTO TECNOLÓGICO DE BUENOS AIRES

## ANÁLISIS DE SEÑALES Y SISTEMAS DIGITALES

### TRABAJO PRÁCTICO DE LABORATORIO N°1

---

## Muestreo

---

*Grupo 6:*

CHIOCCI, Ramiro 45.132  
LIN, Benjamín Carlos 57.242  
MESTANZA, Nicolás 57.521  
MOLINA, Facundo 60.526  
NAVARRO, Paulo 57.775

*Responsables de la cátedra:*  
Daniel Andres JACOBY

Presentado: 08/04/2021  
Corrección:

## Contents

<b>1 Fitros Antialiasing y Recuperador</b>	<b>3</b>
1.1 Elección de Frecuencia de Corte $f_p$	3
1.2 Elección del tipo de Filtro	4
1.3 Diseño del Filtro	7
1.4 Simulación del Filtro	8
1.5 Filtro Recuperador	9
<b>2 Oscilador</b>	<b>10</b>
2.1 Parámetros de diseño	10
2.2 Aspectos teóricos	10
2.2.1 Osciladores de relajación	10
2.2.2 Pulse Width Modulation	10
2.3 Circuito propuesto	11
2.3.1 Análisis	11
2.3.2 Implementación	14
2.3.3 Simulación y consideraciones	15
2.4 Propuesta: divisor de frecuencia	16
2.5 Conclusión	17
<b>3 Llave analógica</b>	<b>18</b>
<b>4 Sample &amp; Hold</b>	<b>19</b>
4.1 Introducción	19
4.2 Tensión digital umbral de referencia	19
4.3 Determinar el capacitor $C_h$	20
4.3.1 Drop-Rate	20
4.3.2 Tiempo de establecimiento	21
4.3.3 Tiempo de adquisición	23
4.4 Conclusión	23
<b>5 Mediciones Básicas</b>	<b>25</b>
5.1 Medición de $x_1(t)$	25
5.1.1 Muestreo con Sample and Hold	25
5.1.2 Muestreo Natural	26
5.2 Medición de $x_2(t)$	26
5.2.1 Muestreo con Sample and Hold	26
5.2.2 Muestreo Natural	27
5.3 Medición de $x_3(t)$	27
5.3.1 Muestreo con Sample and Hold	27
5.3.2 Muestreo Natural	28
<b>6 Mediciones tales que <math>f_{in} \leq \frac{f_p}{2}</math> y <math>f_s = f_a</math></b>	<b>28</b>
6.1 Medición de $x_1(t)$	28
6.1.1 Muestreo con Sample and Hold	28
6.1.2 Muestreo Natural	29
6.2 Medición de $x_2(t)$	29
6.2.1 Muestreo con Sample and Hold	29
6.2.2 Muestreo Natural	30
6.3 Medición de $x_3(t)$	31
6.3.1 Muestreo con Sample and Hold	31
6.3.2 Muestreo Natural	31
<b>7 Mediciones tales que <math>f_{in} = f_a</math></b>	<b>32</b>
<b>8 Mediciones para <math>x_1</math> tales que <math>f_{in} = f_s \leq f_p</math></b>	<b>32</b>
8.1 Medición de $x_1$	32
8.1.1 Muestreo con Sample and Hold	32
8.1.2 Muestreo Natural	33

<b>9 Remuestreo</b>	<b>35</b>
9.1 Simulación . . . . .	35
<b>10 Muestreo Sub-Nyquist</b>	<b>36</b>
10.1 Señal a Muestrear . . . . .	36
10.2 Simulación . . . . .	36
<b>11 Consideraciones de Diseño</b>	<b>37</b>
11.1 PCB . . . . .	37

# 1 Fitros Antialiasing y Recuperador

Con el objetivo de limitar el ancho de banda del espectro de una señal de entrada, se diseñan filtros Antialiasing. El objetivo de limitar el espectro de una señal es el de luego poder muestrearla tal que cumpla con el criterio de Nyquist-Shannon, lo cual permite que la señal pueda ser luego reconstruida. Por otro lado, el filtro recuperador, como su nombre lo indica es el encargado de seleccionar el espectro que corresponde a la señal digitalizada que se quiere recuperar.

Las señales de entrada a filtrar con  $f_{in} = 23\text{kHz}$  son:

1.  $x_1(t) = A \cos(2\pi f_{in} t) \rightarrow A \cos(2\pi 23\text{kHz} t)$
2.  $x_2(t) = A \sin(2\pi \frac{f_{in}}{5} t), t \in [0, \frac{15}{2f_{in}}] \rightarrow A \sin(2\pi 4.6\text{kHz} t)$
3.  $x_3(t) = \text{Diente de Sierra}, T = \frac{2}{f_{in}} of = 11.5\text{kHz}$

## 1.1 Elección de Frecuencia de Corte $f_p$

Es fundamental la elección de un adecuado  $f_p$  para las señales a trabajar para que sea acorde al criterio de Nyquist utilizando un filtro pasabajos ideal llegando a la condición  $f_b \leq 2f_s$ , siendo  $f_b$  frecuencia limitante de ancho de banda para  $f_a$ . Entonces, para la selección de la frecuencia de corte se debe analizar la potencia total de las señales a medir y el porcentaje de potencia de la señal original resultante de eliminar armónicos de frecuencias superiores a  $f_p$  o  $f_a$  según corresponda.

Utilizando la identidad de Parseval y su desarrollo en Serie de Fourier, se podrá calcular la potencia como  $P = \frac{1}{T} \int_0^T |x(t)|^2 dt = \sum_{n \in Z} |X_n|^2 = |a_0|^2 + \frac{1}{2} \sum_{n \geq 1} |a_n|^2 + |b_n|^2$ . Luego, estudiando las señales de entrada tenemos:

1.  $x_1(t) = A \cos(2\pi f_{in} t)$

Asumiendo que es una señal senoidal ideal, su desarrollo de Fourier estará representada por  $A \delta(f - f_{in})$ , es decir que tiene una sola componente en la frecuencia  $f_{in} = 23\text{kHz}$  de amplitud A. Como la señal tiene un único armónico, es posible determinar que el filtro antialiasing debe dejar pasar al menos señales de  $f_p > 23\text{kHz}$ .

2.  $x_2(t) = A \sin(2\pi \frac{f_{in}}{5} t), t \in [0, \frac{15}{2f_{in}}]$

Los coeficientes de Fourier con desarrollo exponencial de la función en cuestión es:

$$C_n = \frac{6 A}{\pi (9 - 4n^2)}$$

Como la función es filtrada, la cantidad de armónicos que pasaran serán limitados, o sea que la potencia de la señal muestreada diferirá de la señal de entrada original. Sin embargo, seleccionando adecuadamente una cantidad 'm' de armónicos pasantes, se podrá conservar mas de un 99% de su potencia. Para ello se estudio la relación de potencia como:

$$\frac{P_m}{P} = \frac{\sum_{n=1}^m |C_n|^2}{\sum_{n \in Z} |C_n|^2}$$

Resultando en:

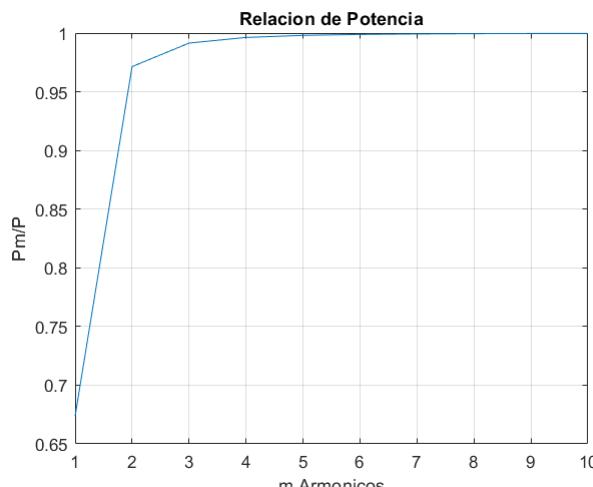


Figure 1: Relación de Potencia de  $x_2(t)$

$$3. \ x_3(t) = \text{Diente de Sierra}, \ T = \frac{2}{f_{in}}$$

Utilizando la Serie de Fourier Trigonométrica se consiguió los siguientes coeficientes:

$$a_0 = \frac{1}{2}A, \ a_n = 0, \ b_n = \frac{1}{\pi n}A$$

Evaluando la relación de potencia de acuerdo con la cantidad 'm' de armónicos pasantes como:

$$\frac{P_m}{P} = \frac{|a_0|^2 + \sum_{n=1}^m |\frac{b_n}{2}|^2}{|a_0|^2 + \sum_{n \geq 1} |\frac{b_n}{2}|^2}$$

Se logró el siguiente gráfico:

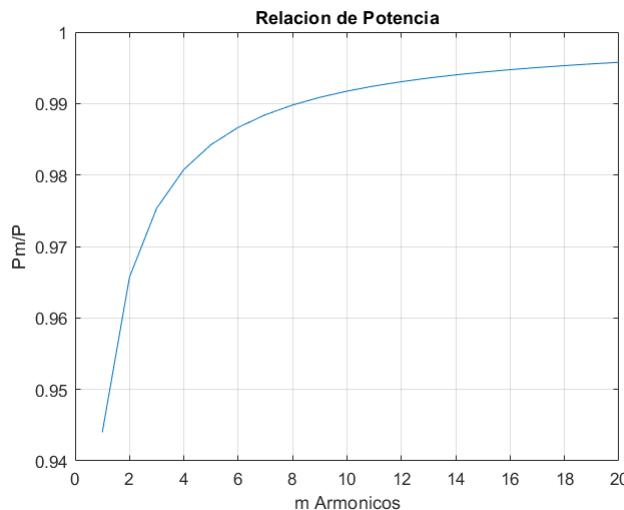


Figure 2: Relación de Potencia de  $x_3(t)$

Cabe notar que para esta función  $f_0 = \frac{f_{in}}{2}$ , es decir que cuando se alcanza una relación de 99% en el armónico 'm ≈ 8', su respectiva frecuencia es  $f = 92kHz$ .

En consecuencia, para un muestreo adecuado el filtro debe permitir frecuencias  $f_p \geq 92kHz$ , ya que a esta frecuencia la función  $x_2(t)$  y  $x_3(t)$  tienen potencias casi idénticas a la señal de entrada inicial. Para dejar un margen de error, se consideró para el análisis continuo una  $f_p = 100kHz$ . Así mismo para señales moduladas en AM, su máxima frecuencia crítica será  $2.2f_{in}$ , que es menor a la  $f_p$  seleccionada, por lo que esta pasará sin atenuación.

## 1.2 Elección del tipo de Filtro

fp	fa	Ap	Aa
100kHz	150kHz	1 dB	40 dB

Conociendo los datos mencionados anteriormente, se utilizó la herramienta diseñada en la materia *Teoría de Circuitos* conocida como Filter Tool.

Con dicha herramienta se establecieron los parámetros según la plantilla establecida para las aproximaciones de Butterworth, Chebychev I, Chebychev II, Cauer y Legendre. Notemos que tanto el filtro Antialiasing como el filtro Recuperador deben ser del tipo Pasa-bajos. Lo obtenido fue lo siguiente:

Aproximación	Orden
Butterworth	14
Chebyshev I	7
Chebyshev II	7
Cauer	5
Legendre	8

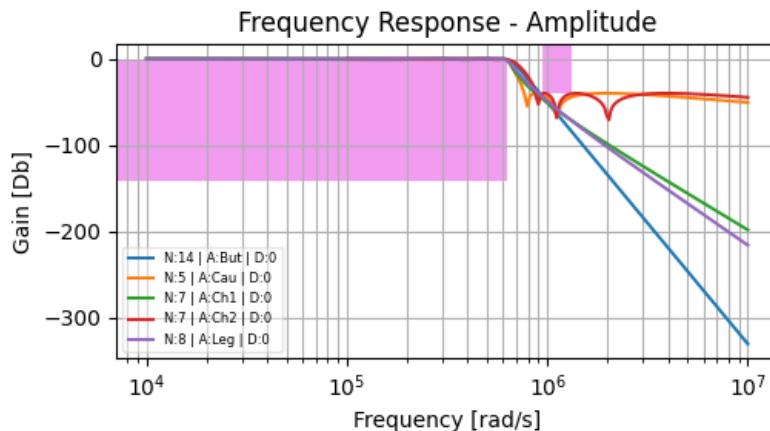


Figure 3: Respuesta en Frecuencia (Amplitud) para todas las aproximaciones

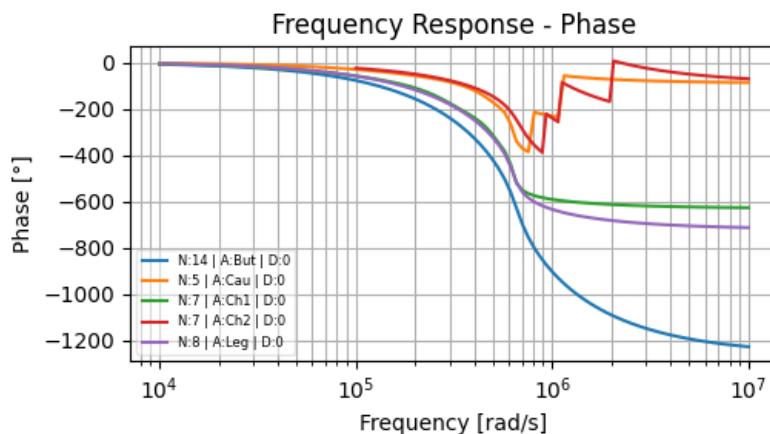


Figure 4: Respuesta en Frecuencia (Fase) para todas las aproximaciones

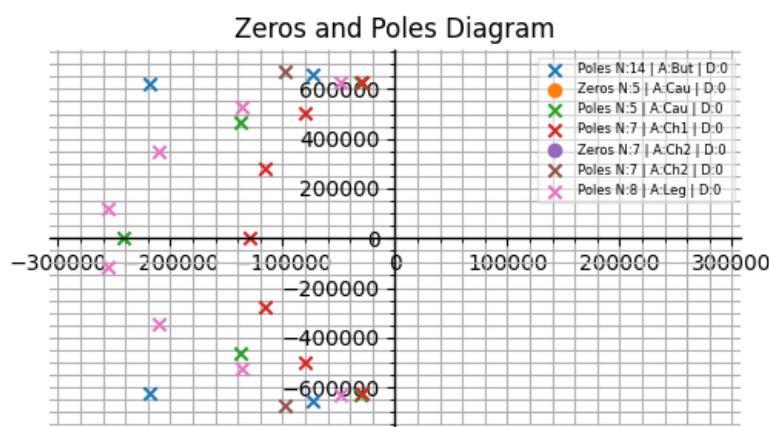


Figure 5: Diagramas de Polos y Ceros para todas las aproximaciones

De todas las aproximaciones, se eligió la aproximación de Legendre por los siguientes motivos:

- Las aproximaciones de Legendre y Butterworth presentan planicie en la banda de paso.
- La aproximación de Butterworth tiene un orden mucho mayor que la de Legendre para este caso (Orden 14 contra Orden 8).

- La aproximación de Legendre implica una implementación mucho más sencilla una vez plasmado el diseñado del filtro en la placa.
- La aproximación de Legendre tiene mejor retardo de grupo que los filtros Chevyshev I o II.
- Las aproximaciones de Chebyshev I y II agregan ceros en la banda de paso, un efecto que no es deseado para esta implementación.

La respuesta en frecuencia Total para el filtro está representada por:

$$H(S) = \frac{1.54 \times 10^{45}}{S^8 + 1.3 \times 10^6 S^7 + 1.52 \times 10^{12} S^6 + 1.09 \times 10^{18} S^5 + 6.34 \times 10^{23} S^4 + 2.63 \times 10^{29} S^3 + 7.97 \times 10^{34} S^2 + 1.56 \times 10^{40} S}$$

Para un análisis preliminar del filtro y con el fin de verificar su correcto funcionamiento y la obtención de la señal de entrada luego de ser filtrada, se simularon mediante la herramienta Simulink su comportamiento ante las señales  $x_2(t)$  y  $x_3(t)$  propuestas. Lo obtenido fue lo siguiente:

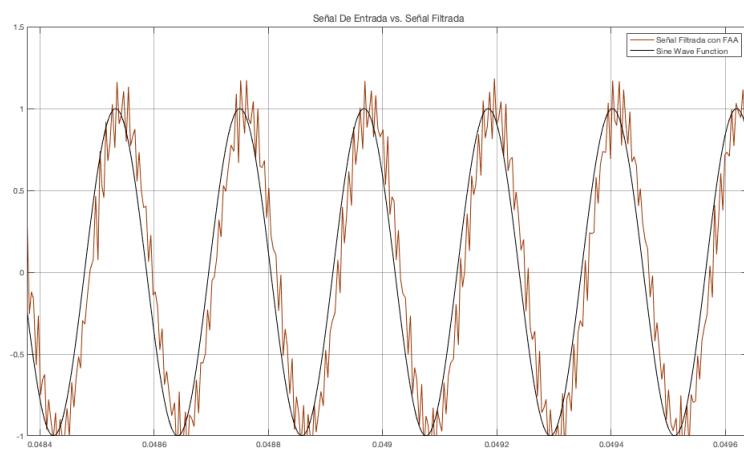


Figure 6:  $x_2(t)$  original y filtrada con FAA propuesto

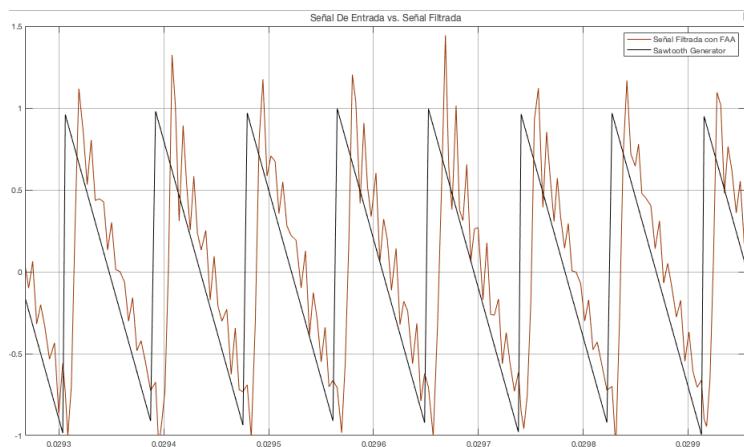


Figure 7:  $x_3(t)$  original y filtrada con FAA propuesto

Como se estipuló previamente se puede observar que se pierden armónicos pero la señal filtrada mediante el filtro Antialiasing se conserva bastante fiel a la señal de entrada. De esta forma, se podrá limitar en banda a las señales propuestas para su posterior muestreo natural, obteniendo una copia que se acerca mucho a las señales  $x_i(t)$ .

### 1.3 Diseño del Filtro

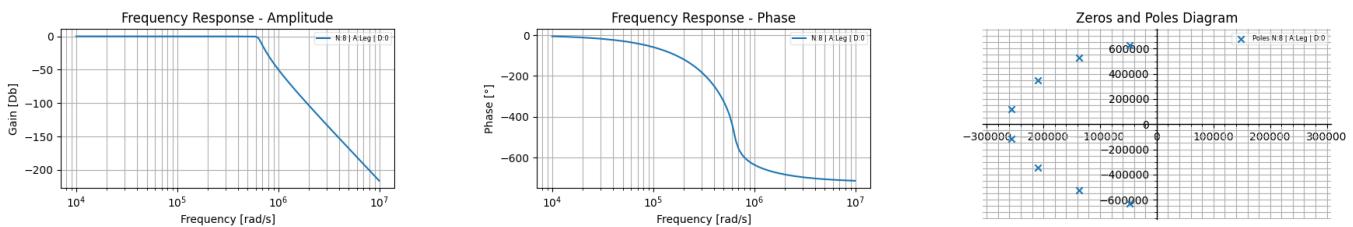


Figure 8: Diagramas de interés del filtro FAA escogido

Una vez obtenida la función transferencia total del filtro Antialiasing, se lo separó en etapas de segundo orden de tipo Pasa-bajos para su posterior implementación en placa y diseño mediante el uso de celdas. Ello también fue realizado utilizando la *Filter Tool*, obteniendo lo siguiente:

Etapa	H(S)	Q
1	$\frac{9.36 \times 10^{10}}{S^2 + 5.12 \times 10^5 S + 7.93 \times 10^{10}}$	0.5499
2	$\frac{3.21 \times 10^{11}}{S^2 + 4.20 \times 10^5 S + 1.64 \times 10^{11}}$	0.9362
3	$\frac{7.37 \times 10^{11}}{S^2 + 2.73 \times 10^5 S + 2.96 \times 10^{11}}$	1.9926
4	$\frac{1.14 \times 10^{11}}{S^2 + 9.59 \times 10^4 S + 3.98 \times 10^{11}}$	6.5749

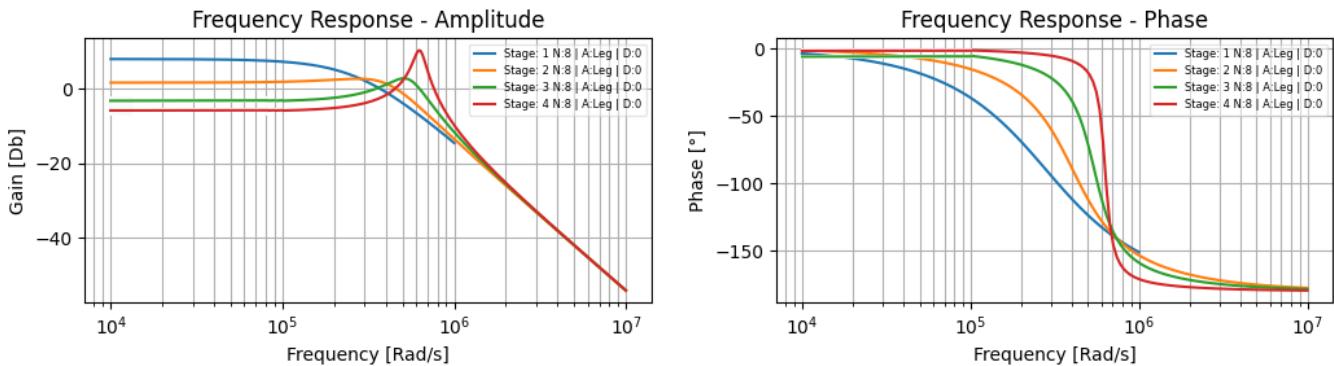


Figure 9: Respuesta en Frecuencia (Amplitud y Fase) para las etapas de Segundo Orden

Para el diseño de cada etapa se utilizaron los siguientes tipos de celdas:

Etapa	Tipo de Celda
1	Sallen-Key
2	Sallen-Key
3	Sallen-Key
4	Tow-Thomas

Los valores de componentes calculados para cada etapa son:

Etapa	R [Ω]	R <sub>a</sub> [Ω]	R <sub>b</sub> [Ω]	C[nF]
1	3.56K	1.82K	10K	1
2	2.47K	9.58K	10K	1
3	1.84K	14.97K	10K	1

Etapa	$R1 [\Omega]$	$R2[\Omega]$	$R3[\Omega]$	$R4[\Omega]$	$R5[\Omega]$	$C1[nF]$	$C2[nF]$
4	10.4k	1.6k	5.6k	1.6k	10k	1n	1n

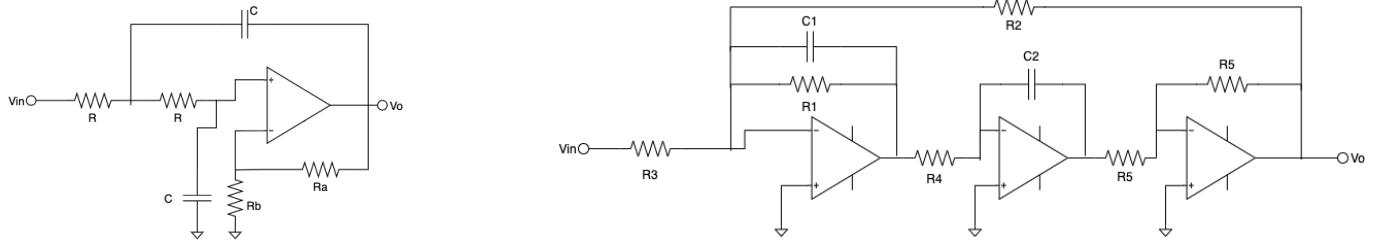


Figure 10: Celda Sallen-Key y Tow-Thomas empleadas (izquierda a derecha)

## 1.4 Simulación del Filtro

Como en el diseño se asumen componentes ideales, se debe simular el circuito tal que se tenga en cuenta la anormalidades del circuito, como sobre-picos, oscilaciones internas, saturación, slew-rate, etc. En particular, utilizando la celda de Tow-Thomas con los valores ideales se introduce un sobre-pico inesperado en comparación con el el análisis teórico; es posible atenuar el sobre-pico con el uso de capacitancias mayores, pero implica a su vez que el circuito sea susceptible a oscilaciones internas por las resistencias del orden de los 100 Ohms en el circuito.

Entonces se hizo uso de los siguientes componentes para un correcto funcionamiento del circuito:

Etapa	$R [\Omega]$	$Ra[\Omega]$	$Rb[\Omega]$	$C[nF]$
1	3K+560	1.8K	10K	1
2	33k//2.7K	6.2k+3.3k	10K	1
3	1.8K	10K+4.7k	10K	1



Figure 11: Sobre-pico en la Frecuencia de Corte

Etapa	$R1 [\Omega]$	$R2[\Omega]$	$R3[\Omega]$	$R4[\Omega]$	$R5[\Omega]$	$C1[nF]$	$C2[nF]$
4	5.6k+Preset 5k	1.5k	6.2k//56k	1.5k	10k	1n	1n

Realizando un ajuste fino a la etapa 4 con el uso del preset, logrando calibrar el circuito de manera adecuada. Además, se le coloco un inversor a la etapa 4, teniendo en cuenta que la ganancia de la misma es negativa, y acomodando la ganancia del circuito.

Luego la transferencia del circuito termino siendo:

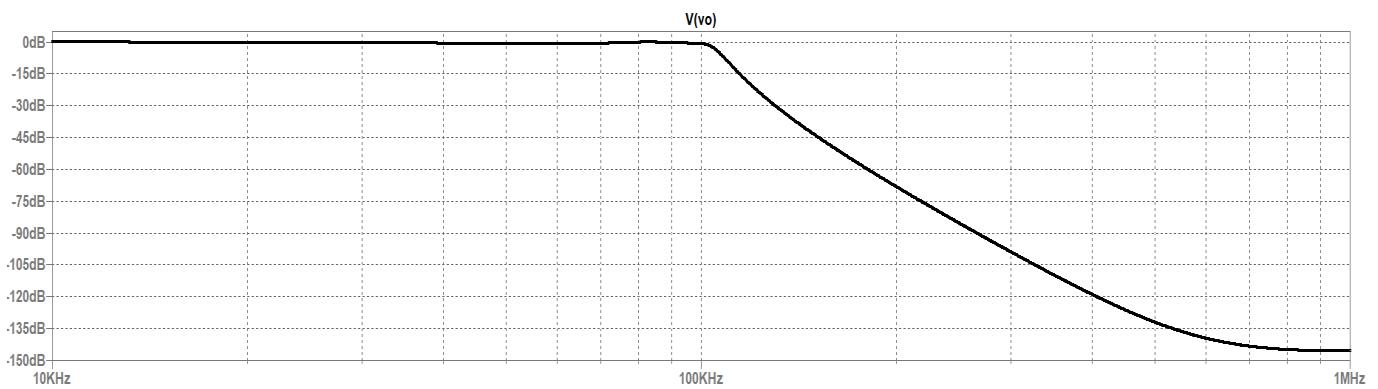


Figure 12: Respuesta a Frecuencia del Filtro

Por ultimo, se realizo su análisis de montecarlo, sabiendo que las tolerancias de las resistencias es del 1% y las de los capacitores un 10%, mostrando una dispersión de la siguiente forma:

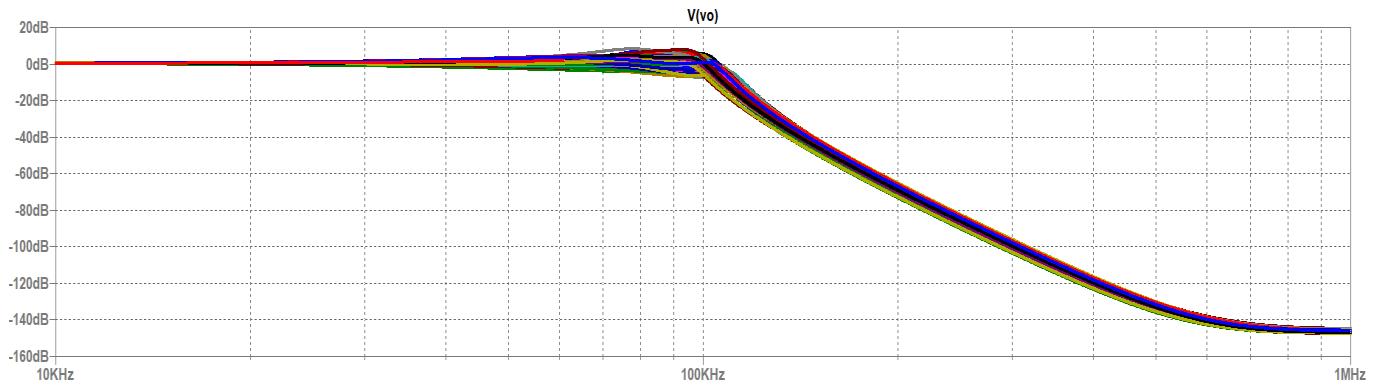


Figure 13: Dispersión de la Respuesta a Frecuencia

## 1.5 Filtro Recuperador

Para el filtro Recuperador, se utilizará el mismo que el filtro antialias, ya que con este se podrá recuperar solo el espectro de la señal a recuperar sin ningún efecto de solapamiento.

## 2 Oscilador

Dados los requerimientos de control del circuito, fijados por la llave analógico y el circuito de *Sample & Hold*, se plantea la necesidad de diseñar un **oscilador de tren de pulsos**. En esta sección se detalla la elección, funcionamiento y diseño del oscilador, así como sus principales ventajas y limitaciones. Se emprenderá el análisis a partir de los aspectos teóricos del circuito para luego modelizar el funcionamiento a partir de simulaciones en *LTS spice*. Durante la sección se intentarán incluir algunas observaciones recabadas durante el desarrollo del circuito.

### 2.1 Parámetros de diseño

Del diseño del filtro antialias (FAA) visto en la sección anterior, se determinó una frecuencia de corte de  $100kHz$ . Para determinar el rango de frecuencia de trabajo del oscilador se deben tener en cuenta las exigencias que impone el Teorema de muestreo de Nyquist, según el cual es requisito para que una señal  $f(t)$  muestreada pueda ser recuperada totalmente que, dada la señal limitada en banda (condición lograda a partir del FAA), la frecuencia de muestreo cumpla lo siguiente:  $f_s > 2f_{max}$ . Es decir, el oscilador debe ser capaz de proveer un tren de pulsos con una frecuencia superior a  $200kHz$ . Asimismo, como se muestrearán distintas señales y por los requerimientos diferentes del circuito de S&H y de la llave analógica, se deberá implementar un oscilador de frecuencia variable y *Duty cycle* variable, regulables de modo independiente.

En resumen, se cuentan con los siguientes parámetros de diseño:

- Frecuencia y Duty Cycle regulables e independientes entre sí.
- Frecuencia mínima de  $\sim 20kHz$  y superior a los  $200kHz$ .
- $5\% < DC < 95\%$ .
- Niveles lógicos de salida de 0-15V.

### 2.2 Aspectos teóricos

#### 2.2.1 Osciladores de relajación

En general los generadores de señales hacen uso de dispositivos con características temporales asociadas, tal como es el caso de los capacitores. En particular, los osciladores de relajación basan su funcionamiento en la carga y descarga de capacitores, implementado mediante el uso de transistores, comparadores tipo *Schmitt trigger*, Flip Flops, etc.

La carga y descarga de un capacitor, determinado por el tiempo transitorio  $\tau$ , puede darse en modo lineal o exponencial. En el primer caso, la carga del capacitor se da con una corriente constante, fijando un tiempo de carga:

$$\Delta t = \frac{C}{I} \Delta v \quad (1)$$

Cuando la carga y descarga se produce mediante una resistencia serie, estas quedan determinadas por:

$$\Delta t = \tau \frac{V_\infty - V_0}{V_\infty - V_1} \quad (2)$$

Donde,  $\tau = RC$ ,  $V_0$  es la tensión inicial,  $V_\infty$  es la tensión en régimen permanente y  $V_1$  es una tensión intermedia en un tiempo  $t_1$ .

#### 2.2.2 Pulse Width Modulation

Por otro lado, se introduce el concepto de *Modulación por ancho de pulsos* (*PWM*, *Pulse Width Modulation*), una técnica con la cual se modifica el duty cycle de una señal periódica. En particular, se utilizará un "método intersectivo", al buscar obtener el tren de pulsos a partir de una señal periódica tal como una sinusoidal, triangular o diente de sierra y un comparador con nivel de referencia variable para modular el ciclo de trabajo de la señal tren de pulso saliente, manteniendo la frecuencia de la señal de entrada. La figura 14 permite visualizar un caso de PWM.

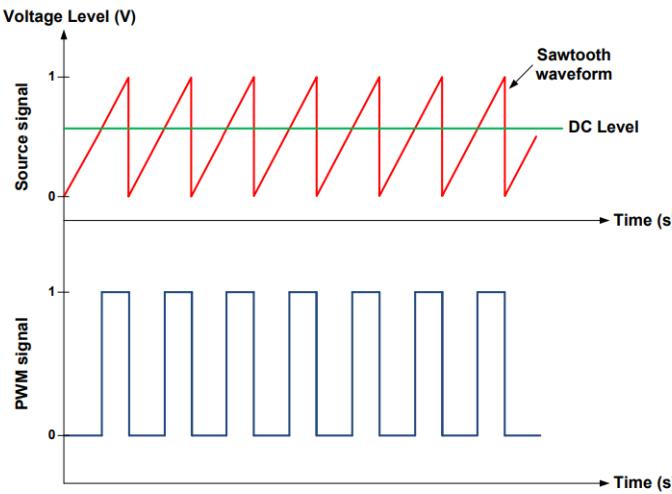


Figure 14: Caso de Modulación por ancho de pulsos con señal diente de sierra.

## 2.3 Circuito propuesto

Basándonos nuevamente en el principio del *pulse width modulation*, se plantea un oscilador que cumpla con los requisitos de diseños mediante dos bloques diferenciados: por un lado, un bloque regulador de frecuencia con el que se obtiene la señal periódica a partir de la generación de una señal tren triangular, tendiente a diente de sierra por ciclos de descarga abrupta, la cual ingresa al segundo bloque, compuesto por un comparador con tensión de referencia ajustable para regular el duty cycle del tren de pulsos saliente. En la figura 15 se presenta un esquema en bloques del funcionamiento del circuito.

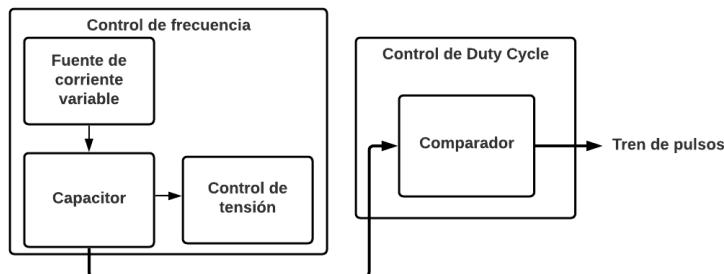


Figure 15: Diagrama en bloques de circuito propuesto.

El control de frecuencia se logrará empleando una *fuente de corriente simple variable*, con la cual se pueda cargar linealmente un *capacitor* a una velocidad determinada por la corriente ingresante al mismo. Para limitar la carga y descarga del capacitor, se incluirá un *Timer 555*, obteniendo una señal similar a diente de sierra. Finalmente, se conectará la señal obtenida a un comparador con tensión de referencia variable.

### 2.3.1 Análisis

Se explicará el funcionamiento en detalle del circuito intentando desarrollar fórmulas analíticas que, a su vez, servirán para la elección de componentes del oscilador.

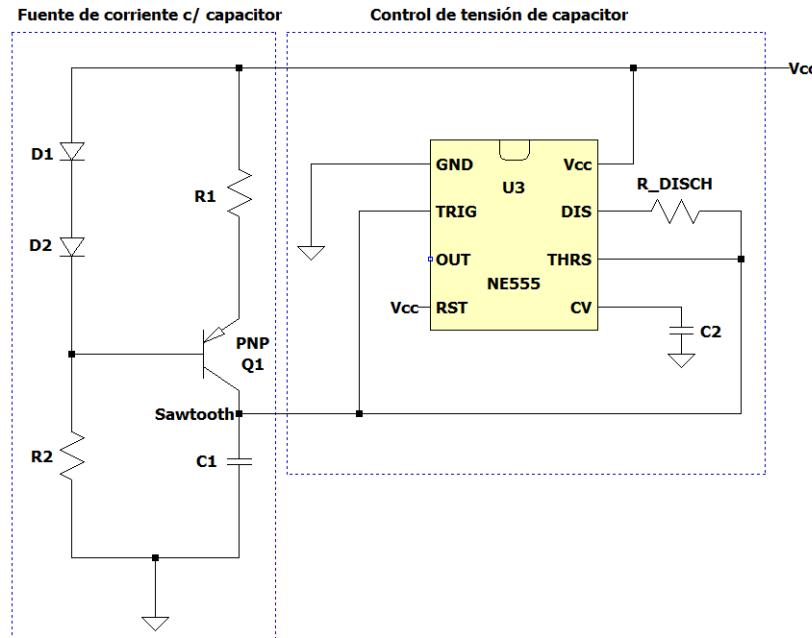


Figure 16: Circuito generador diente de sierra y control de frecuencia.

La figura 16 presenta un esquema circuitual del bloque de control de frecuencia mediante generación de señal tren triangular. El elemento central del funcionamiento del generador, como todo oscilador de relajación, es el capacitor. Se busca producir una carga lineal sobre el mismo, con lo cual se inyectará una corriente constante desde una fuente de corriente variable compensada con diodos. La fuente de corriente se constituye con un transistor PNP, diodos de compensación, la resistencia de polarización  $R_2$  y la resistencia  $R_1$ , que fija la intensidad de corriente y se convertirá en el elemento a variar para ajustar la frecuencia. Considerando un transistor ideal, para el cual la corriente de emisor es igual a la de colector, y recorriendo la malla se llega a que la corriente entrante al capacitor  $C_1$  es:

$$I_c \simeq \frac{V_{D1} + V_{D2} - V_{BEon}}{R_1} \quad (3)$$

Recordando que la tensión en el capacitor esta determinada por  $v = \frac{I}{C}t$ , luego:

$$V_c \simeq \frac{V_{D1} + V_{D2} - V_{BEon}}{R_1 C_1} t \quad (4)$$

Para fijar cotas a la tensión del capacitor, se incluyó un *Timer555* en configuración biestable. En la figura 17 se presenta un esquema interno del circuito, el cual esta compuesto por dos comparadores, tres resistencias iguales, un flip flop y un transistor BJT. Las resistencias iguales fijan las tensiones de referencia de los comparadores en  $V_{TH} = \frac{2}{3}V_{CC}$  y  $V_{TL} = \frac{1}{3}V_{CC}$ . Los pines THRES y TRIG reciben las tensiones de entrada contra las que compara cada comparador, de modo que conectando ambas entradas permite comparar la misma tensión; el pin CV/CONTROL permite modificar el valor de referencia  $V_{TH}$  y DISCH establece una ruta a GND controlada por el transistor.

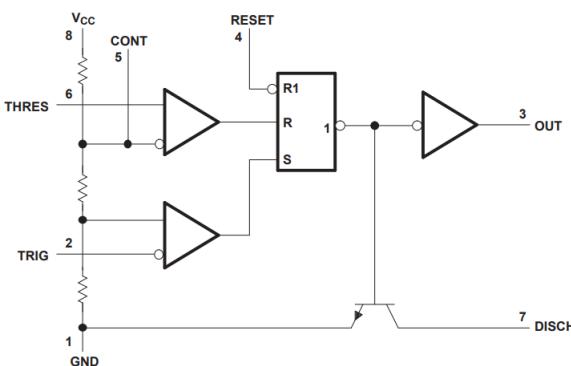


Figure 17: Timer 555.

Cuando la tensión entrante cae por debajo de la  $V_{TL}$ , el comparador inferior dispara, la tensión que va del flip flop a la base del transistor es nula y no se permite la circulación de corriente desde DISCH a GND. En cambio, cuando la tensión de entrada es superior a  $V_{TH}$ , la salida del flip flop al transisor equivale a un nivel lógico alto, activando el transistor y permitiendo la descarga desde DISCH a GND. Por esto, se conecta también el capacitor al pin de descarga. Con todo esto, se consigue que la tensión del capacitor permanezca entre los valores  $[V_{TL}, V_{TH}]$ . Imponiendo esta condición en la ecuación 4 se puede estimar el tiempo de carga:

$$t_{charge} \simeq \frac{(V_{TH} - V_{TL})R_1C_1}{2V_D - V_{BEon}} \quad (5)$$

La descarga se produce por DISCH vía la resistencia serie  $R_{DISCH}$ , con la cual se consigue minimiza la posibilidad que se produzca un pico de corriente tal que se queme el transistor debido a la gran pendiente de descarga del capacitor. Asimismo, en la expresión del tiempo de descarga se visualiza que el mismo es proporcional a la resistencia de descarga, por lo que se buscará que la misma sea pequeña. Teniendo que la tensión en el capacitor está dado por  $V_c(t) = V_{TH}e^{-\frac{t}{R}}$ , y considerando a la tensión final como  $V_{TL}$ , se llega a que:

$$t_{discharge} \simeq \ln\left(\frac{V_{TH}}{V_{TL}}\right)R_D C_1 \quad (6)$$

Considerando que  $[V_{TL}, V_{TH}] \simeq [\frac{1}{3}V_{cc}, \frac{2}{3}V_{cc}]$ , el periodo esta dado por:

$$T = t_{charge} + t_{discharge} \simeq \frac{V_{cc}R_1C_1}{3(2V_D - V_{BEon})} + \ln(2)R_D C_1 \quad (7)$$

Como el tiempo de descarga es mucho menor al de carga, se puede obtener una estimación simplificada de la frecuencia, controlada por los valores de  $C_1$  y de  $R_1$ .

$$f \simeq \frac{1}{C_1\left(\frac{V_{cc}R_1}{2V_D - V_{BEon}} + \ln(2)R_D\right)} \simeq \frac{2V_D - V_{BEon}}{V_{cc}R_1C_1} \quad (8)$$

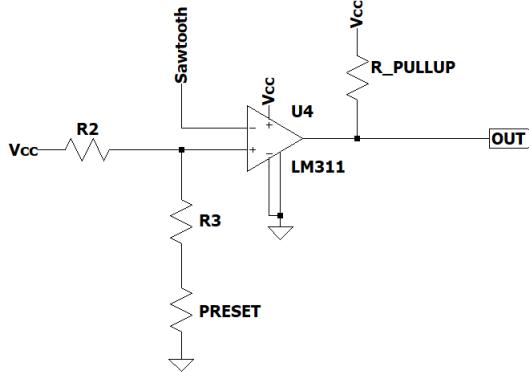


Figure 18: Generador de pulso y control de DC.

La obtención del tren de pulsos y el control sobre su duty cycle se realiza mediante un comparador con tensión de referencia variable, tal como se presenta en la figura 18. Se incorpora un preset en serie con la  $R_3$ , de modo que la tensión de referencia queda expresada en función del valor total que toma  $R_3$  con el preset según:

$$V_{ref} = \frac{R_3}{R_3 + R_2} V_{cc} \quad (9)$$

Se utilizó un comparador LM311 con una resistencia de pull up a la tensión que se quiera emplear como nivel lógico alto.

$$\begin{cases} V_{out} = 0V & \text{si } V_{ref} < V_{sawtooth} \\ V_{out} = V_{alto} & \text{si } V_{ref} > V_{sawtooth} \end{cases} \quad (10)$$

Considerando las ecuaciones 5 y 6 en conjunto con las inmediatas anteriores, se determina la expresión del Duty Cycle. El tiempo que el pulso permanece en nivel bajo se produce cuando la tensión ingresante al comparador está por debajo de la  $V_{ref}$ , lo que se produce durante la carga y descarga. Análogamente, el tiempo que el pulso permanece en nivel alto equivale al tiempo en el que la señal diente de sierra está por encima de la tensión de referencia, tanto durante la carga como en la descarga. De este modo,

$$\begin{cases} T_H = \frac{(V_{TH} - V_{ref})R_1C_1}{2V_D - V_{BEon}} + \ln(\frac{V_{TH}}{V_{ref}})R_D C_1 \\ T_H = \frac{(V_{ref} - V_{TL})R_1C_1}{2V_D - V_{BEon}} + \ln(\frac{V_{ref}}{V_{TL}})R_D C_1 \end{cases} \quad (11)$$

$$DC = 100 \frac{T_H}{T_H + T_L} \simeq 100 \frac{(V_{TH} - V_{ref})}{(V_{TH} - V_{ref}) + (V_{ref} - V_{TL})} = 100 \frac{2R_2 - R_3}{R_2 + R_3} \quad (12)$$

Se visualiza en la expresión aproximada del DC que éste solamente depende de las resistencias que fijan la tensión de referencia. En particular, se decidió que el valor representado por  $R_3$  en la expresión esté definido por la resistencia fija  $R_3$  en la figura del comparador en conjunto con el preset serie.

### 2.3.2 Implementación

Se observa de la expresión reducida de la ecuación 8 que el rango de frecuencias del oscilador estará determinado por el capacitor, de modo que un capacitor de menor valor permitirá llegar a frecuencias más altas. Se decidió fijar el valor de  $C_1$  y controlar la frecuencia mediante presets en serie con la resistencia  $R_1$ . De este modo, fijando una  $C_1 = 100\text{pF}$ , una  $R_1 = 1.5\text{k}\Omega$  y considerando diodos y un transistor ideal, se podría llegar a una frecuencia máxima de, como mínimo, 300kHz. Incluyendo un preset de 50kΩ para el ajuste grueso y uno de 500Ω para el ajuste fino, se comprobó mediante la simulación que se alcanza una frecuencia mínima de al menos 17kHz. Se hará uso de capacitores cerámicos multicapas o de disco, debido a que tienen una mejor respuesta en frecuencia frente a otros tipos, y resistencias de 1% de tolerancia.

Se hará uso de un Timer NE555, el cual presenta una frecuencia de operación máxima superior a los 500kHz<sup>1</sup>, diodos 1N4148, un comparador LM311 y un transistor 2N2907, el cual permite una corriente máxima de colector de 600mA.

Como se analizó previamente, la  $R_{DISCH}$  debe ser pequeña para que el tiempo de descarga también lo sea. Se propone usar una resistencia de 50Ω. Asimismo, se conectó un capacitor de bypass de 10nF entre el pin CONTROL/CV y GND para evitar un falso triggering debido al ruido.

En cuanto al bloque comparador, se emplea una resistencia de pull up de 10kΩ y para la tensión de referencia resistencias de 10kΩ, 220Ω además de presets de 20kΩ y 500Ω, para ajuste grueso y fino respectivamente. Se debe advertir que para el caso de la frecuencia mínima, es decir cuando los presets se pongan en posiciones máximas, se podrá obtener un DC del 100%, por lo que se deberá tener cuidado al utilizar el mismo. Por esa misma situación, se decidió incluir el preset de ajuste fino.

Finalmente, se obtiene el siguiente rango de operación:

- Frecuencia entre 17kHz y 450kHz.
- Duty cycle entre 4% y 100%, según frecuencia.

Se presenta el circuito generador de tren de pulsos diseñado:

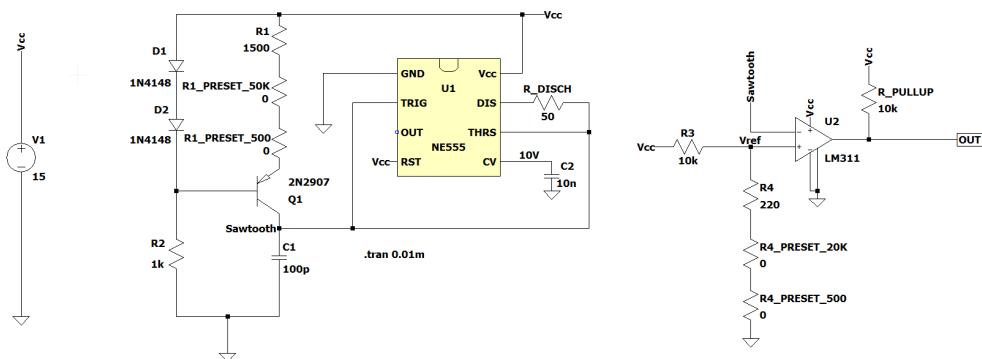


Figure 19: Circuito con especificación de componentes.

<sup>1</sup>Referirse a <https://www.st.com/resource/en/datasheet/cd00000479.pdf>

### 2.3.3 Simulación y consideraciones

Se realizaron simulaciones en LTspice para visualizar el comportamiento del circuito. Como observación, debe resaltarse que los componentes (transistor, diodos y comparador) corresponden a los modelos de los fabricantes con excepción del Timer NE555, el cual es un componente interno ideal del programa. Se intentó incorporar otros modelos directos de fabricantes sin éxito, por lo que se realizó la simulación teniendo esa consideración en mente. No obstante, los parámetros de operación se encuentran dentro de los márgenes establecidos por el fabricante.

Se realizaron simulaciones con los valores extremos del circuito demostrando, dentro del marco de LTspice, el correcto funcionamiento del oscilador.

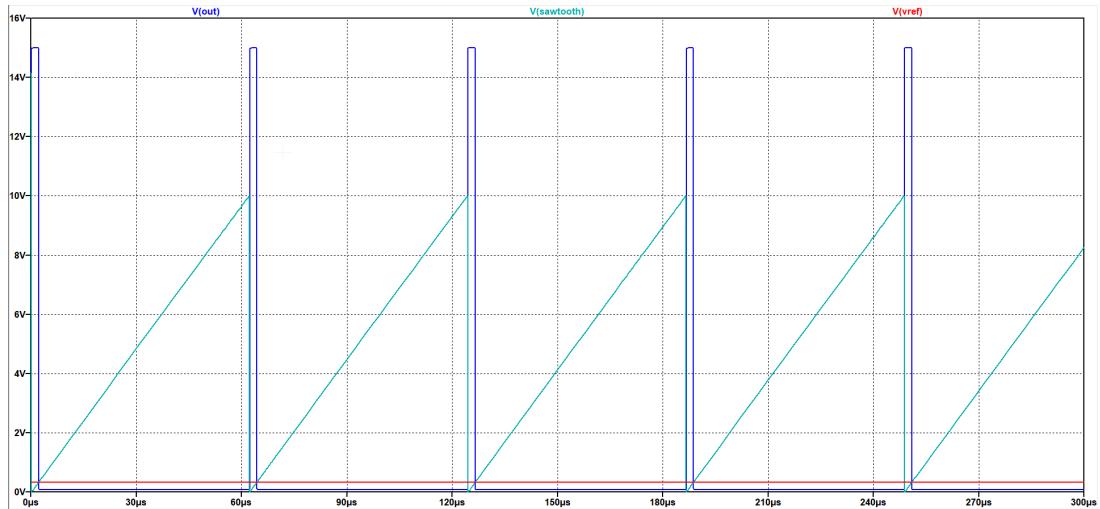


Figure 20: Simulación 17kHz con DC = 4%.

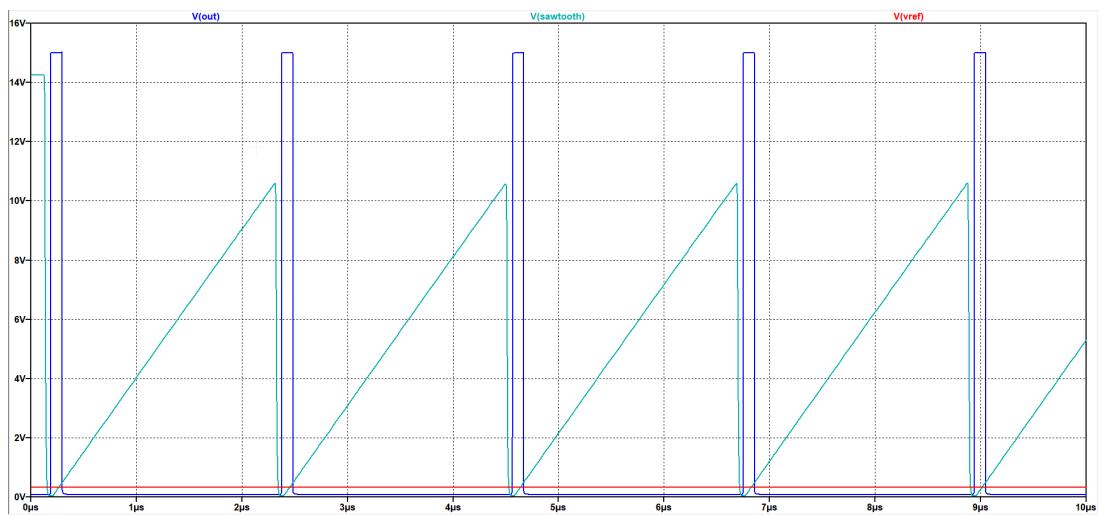


Figure 21: Simulación 455kHz con DC = 5%.

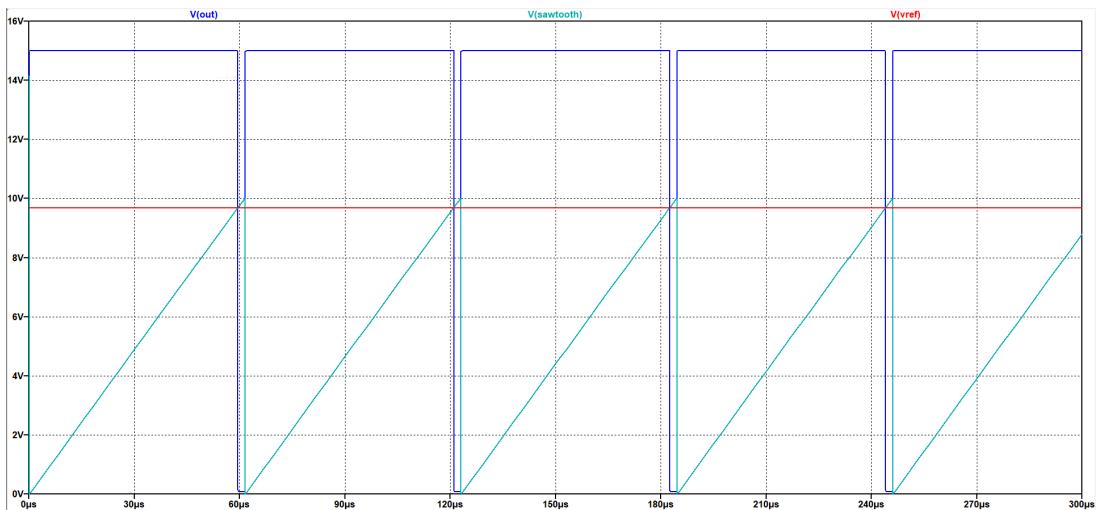


Figure 22: Simulación 17kHz con DC = 96%.

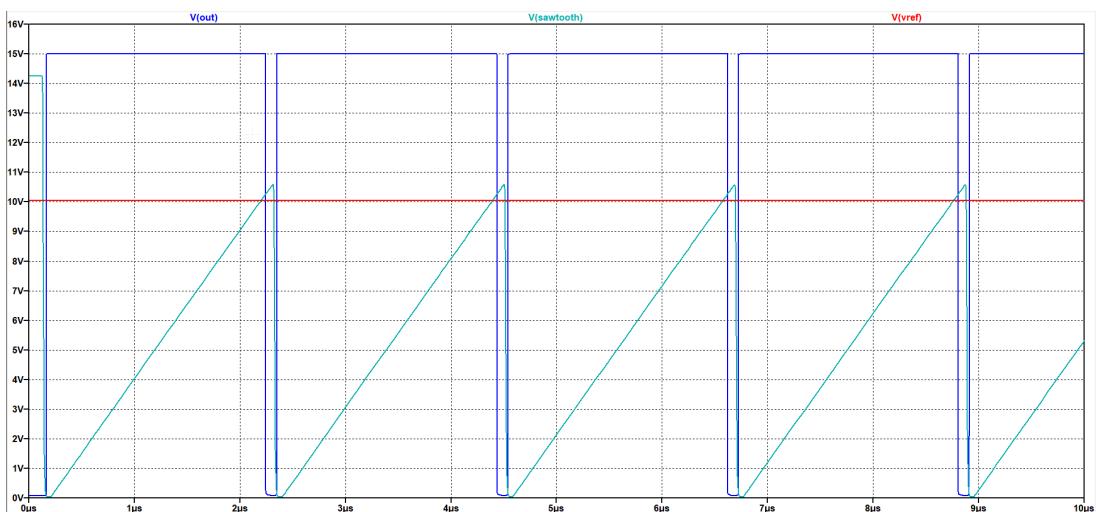


Figure 23: Simulación 456kHz con DC = 95%.

Una de las principales consideraciones que se debe tener sobre el circuito es el rango de operación de frecuencia del Timer 555 en modo astable. Si bien el diseño introducido se encuentra dentro del rango especificado por el datasheet, se puede considerar la posibilidad de optar por un Timer 555 de tecnología CMOS, los cuales presentan ventajas como ser mayor rango de frecuencia y menor consumo. Algunas alternativas son el LMC555<sup>2</sup>, el mas veloz de la industria según sus fabricantes, o el TLC555<sup>3</sup>, ambos con frecuencias máximas típicas superiores a los 2MHz.

## 2.4 Propuesta: divisor de frecuencia

Al comenzar a investigar sobre las distintas propuestas de generadores de tren de pulsos existentes, se hizo foco en buscar opciones que permitan variar la frecuencia directamente sobre el circuito. Se consignó que esto se podría lograr mediante un oscilador como el planteado, donde la frecuencia es regulable según el valor de una resistencia/preset, o bien buscando expresar la frecuencia en función de la tensión de entrada como en el caso de un VCO.

La regulación de la frecuencia empleando un preset, no obstante, resulta cómoda pero quizás poco precisa y un poco engorrosa en el ámbito del laboratorio, ya que se debe medir la señal de salida para corroborar la frecuencia deseada. Es por ello que se plantea la posibilidad, no adoptada en este trabajo, de diseñar un filtro con una frecuencia máxima fija y luego incorporar un divisor de frecuencia a la salida para obtener fracciones de la frecuencia. Esto se podría realizar mediante un contador en modo free running, como es el caso de la figura 24, con el cual se obtendrían

<sup>2</sup>Referirse a <https://www.ti.com/lit/ds/symlink/lmc555.pdf>

<sup>3</sup>Referirse a <https://www.ti.com/lit/ds/symlink/tlc555.pdf>

salidas de la señal de clock generada en fracciones de potencias de dos; se podrían incorporar jumpers y etiquetas a la placa para facilidad de uso.

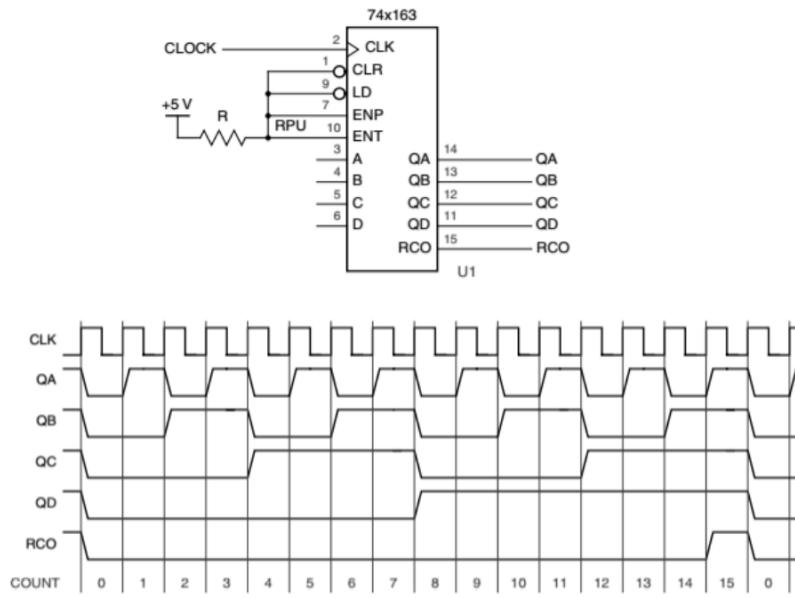


Figure 24: Contador 74HC163 en modo free running.

Con esta opción en mente, resulta conveniente usar otros diseños de osciladores tal como un oscilador de cuarzo, con el cual se podría obtener una frecuencia fija bastante precisa sin el riesgo que se vea afectada por factores como la temperatura, como en el caso del oscilador propuesto en este trabajo.

## 2.5 Conclusión

Finalmente, se puede concluir que el oscilador propuesto cumple con las restricciones de diseño fijadas. No obstante, ante la imposibilidad de comprobar el oscilador en funcionamiento real, no se puede fijar una recomendación absoluta sobre si resulta el mejor circuito o no para el propósito.

### 3 Llave analógica

Esta familia de dispositivos tiene como objetivo controlar el paso de una señal mediante una tensión de control. Las limitaciones se centran principalmente en aspectos que involucran la distorsión de la señal original como consecuencia de las resistencias y capacidades que se originan en el circuito equivalente de los mismos. A continuación explicaremos algunas de las propiedades para realizar una tabla comparativa:

- $V^+$ . Determina la amplitud de la señal analógica que puede pasar sin ser recortada.
- $V_{IL}$  y  $V_{IH}$ . Son las tensiones límites de la señal de control para encender y apagar la llave.
- On-resistance ( $R_{on}$ ). Resistencia que aparece como consecuencia del paso de la señal a través de los mecanismos internos del dispositivo cuando este se encuentra en modo activo.
- On-resistance flatness ( $R_{ONFLAT}$ ). Diferencia entre los límites de ( $R_{on}$ ) para todo el rango de tensiones en la entrada de control.
- Off-capacitance source and drain ( $C_{OFF}$ ). La carga capacitiva que se genera cuando la entrada del dispositivo se encuentra en estado de alta impedancia.
- On-capacitance source and drain ( $C_{ON}$ ). La carga capacitiva que se genera como la suma de las capacidades en el source y el drain del mosfet interno, cuando la entrada del dispositivo está en baja impedancia.
- Bandwidth ( $BW$ ). Rango de frecuencias de las señales entrantes que pueden pasar por la llave sin sufrir atenuaciones mayores a  $3dB$ .

Propiedad	CD4066	CD4016	MAX14777	Unidad
$V^+$	$\pm 10$	$\pm 10$	$\pm 15$ o $-15/+35$	V
$V_{IL}$	$+1/+2$	0.7	$+0.48/+1.65$	V
$V_{IH}$	$+3.5/+11$	$+3.5/+11$	$+1.13/+3.85$	V
$(R_{on})$ max	180/400	660/2000	4.4/10	$\Omega$
$(R_{ONFLAT})$	20	n/d	0.009/0.150	$\Omega$
$(C_{OFF})$	16.5	8.2	12	pF
$(C_{ON})$	16	8	16	pF
$(BW)$	40	40	380	MHz
$(THD)$	0.4	0.4	0.038	%
Precio	0.310	0.324	2.83	USD

Table 1: Tabla de comparación de llaves analógicas.

## 4 Sample & Hold

### 4.1 Introducción

Sample & Hold es la etapa que se encarga de realizar el muestreo instantáneo de la señal, es decir, de obtener una muestra de la señal en un instante de tiempo determinado, y de conservarla durante un cierto período de tiempo preestablecido. De esta forma se busca tener muestras instantáneas ideales, aunque en la realidad es imposible, y también obtener tiempo para que el conversor Analógico/Digital procese la información del muestreo. Para realizar esta etapa se uso el circuito LF3989 con el circuito propuesto en su hoja de datos (como se muestra en la figura 25).

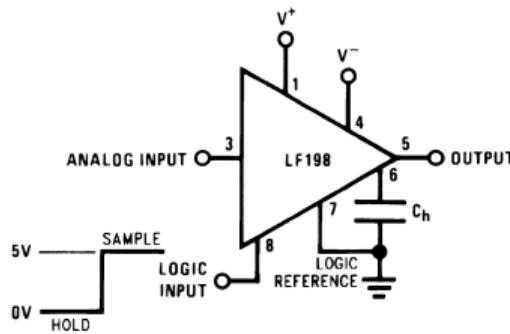


Figure 25: Circuito básico del LF398

El circuito mostrado anteriormente necesita de un capacitor conectado entre sus pines 6 y 7, este componente determinará el tiempo de establecimiento y el Drop-Rate de la etapa por lo que una mala elección de capacitor puede hacer que la etapa no funcione correctamente.

### 4.2 Tensión digital umbral de referencia

El dispositivo presenta un pin de entrada para la referencia lógica el cual determina la amplitud de la tensión de control necesaria para cambiar los modos de operación (muestreo o retención).

$$V_{Control} = V_{CLK}$$

$$V_{LogicRef} = V_{thr} + 1.4V \rightarrow V_{thr} = \frac{R_B}{R_A + R_B} \times V^+$$

El signo del resultado obtenido como diferencia entre la señal de referencia y la señal de control nos indicarán el tiempo de ejecución de cada uno de los estados. Las ecuación anterior y el circuito ejemplificado corresponde al caso en donde la tensión umbral es definida por el usuario por fuera del protocolo CMOS y TTL.

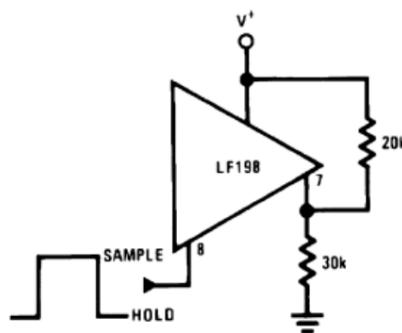


Figure 26: Ejemplo con  $R_A = 20K\Omega$  y  $R_B = 30K\Omega$ .

Sin embargo el orden de los signos definen el orden de los comportamientos, según los pines utilizados empieza reteniendo el valor (hold) hasta que cruza el umbral donde inicia el periodo de seguimiento (track o sample). En el cruce posterior vuelve al comportamiento original y así sucesivamente. La llave analógica tiene como objetivo poder separar la muestra fija (modo hold) de la parte que sigue la señal. Y dado que el dispositivo funciona en este modo en activo alto, necesitamos que la muestra sea retenida en el mismo modo. Esto se logra intercambiando los pines.

La diferencia con la tensión máxima de la señal de control se debe a mantener la proporción de tiempos, por lo tanto obtiene el valor de control midiendo desde el máximo del pulso hasta la tensión umbral.

$$V_{LogicRef} = V_{CLK}$$

$$V_{Control} = V_{thr} - 1.4V - V^+ \rightarrow V_{Control} = \frac{R_A}{R_A + R_B} \times V^+ - 1.4V$$

En nuestro caso la tensión umbral la definimos en 354 mV ( $R_A = 47K\Omega$ ) y ( $R_B = 10K\Omega$ ) para que el 41.5% del ciclo de clock pueda estar muestreando y el restante manteniendo la señal.

### 4.3 Determinar el capacitor $C_h$

El capacitor de Hold, o capacitor  $C_h$ , es muy importante para el circuito ya que permite dar tiempo para lograr el muestreo instantáneo manteniendo la carga en un valor determinado pero es muy importante no elegir un valor muy alto, ya que el  $C_h$  tardaría mucho en cargarse, ni muy pequeño porque dejaría poco tiempo para poder analizar el muestreo. Para determinar un valor óptimo de  $C_h$  se evalúo el Drop-Rate del datasheet para estimar un valor que permita un tiempo aceptable de trabajo, luego se hicieron pruebas empíricas para corroborar el buen funcionamiento.

#### 4.3.1 Drop-Rate

Para calcular el Drop-Rate se utilizó un gráfico del datasheet de Texas Instrumentes, el mismo se muestra en la figura.

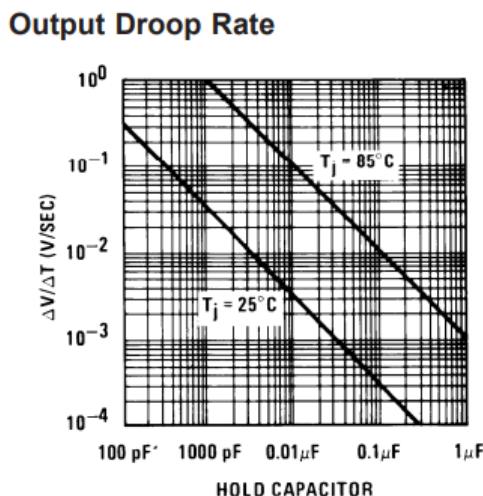


Figure 27: Valor del Drop-Rate para valores determinados de capacitores

Como indican las consignas se analizaron valores especiales para el  $C_h$  donde se nos pide 2 casos, cuando  $C_h \leq 150pF$  (caso A) y cuando  $C_h \geq 47nF$  (caso B). Fijándonos en la figura 27 se puede ver que para el caso A el Drop-Rate tiene un valor aproximado de  $4.10^{-2} \frac{\Delta V}{\Delta t}$ , mientras que para el caso B el Drop-Rate tiene un valor aproximado de  $5.10^{-4} \frac{\Delta V}{\Delta t}$ . Utilizando el LTSpice se simulo con un seno a una frecuencia de 20KHz con 5V de amplitud. Para las siguientes simulaciones el caso A corresponde a la figura 28 y el caso B corresponde a la figura 29.

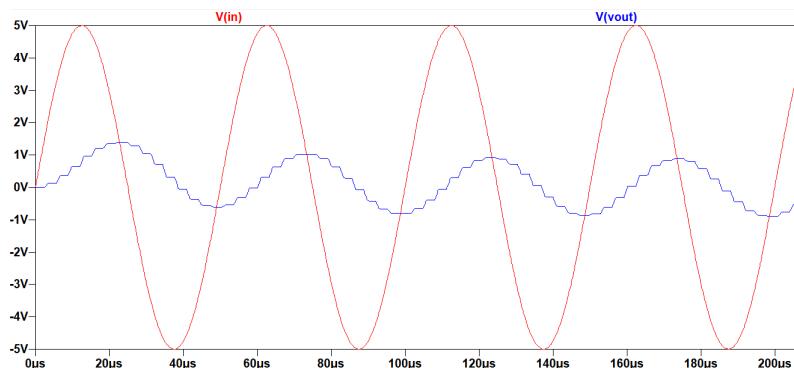


Figure 28: Capacitor de 50nF a 20KHz

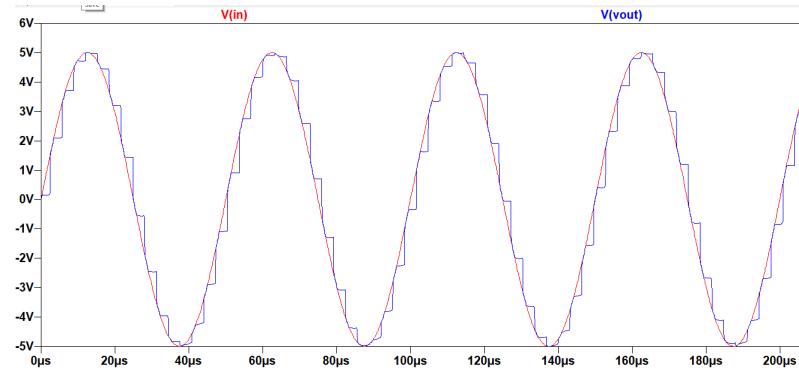


Figure 29: Capacitor de 100pF a 20KHz

Se puede apreciar como al tener un valor muy grande de  $C_h$  no solo no logra cargar la señal completa, ya que no tiene suficiente tiempo para cargar el capacitor, sino que además genera un retraso en el tiempo de la señal, logrando así una señal desfasada. Mientras al tener un bajo valor de  $C_h$  el circuito logra muestrear la señal aunque no logra mantener el valor cargado ya que al tener un valor bajo de capacidad se descarga muy rápido.

En cambio si se utiliza una señal sinusoidal de frecuencia de 240KHz y una amplitud de 5V se obtienen valores distintos pero tampoco son aceptables para el circuito, ya que al igual que en las simulaciones anteriores en el caso A no logra cargar el capacitor para poder muestrear la señal y el caso B directamente no logra seguir la señal que se desea muestrear. Para estas simulaciones los casos A y B corresponden a las figuras 30 y 31 respectivamente.

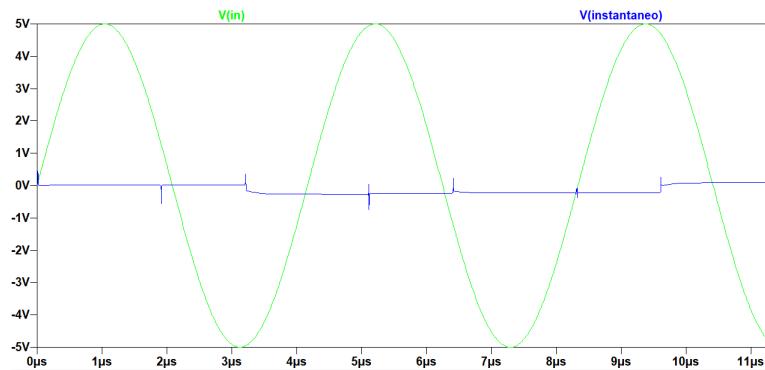


Figure 30: Capacitor de 50nF a 240KHz

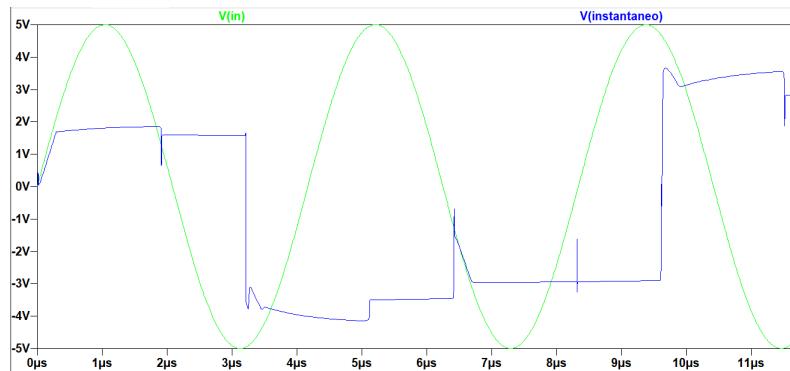


Figure 31: Capacitor de 100pF a 240KHz

#### 4.3.2 Tiempo de establecimiento

El tiempo de establecimiento es el intervalo que transcurre desde que el clock de referencia deja de estar en 0 hasta que logra su mayor valor. Para obtener los datos del tiempo de establecimiento de la etapa, se utilizó el software LTSpice simulando el integrado LF398 con el esquema mostrado en la figura 32. Para probar el funcionamiento de esta etapa se uso una señal de entrada de 5V con una frecuencia de 10Khz, y se procedió a variar el capacitor para encontrar el mejor valor posible. Los capacitores se variaron con valores entre los 100pF y 50nF. Una consideración que se tuvo

en cuenta es poder adaptar la salida del S&H para un conversor analógico-digital de 8 bit, por lo que se utilizó un valor de clock muy alto para minimizar errores. Una vez establecidos los parámetros de trabajo se procedió primero a buscar el orden óptimo y luego de forma empírica se busco un valor acorde al circuito.

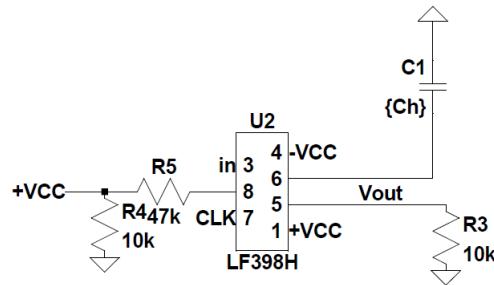


Figure 32: Esquema del circuito para el LF398

En las siguientes mediciones se uso la herramienta Zoom del LTSpice para medir el tiempo de establecimiento obteniendo los valores de la tabla 2.

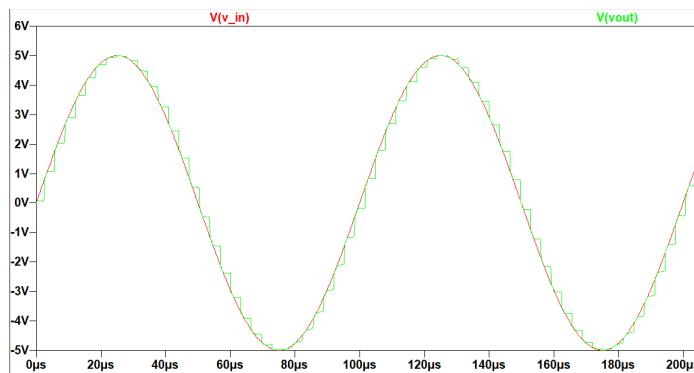


Figure 33: Capacitor de 100pF a 10KHz

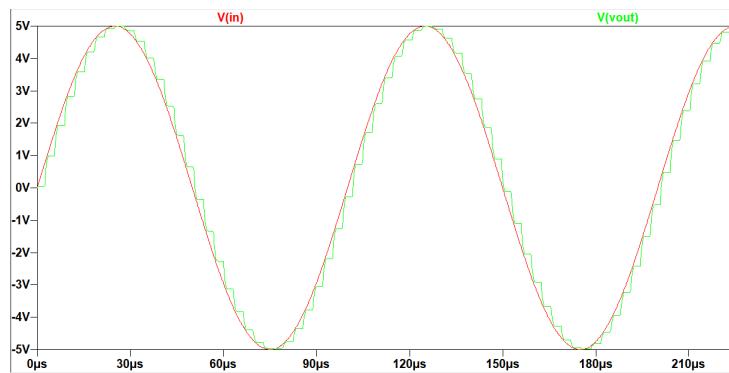


Figure 34: Capacitor de 1nF a 10KHz

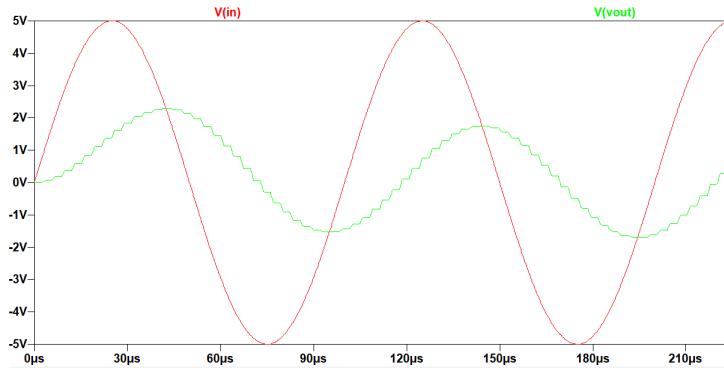


Figure 35: Capacitor de 50nF a 10KHz

$C_h$	tiempo establecimiento
50nF	1, 1 $\mu F$
1nF	1, 08 $\mu F$
100pF	112nF
10pF	23nF

Table 2: Tabla de tiempos de establecimiento

#### 4.3.3 Tiempo de adquisición

El tiempo de adquisición es el intervalo más corto transcurrido desde que se da la orden de muestrear hasta que se logra tomar una medición correcta, como se representa en la figura 36. Estos valores se obtuvieron a partir de las simulaciones que se usaron para el tiempo de establecimiento dando los valores de la tabla 3.

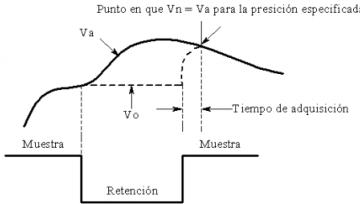


Figure 36: Tiempo de adquisición

$C_h$	tiempo establecimiento
50nF	N/A
1nF	1, 5 $\mu F$
100pF	630nF
10pF	550nF

Table 3: Tabla de tiempos de adquisición

Con un capacitor muy grande no llega a cargar completamente la señal por lo q no se puede apreciar un valor de adquisición para el  $C_h = 50nF$ .

#### 4.4 Conclusión

Teniendo en cuenta lo observado en cada medición se concluyó que el orden del  $C_h$  debe ser de 1nF, pero consecutivamente se pudo observar de forma empírica usando pasos en la simulaciones que el valor mejor optimizado es de 3nF lo cual concuerda con lo expresado en el Drop-Rate del datasheet utilizado. Cabe aclarar que el tamaño del capacitor influye en el proceso de carga y descarga del mismo, aspecto definido por la velocidad de la señal de control del dispositivo (clock).

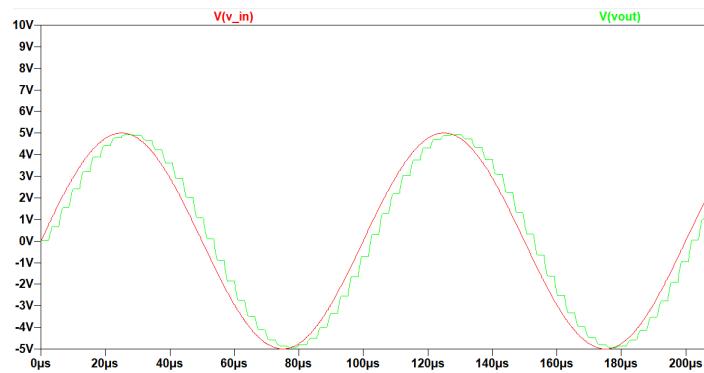


Figure 37: Simulación del capacitor de 3nF

## 5 Mediciones Básicas

Como es no posible realizar la experiencia en el laboratorio, con los subcircuitos diseñados previamente, se han simulado las siguientes situaciones utilizando un programa desarrollado en Python el cual será explicado en la sección ??

1.  $x_1(t) = A \cos(2\pi 23KHz t)$
2.  $x_2(t) = Asin(2\pi 4.6KHz t)$ ,  $t \in [0, 326\mu s]$  conocida también como  $\frac{3}{2} \sin(t)$
3.  $x_3(t) =$  Diente de Sierra con  $f = 11.5KHz$

Se realizarán las siguientes combinaciones para las simulaciones:

- Muestreo natural: FAA + Llave analógica + FR
- Muestreo con Sample and Hold: FAA + S&H + FR

### 5.1 Medición de $x_1(t)$

A menor Duty Cycle de la señal de clock para el sampling, para este caso, menor será la amplitud de la señal de obtenida o la potencia recuperada de la señal. Otro factor importante a tener en cuenta es que a menor Duty Cycle, la distorsión de la señal es menor. Por ello, se selecciona un Duty Cycle de 50 % para estar en situación equitativa para ambos factores.

La señal queda descripta en el tiempo y la frecuencia por:

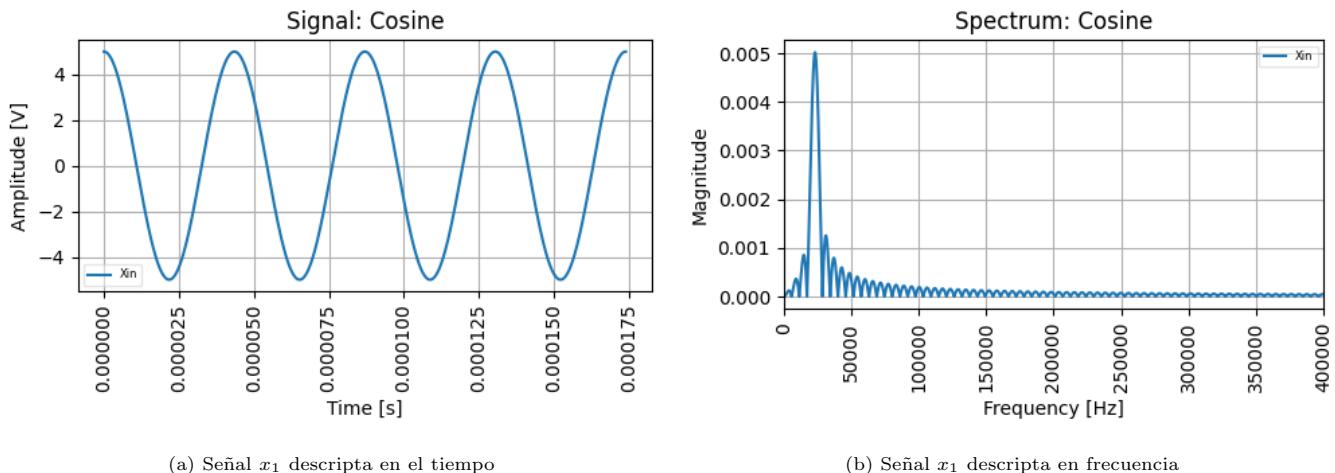
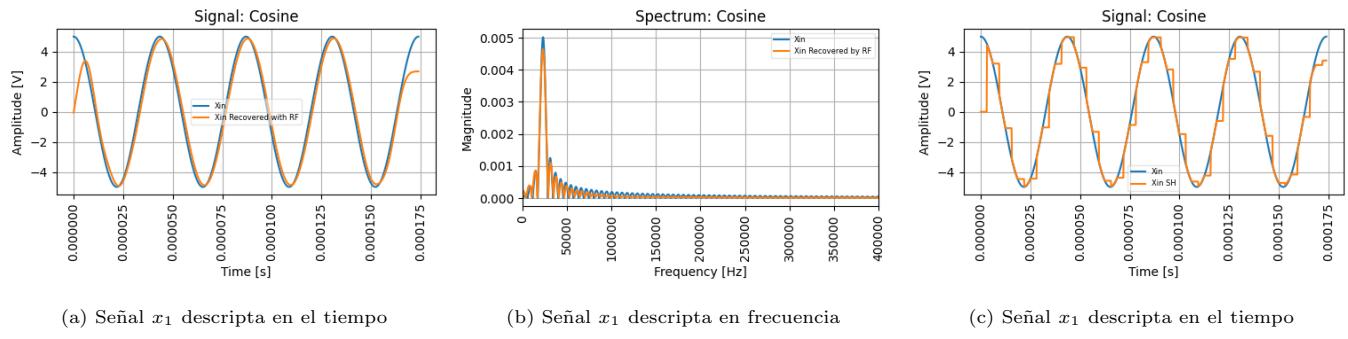


Figure 38: Señal  $x_1$

#### 5.1.1 Muestreo con Sample and Hold

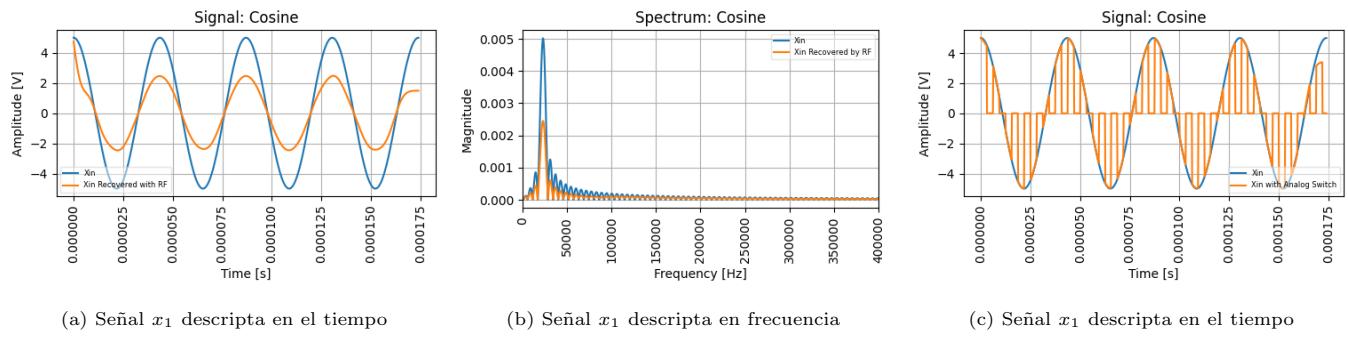
Idealmente como se mencionó, se esperaría que para frecuencias tales que  $f_s > 2f_b$  se pueda muestrear una señal sin problema alguno. Ello sería en el caso donde el espectro de la señal cosenoidal sea ideal. Como se puede observar, el espectro tiene su componente principal en  $f = 23KHz$  pero también tiene otros componentes a lo largo del dominio de la frecuencia.

Se comprobó mediante la simulación que para  $f_s > 160KHz$ , se podía obtener una señal con la menor distorsión posible. Lo obtenido fue lo siguiente:

Figure 39: Señal  $x_1$ 

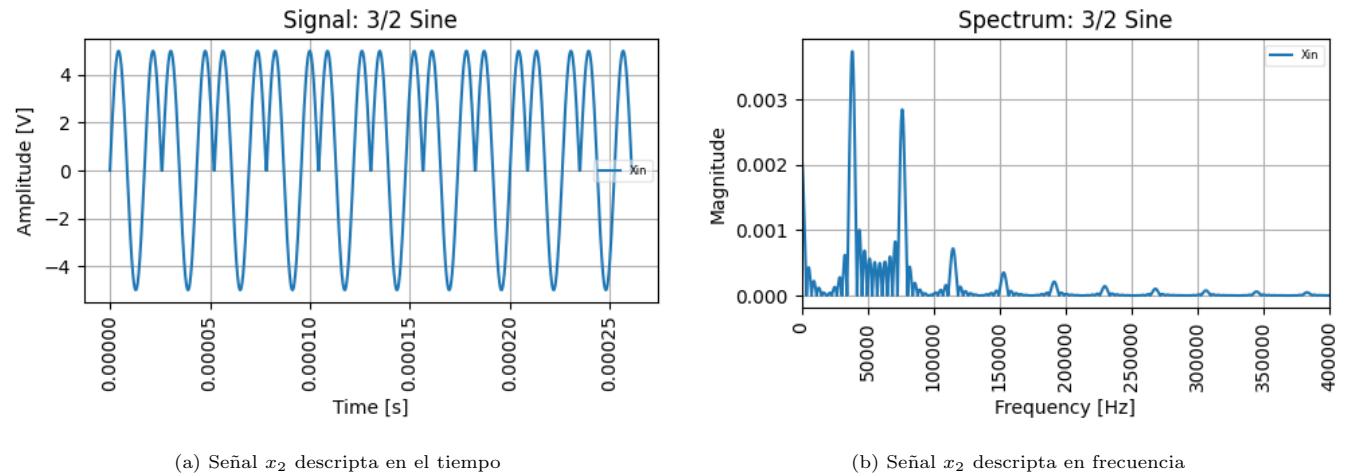
### 5.1.2 Muestreo Natural

Lo obtenido para esta configuración a la misma  $f_s$  y Duty Cycle es:

Figure 40: Señal  $x_1$ 

## 5.2 Medición de $x_2(t)$

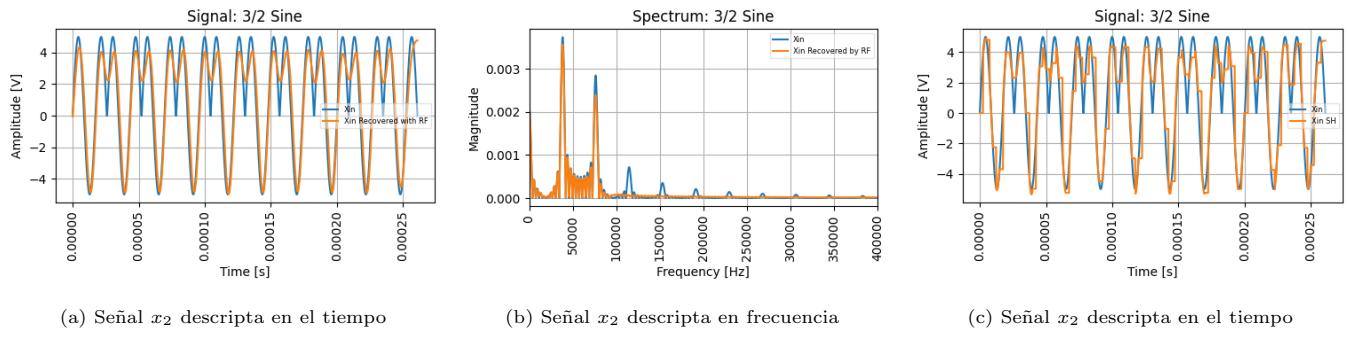
La señal queda descripta en el tiempo y la frecuencia por:

Figure 41: Señal  $x_2$ 

### 5.2.1 Muestreo con Sample and Hold

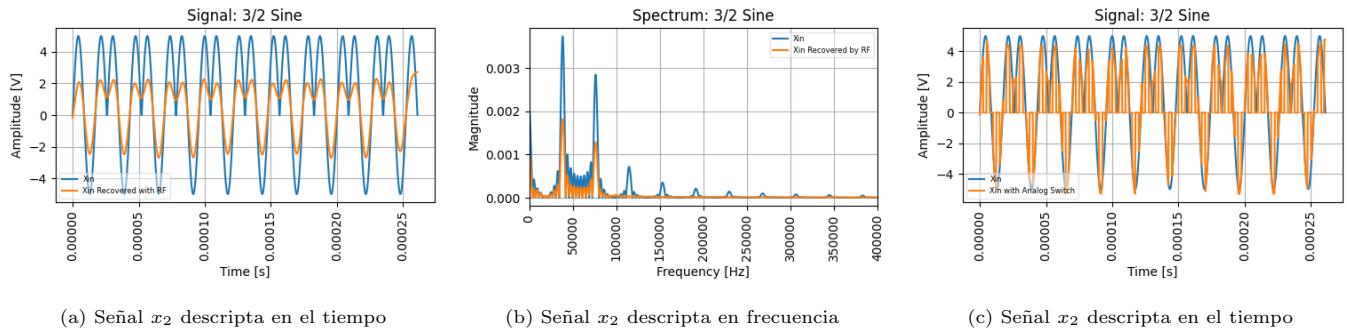
En este caso se puede observar que a lo largo del dominio de la frecuencia se tienen distintos componentes de gran magnitud relativa en comparación a la de magnitud mayor. Para este caso para este

Se comprobó mediante la simulación que para  $f_s > 200\text{KHz}$ , se podía obtener una señal con la menor distorsión posible. Lo obtenido fue lo siguiente:

Figure 42: Señal  $x_1$ 

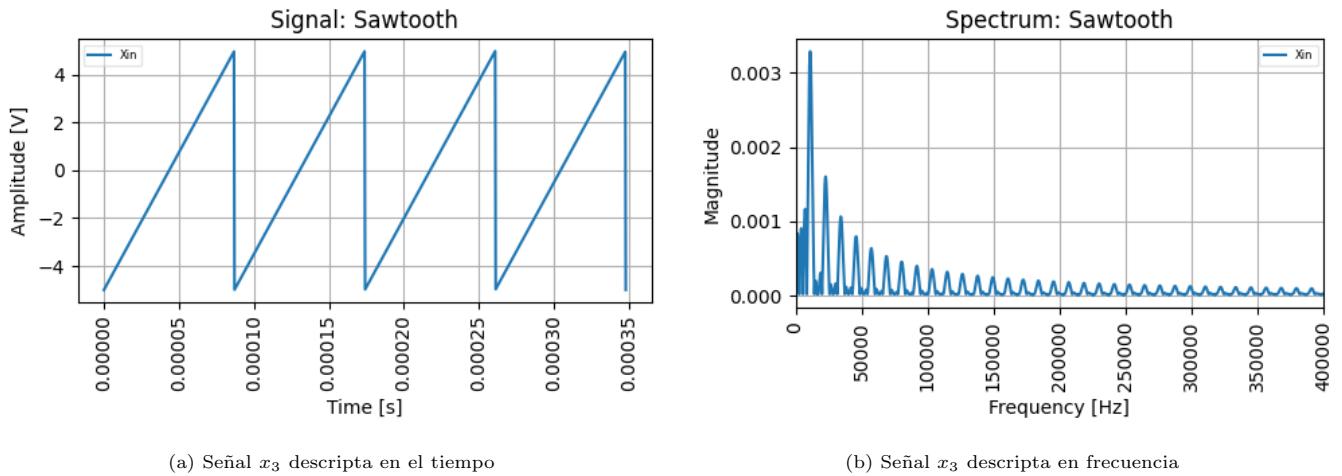
### 5.2.2 Muestreo Natural

Lo obtenido para esta configuración a la misma  $f_s$  y Duty Cycle es:

Figure 43: Señal  $x_2$ 

### 5.3 Medición de $x_3(t)$

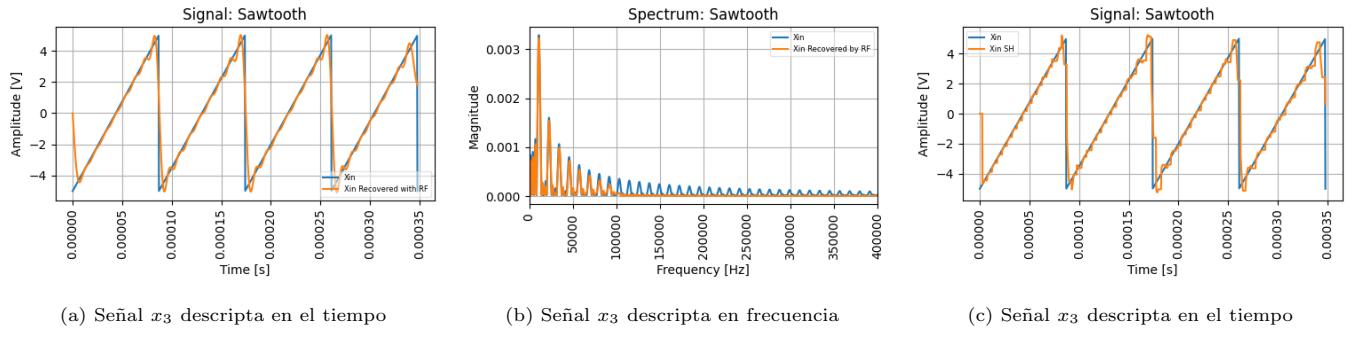
La señal queda descripta en el tiempo y la frecuencia por:

Figure 44: Señal  $x_3$ 

#### 5.3.1 Muestreo con Sample and Hold

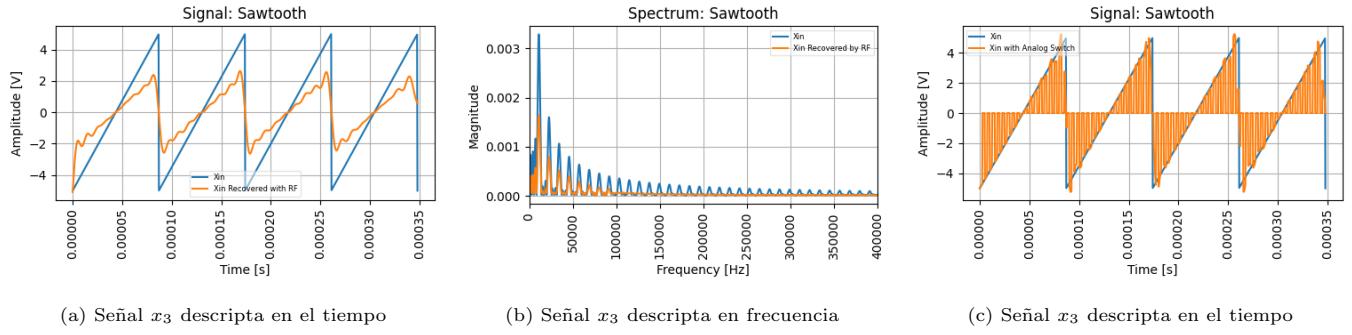
En este caso se puede observar que a lo largo del dominio de la frecuencia se tienen distintos componentes de gran magnitud relativa en comparación a la de magnitud mayor. Para este caso para este

Se comprobó mediante la simulación que para  $f_s > 200\text{KHz}$ , se podía obtener una señal con la menor distorsión posible. Lo obtenido fue lo siguiente:

Figure 45: Señal  $x_3$ 

### 5.3.2 Muestreo Natural

Lo obtenido para esta configuración a la misma  $f_s$  y Duty Cycle es:

Figure 46: Señal  $x_3$ 

## 6 Mediciones tales que $f_{in} \leq \frac{f_p}{2}$ y $f_s = f_a$

Para el diseño de nuestro filtro FAA y recuperador se utilizó la plantilla:

<b>fp</b>	<b>fa</b>	<b>Ap</b>	<b>Aa</b>
100kHz	150kHz	1 dB	40 dB

Las condiciones particulares entonces son:

- $f_{in} \leq 50KHz$
- $f_s = 150KHz$

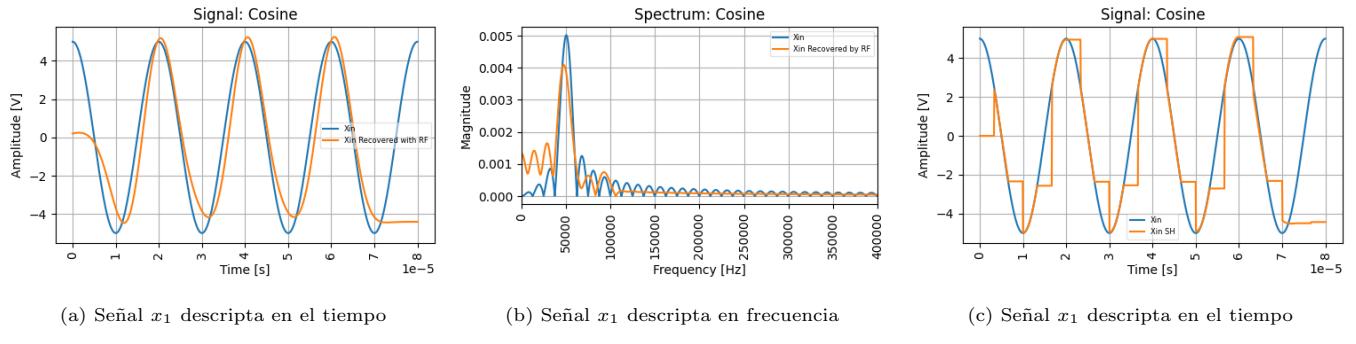
En cada caso, se obtendrá el "peor" de los casos, donde  $f_{in} = 50KHz$  para luego encontrar un  $f_{in}$  adecuado según lo estipulado. El duty Cycle será igual que antes por lo descripto previamente.

### 6.1 Medición de $x_1(t)$

En el peor de los casos el componente principal del espectro de esta señal se encontrará ahora en  $50KHz$ . Se esperaría que para frecuencias tales que  $f_s > 2f_b$  se pueda muestrear esta señal sin problema alguno. Ello sería en el caso donde el espectro de la señal cosenoidal sea ideal. En el escenario ideal con  $f_s = 100KHz$  la señal podría ser recuperada sin problema alguno pero se observará que esa no es la situación.

#### 6.1.1 Muestreo con Sample and Hold

A continuación se obtiene la señal tal que  $f_{in} = 50KHz$ :

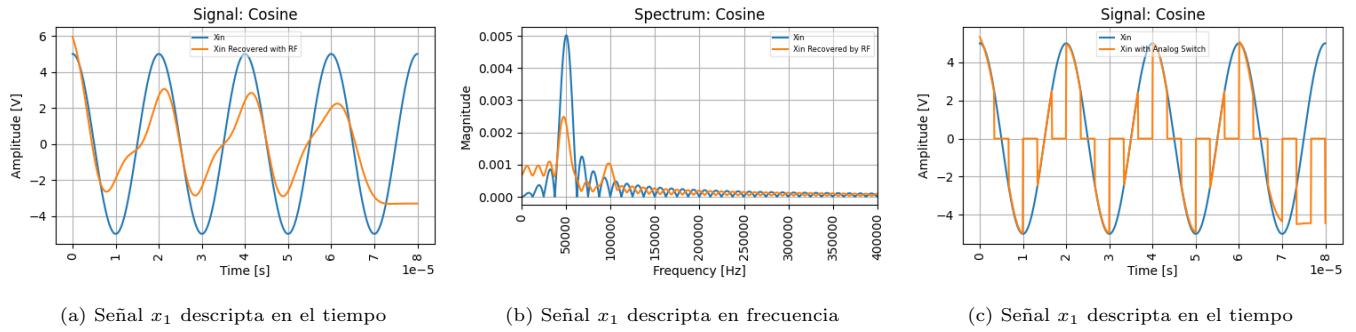
Figure 47: Señal  $x_1$  con  $f_{in} = 50KHz$ 

Para este caso en particular, se puede observar que en la frecuencia máxima, la señal en la configuración FAA + SH + RF a la salida es bastante similar a la señal de entrada por lo que para este caso, para frecuencias menores, la señal a la salida obtenida será aun mejor. Para este caso entonces:

$$f_{in} \leq 50KHz$$

### 6.1.2 Muestreo Natural

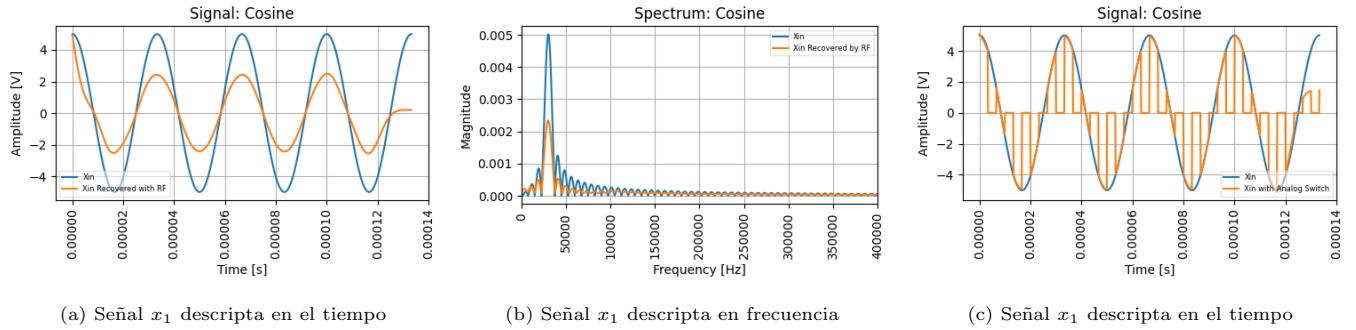
Lo obtenido para esta configuración a la misma  $f_s = 50KHz$  y Duty Cycle es:

Figure 48: Señal  $x_1$ 

En este caso, la situación no es igual que para el muestreo con sample and hold. Se pudo observar con la simulación que se la frecuencia para que se cumpla lo estipulado debe ser tal que:

$$f_{in} \leq 30KHz$$

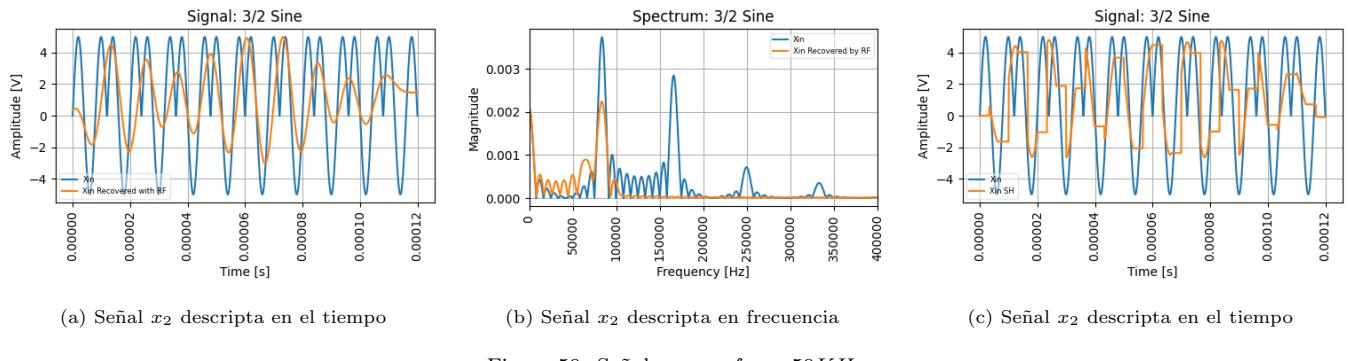
Se obtiene lo siguiente:

Figure 49: Señal  $x_1$ 

## 6.2 Medición de $x_2(t)$

### 6.2.1 Muestreo con Sample and Hold

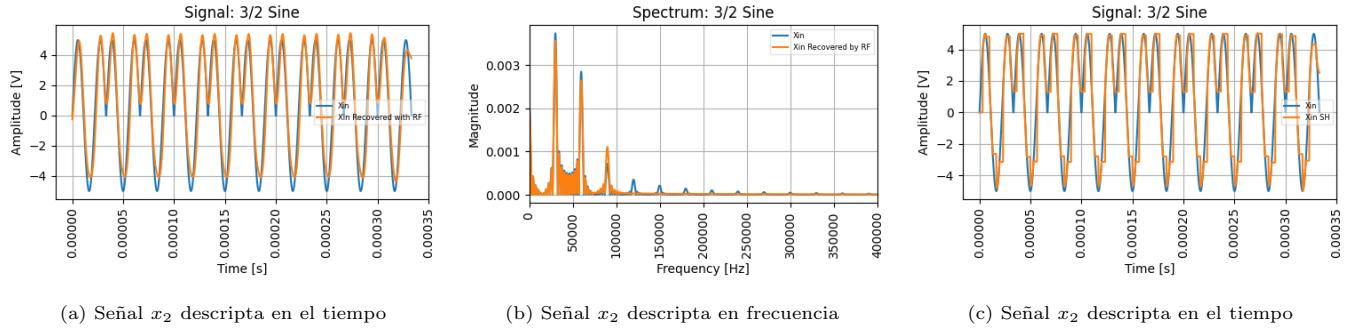
A continuación se obtiene la señal tal que  $f_{in} = 50KHz$ :

Figure 50: Señal  $x_2$  con  $f_{in} = 50KHz$ 

Aquí también se puede observar que para la frecuencia máxima la señal obtenida para esta configuración a la salida difiere bastante de la señal de entrada. De todas formas, se observa una señal a la salida bastante aceptable para frecuencias tales que:

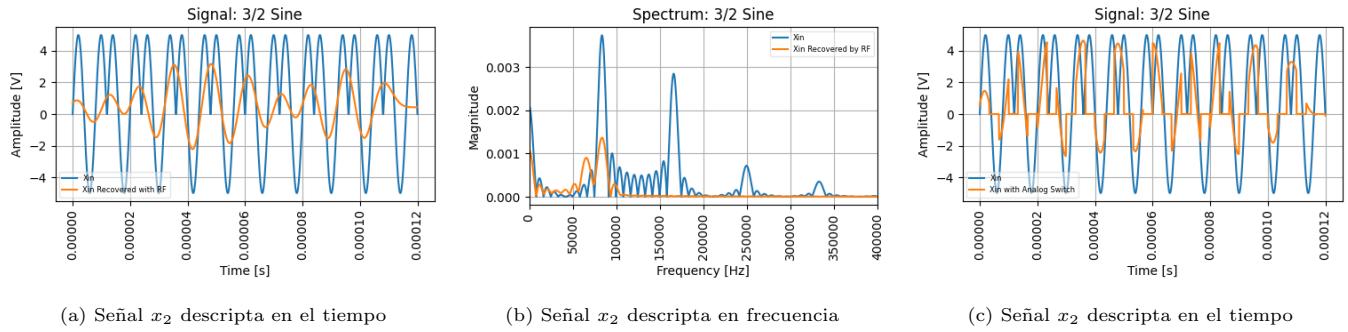
$$f_{in} \leq 18KHz$$

Notemos que ello se debe a los componentes que tiene a lo largo del espectro de frecuencias. Lo obtenido se puede observar a continuación:

Figure 51: Señal  $x_2$  con  $f_{in} = 18KHz$ 

### 6.2.2 Muestreo Natural

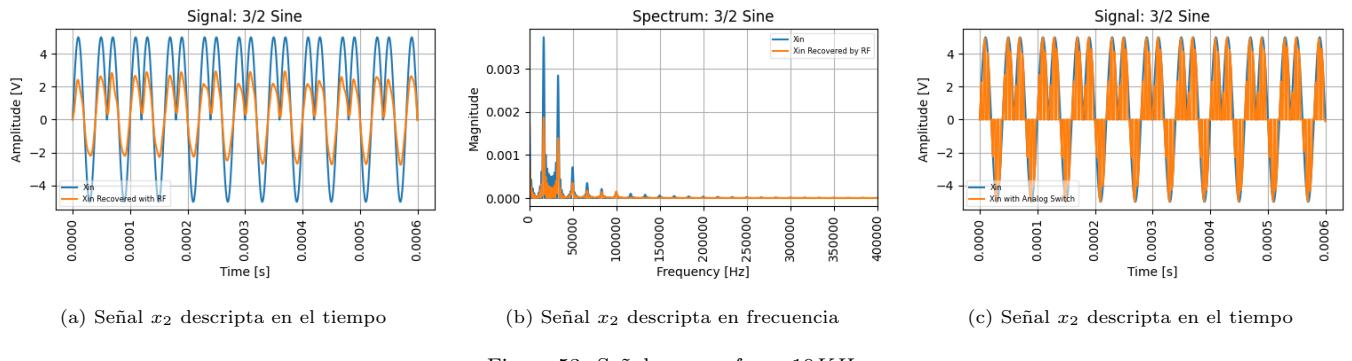
Lo obtenido para esta configuración a la misma  $f_s = 50KHz$  y Duty Cycle es:

Figure 52: Señal  $x_2$  con  $f_{in} = 50KHz$ 

Nuevamente se observa que en el peor de los casos, o la frecuencia máxima, la señal obtenida a la salida no es representativa. Ello si sucede para frecuencias donde:

$$f_{in} \leq 10KHz$$

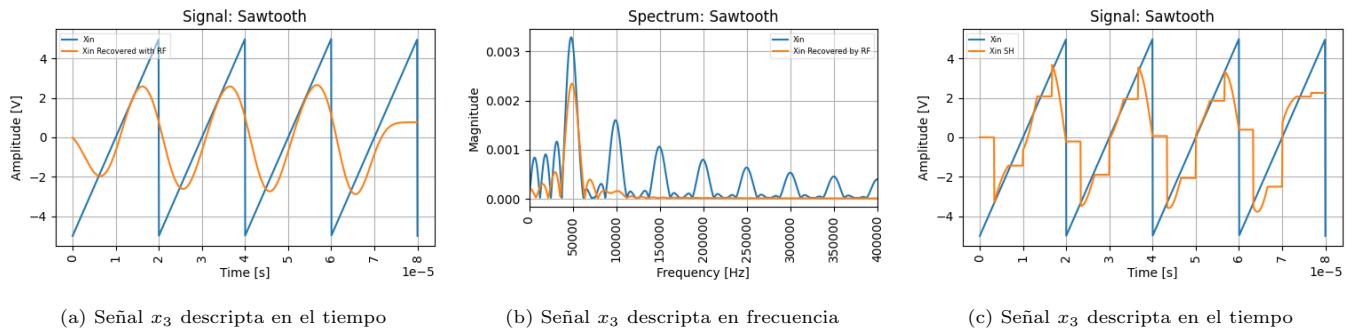
Notemos que se presenta una distorsión notable aunque la señal es mucho más fiel que la presentada para el caso anterior.

Figure 53: Señal  $x_2$  con  $f_{in} = 10KHz$ 

### 6.3 Medición de $x_3(t)$

#### 6.3.1 Muestreo con Sample and Hold

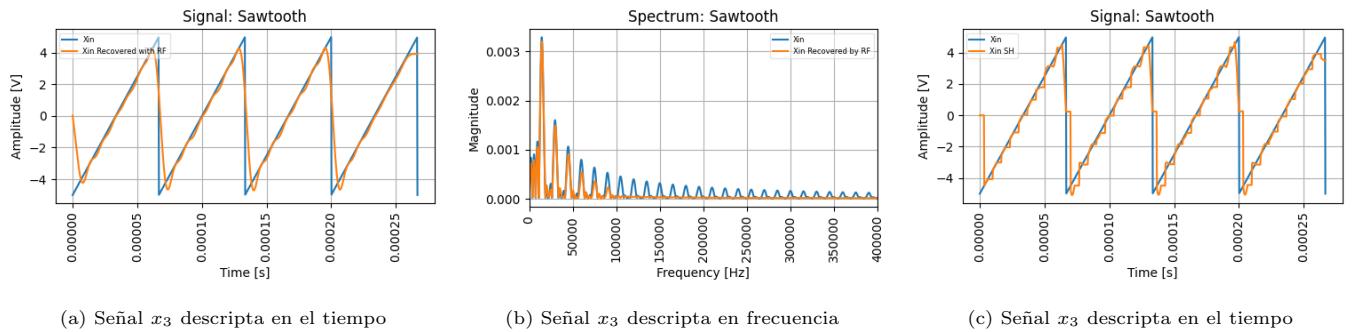
A continuación se obtiene la señal tal que  $f_{in} = 50KHz$ :

Figure 54: Señal  $x_3$  con  $f_{in} = 50KHz$ 

Aquí también se puede observar que para la frecuencia máxima la señal obtenida para esta configuración a la salida difiere bastante de la señal de entrada. De todas formas, se observa una señal a la salida bastante aceptable para frecuencias tales que:

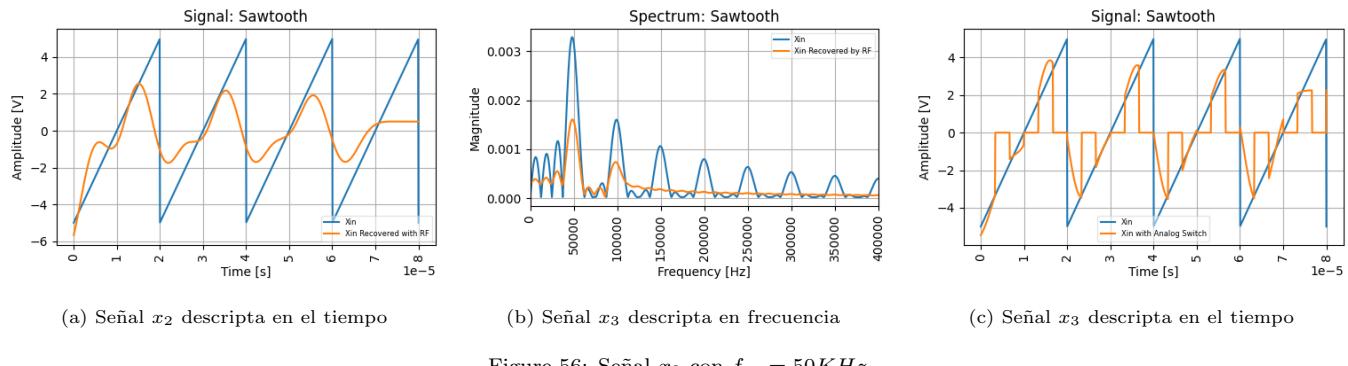
$$f_{in} \leq 15KHz$$

Notemos que ello se debe a los componentes que tiene a lo largo del espectro de frecuencias. Lo obtenido se puede observar a continuación:

Figure 55: Señal  $x_3$  con  $f_{in} = 15KHz$ 

#### 6.3.2 Muestreo Natural

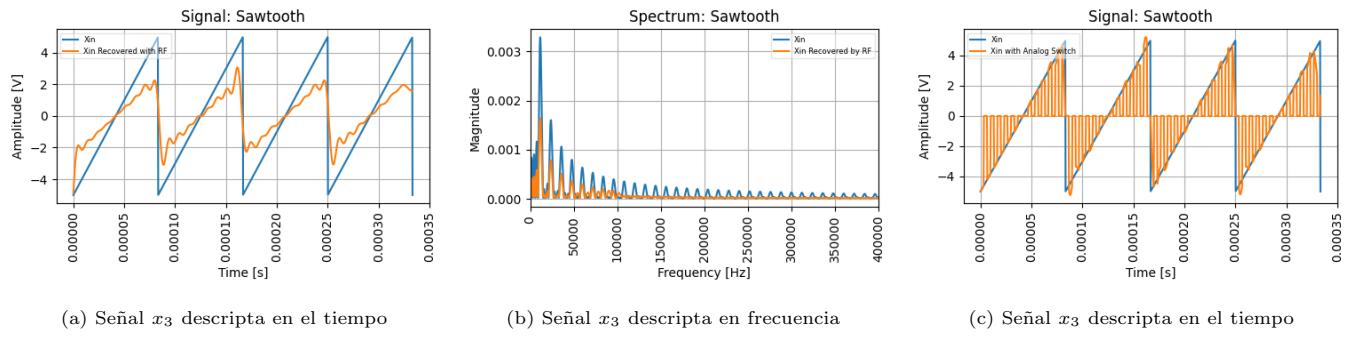
Lo obtenido para esta configuración a la misma  $f_s = 50KHz$  y Duty Cycle es:

Figure 56: Señal  $x_3$  con  $f_{in} = 50\text{KHz}$ 

Nuevamente se observa que en el peor de los casos, o la frecuencia máxima, la señal obtenida a la salida no es representativa. Ello si sucede para frecuencias donde:

$$f_{in} \leq 12\text{KHz}$$

Notemos que se presenta una distorsión notable aunque la señal es mucho más fiel que la presentada para el caso anterior.

Figure 57: Señal  $x_3$  con  $f_{in} = 12\text{KHz}$ 

## 7 Mediciones tales que $f_{in} = f_a$

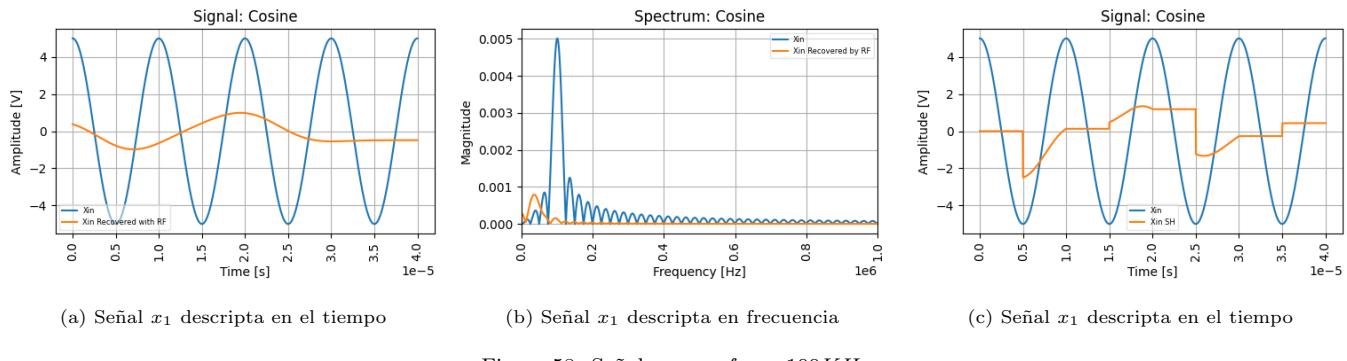
Para nuestro caso,  $f_{in} = f_a = 150\text{KHz}$ . Además de ello, las frecuencias de las tres señales a analizar han aumentado considerablemente, por lo cual la frecuencia de sampling se encontrará en un valor mucho más grande comparado a los empleados hasta ahora.

## 8 Mediciones para $x_1$ tales que $f_{in} = f_s \leq f_p$

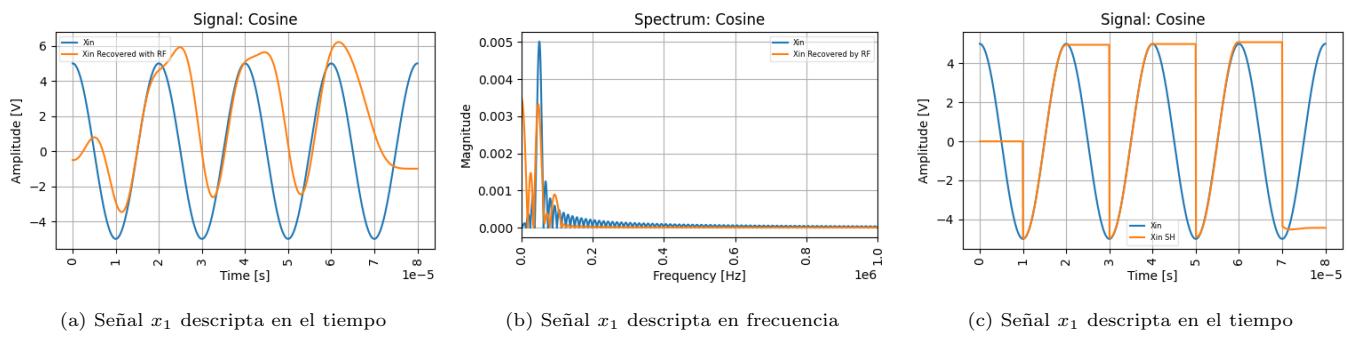
### 8.1 Medición de $x_1$

#### 8.1.1 Muestreo con Sample and Hold

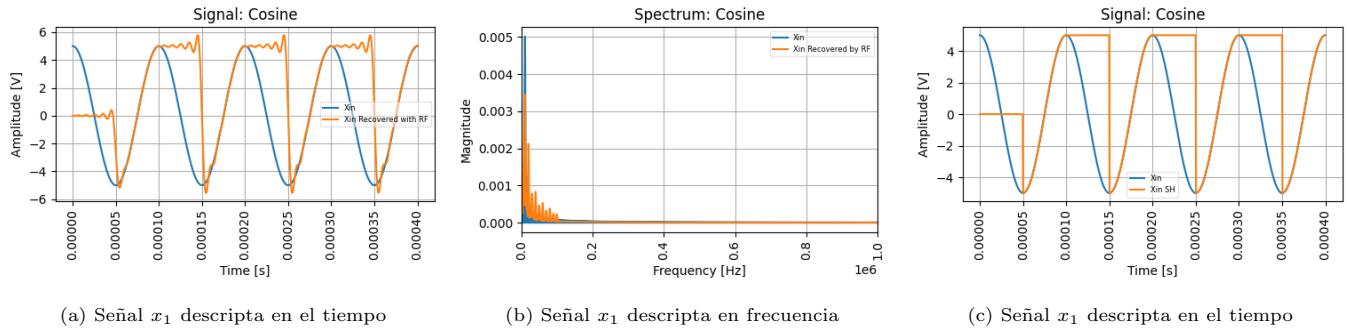
A continuación se obtiene la señal tal que  $f_{in} = f_s = 100\text{KHz}$ :

Figure 58: Señal  $x_1$  con  $f_{in} = 100KHz$ 

También se obtiene la señal tal que  $f_{in} = f_s = 50KHz$ :

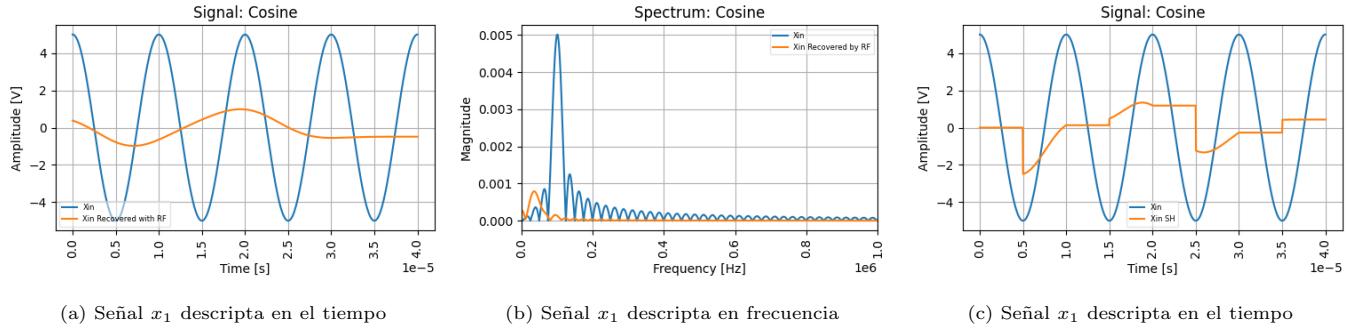
Figure 59: Señal  $x_1$  con  $f_{in} = 50KHz$ 

Finalmente,  $f_{in} = f_s = 10KHz$ :

Figure 60: Señal  $x_1$  con  $f_{in} = 10KHz$ 

### 8.1.2 Muestreo Natural

A continuación se obtiene la señal tal que  $f_{in} = f_s = 100KHz$ :

Figure 61: Señal  $x_1$  con  $f_{in} = 100KHz$

También se obtiene la señal tal que  $f_{in} = f_s = 50KHz$ :

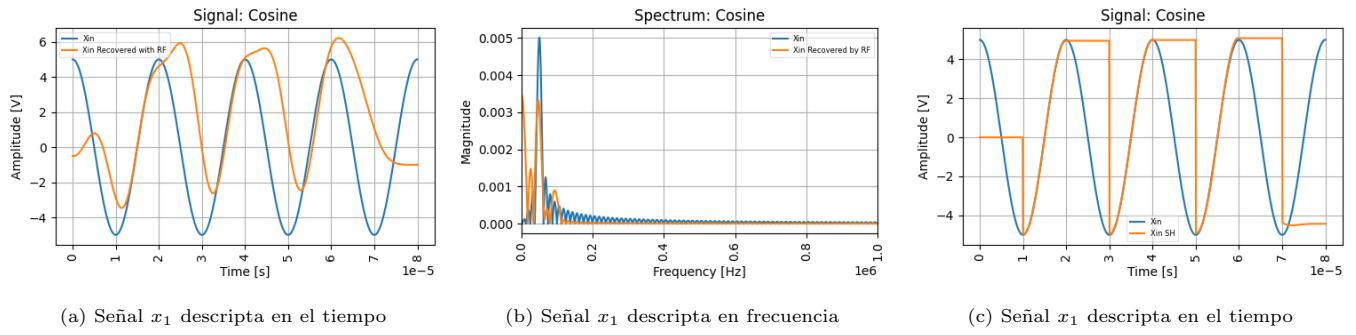


Figure 62: Señal  $x_1$  con  $f_{in} = 50KHz$

Finalmente,  $f_{in} = f_s = 10KHz$ :

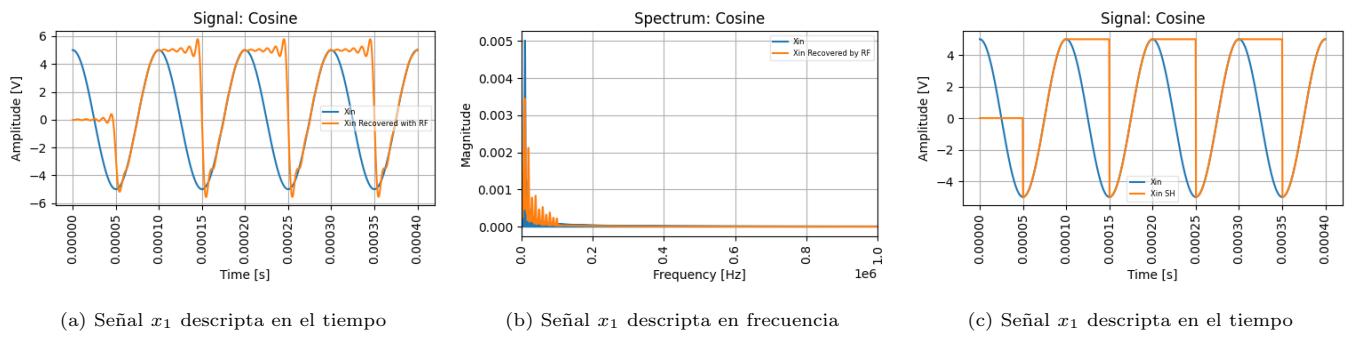


Figure 63: Señal  $x_1$  con  $f_{in} = 10KHz$

## 9 Remuestreo

Se analiza los efectos del muestreo instantáneo en una señal AM. La misma es de la forma:

$$X_c(t) = A \left( \frac{1}{2} \cos(2\pi 1.8 f_{int} t) + \cos(2\pi 2 f_{int} t) + \frac{1}{2} \cos(2\pi 2.2 f_{int} t) \right)$$

Utilizando una  $f_{in} = 100\text{KHz}$ .

Para lograr el muestreo instantáneo, primero se pasa la señal por el sample and hold. Luego, se la vuelve a muestrear, pero esta vez con la llave analógica, de manera tal que a la salida se anule la totalidad del tiempo de sample y se conserve sólo el de hold. Esto es equivalente a multiplicar la señal por un tren de deltas (muestreo ideal), y luego convolucionar con un pulso:

$$x_s(t) = \left[ x(t) \left( \sum_{i=-\infty}^{\infty} \delta(t - iT_s) \right) \right] * \prod \left( \frac{t}{\tau} \right) \quad (13)$$

Gráficamente igual a:

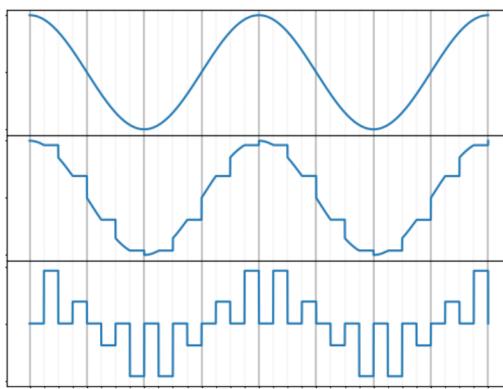


Figure 64: Señal Entrada  $\downarrow$  Señal S&H  $\downarrow$  Señal Llave Analógica

### 9.1 Simulación

!!!!!!!!!!!!!!ENTER SIMULATION IMAGES!!!!!!!

## 10 Muestreo Sub-Nyquist

Este tipo de muestreo se utiliza para señales acotadas en banda con espectro fuera de la banda base. Considerando la señal AM, que su espectro coincide con las características deseada, podemos analizar su funcionamiento.

### 10.1 Señal a Muestrear

$$X_c(t) = A \left( \frac{1}{2} \cos(2\pi 1.8f_{int}t) + \cos(2\pi 2f_{int}t) + \frac{1}{2} \cos(2\pi 2.2f_{int}t) \right)$$

Donde  $f_{in} = 80\text{kHz}$ , por lo que su frecuencia portadora sera de  $160\text{kHz}$  y la modulada  $16\text{kHz}$ .

Luego se estimo el rango de frecuencia de sampleo

$$f_{min} = \frac{2f_c + B}{m+1} < f_s < \frac{2f_c - B}{m} = f_{max}$$

Sabiendo que B: ancho de banda de la señal,  $32\text{kHz}$ ;  $f_c$ : frecuencia central del espectro,  $160\text{kHz}$ ; m: repeticiones en el espectro. Se obtuvo:

m	$f_{min}$ [kHz]	$f_{max}$ [kHz]
1	176	288
2	117.33	144
3	88	96
4	70.4	72

Para  $m > 4$ ,  $f_{min} > f_{max}$ .

### 10.2 Simulación

Se simulo utilizando Python la señal modulada en amplitud y obtener las señales resultantes y sus respectivas espectros, con la siguiente expresión:

$$X_{modulada} = (kx_m(t) + 1)x_p(t)$$

Seleccionando un  $m = 2$ , se obtuvieron los siguientes resultados:

- $f_s = f_{min} = 117.33\text{kHz}$   
Uno con llave analogica y otro con s&H para todos  
!!!!!!IMAGENES DE SIMULACION !!!!!!!!
- $f_s = \frac{f_{min} + f_{max}}{2} = 130.67\text{kHz}$   
!!!!!!IMAGENES DE SIMULACION !!!!!!!!
- $f_s = f_{max} = 144\text{kHz}$   
!!!!!!IMAGENES DE SIMULACION !!!!!!!!

## 11 Consideraciones de Diseño

En circuitos de señales mixtas como el propuesto, donde coexisten señales digitales con señales analógicas, es importante prestar atención a la disposición y conexión de las partes en la placa para no afectar a la performance final. Esto se debe primordialmente a que los componentes analógicos y digitales poseen características diferentes. En general, las señales analógicas son susceptibles a cualquier ruido mientras que para las señales digitales el ruido debe ser mayor a cierto *threshold* como para afectarlas por completo.

Se debe prestar atención a los efectos que producen las señales digitales sobre las analógicas; las señales digitales contienen componentes de mas alta frecuencia, produciendo interferencias con cualquier traza cercana debido a la existencia de capacidades parásitas (fenómeno conocido como *cross-talk*). Por otro lado, los pequeños tiempos de transición de las tensiones de señales digitales pueden producir un sobrepico de corriente que, al volver a la fuente, afecte la referencia del circuito.

Se deja una enumeración de buenas prácticas en el diseño de circuitos de señales mixtas.

- Dos principios básicos a tener en cuenta para la compatibilidad electromagnética:
  - Las corrientes deberían retornar a su fuente tan cerca como fuese posible y minimizando cualquier lazo de masa posible.
  - El sistema debería tener un único plano de referencia para evitar la formación de un dipolo que emita radiaciones electromagnéticas y afecte al circuito en general.
- Es recomendable que la conexión del sistema a masa siga una topología estrella, frente a la cadena o *daisy chain*, para de esta forma evitar la formación de una impedancia común que afecte la referencia a masa del sistema.
- Son preferibles trazas a tierra mas anchas, ya que presentan menos impedancia. La impedancia de trazas angostas puede producir una caída de tensión que afecte la referencia a tierra y, en ultima instancia, la señal a su fuente.
- Cualquier traza en un PCB tiene asociada una corriente de retorno que fluye debajo de la traza de masa por ser la ruta de menor impedancia. Es por esto que PCBs de un solo plano son desaconsejables. Lo más optimo es incluir un plano de masa, el cual consiste en un plano de cobre que sirve como conexión de baja impedancia.
- Asimismo, resulta conveniente separar la distribución de las partes analógicas de las digitales, reduciendo la posible interacción de bloques que generan ruido de las señales analógicas. En cualquier caso, se debería minimizar el largo de trazas para señales de alta frecuencia; de haber un generador de señal de clock, podría tener una disposición lo mas cercana a los dispositivos que dependen de ella y alejado de los bloques analógicos para minimizar cualquier interferencia electromagnética. Como observación adicional, se debería evitar tener varios clocks en un circuito.
- Una buena forma de aislar la interacción entre las partes analógica y digital es separar el plano de masa para cada una; los planos no deberían superponerse para evitar que aparezcan efectos capacitivos parásitos. No obstante, puede complicar el proceso de ruteo y terminar generando espiras de corriente por el modo de conexión.
- Se recomienda confinar las interconexiones entre los bloques analógicos y digitales de modo que crucen todas un mismo *ground plane bridge*, a modo de minimizar la posibilidad de lazos de corriente.

### 11.1 PCB

Teniendo en cuenta lo mencionada se procedió a esquematizar la placa de uso. Para la misma, se utilizaron un total de 6 capas (Señal, GND-TOP, VCC+, VCC-, GND-BOT, Señal) para un manejo estratégico de espacios y reducir el tamaño de placa a utilizar.

Finalmente resultando en:

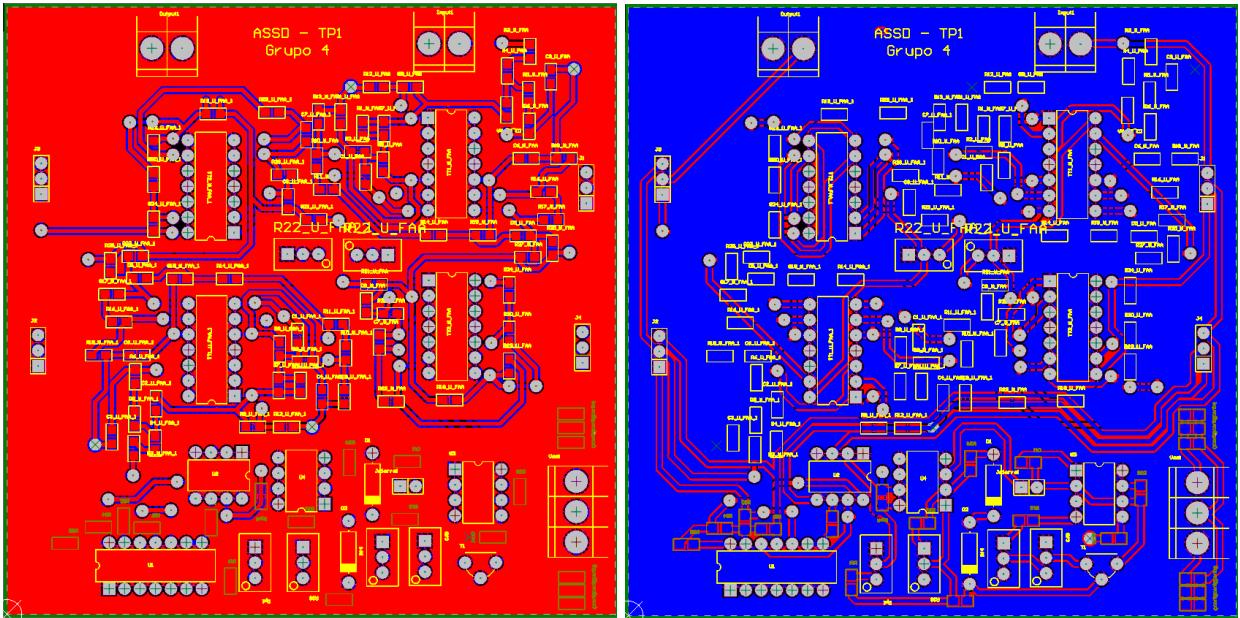


Figure 65: Top &amp; Bot Overlay

Con una vista real, o sea 3D, la placa se presentara como:

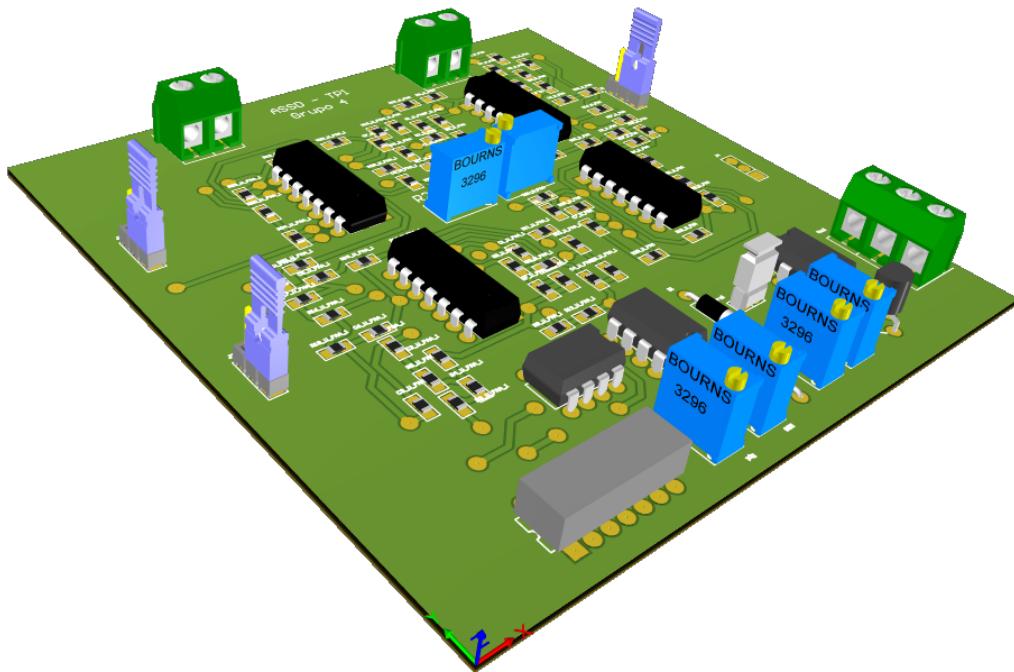


Figure 66: PCB en 3D