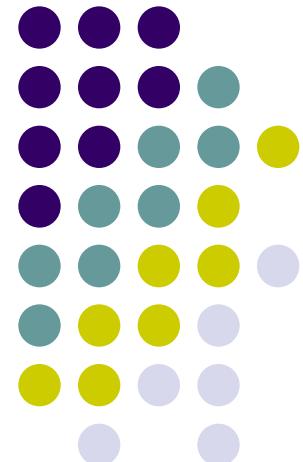


Práctica Laboratorio

TP 3

Arquitectura de Computadoras
Prof. Dr. Martín Vázquez



Archivos que proporciona la cátedra

- **Archivos VHDL**
 - *DataMemoryBlockPrincipal.vhd*
 - *MemoryCache.vhd*
 - *ProcessorCacheTB.vhd*
- **Archivos contenidos de memorias
(Datos y Programa)**
 - *data3*
 - *program3*
 - *program3.s*
 - *PseudoCódigo3.pdf*

Archivos que proporciona la cátedra

- Archivos VHDL

- *DataMemoryBlockPrincipal.vhd*
- *MemoryCache.vhd*
- *ProcessorCacheTB.vhd*



- Memoria Principal (RAM)
- Se lee y escribe bloques
- Bloques de 8palabras de 4 bytes (o 32 bytes)

- Archivos contenidos de memorias
(Datos y Programa)

- *data3*
- *program3*
- *program3.s*
- *PseudoCódigo3.pdf*

Archivos que proporciona la cátedra

- **Archivos VHDL**

- *DataMemoryBlockPrincipal.vhd*
- ***MemoryCache.vhd*** 
- *ProcessorCacheTB.vhd*

- Memoria Cache
- Mapeo directo de 4 vías o líneas
 - O asociativa con 4 conjuntos de una línea
- Una línea puede ubicar un bloque de 8 palabras de 4 bytes

- **Archivos contenidos de memorias
(Datos y Programa)**

- *data3*
- *program3*
- *program3.s*
- *PseudoCódigo3.pdf*

Archivos que proporciona la cátedra

- **Archivos VHDL**

- *DataMemoryBlockPrincipal.vhd*
- *MemoryCache.vhd*
- *ProcessorCacheTB.vhd* 

- *TestBench.*

- **Instancia el procesador y las tres memorias.**

- **Solo se modificará en el caso que se requiera cambiar el contenido de las memorias**

- **Archivos contenidos de memorias
(Datos y Programa)**

- *data3*
- *program3*
- *program3.s*
- *PseudoCódigo3.pdf*

Archivos que proporciona la cátedra

- **Archivos VHDL**

- *DataMemoryBlockPrincipal.vhd*
- *MemoryCache.vhd*
- *ProcessorCacheTB.vhd*

- **Archivos contenidos de memorias
(Datos y Programa)**

- *data3*
- *program3*
- *program3.s*
- *PseudoCódigo3.pdf*



- Archivos de texto con el contenido de las memorias de datos y programa.
- Las memorias se cargan con esos archivos

Archivos que proporciona la cátedra

- **Archivos VHDL**
 - *DataMemoryBlockPrincipal.vhd*
 - *MemoryCache.vhd*
 - *ProcessorCacheTB.vhd*
 - **Archivos contenidos de memorias
(Datos y Programa)**
 - *data3*
 - *program3*
 - *program3.s*
 - *PseudoCódigo3.pdf*
- Archivo con código assembler del programa cargado en memoria.**
-

Archivos que proporciona la cátedra

- **Archivos VHDL**

- *DataMemoryBlockPrincipal.vhd*
- *MemoryCache.vhd*
- *ProcessorCacheTB.vhd*

- **Archivos contenidos de memorias
(Datos y Programa)**

- *data3*
- *program3*
- *program3.s*
- *PseudoCódigo3.pdf*

- Descripción abstracta del
programa 3 (PseudoCódigo)

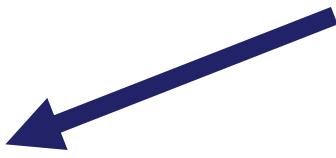


Diagrama de bloques del TP 3

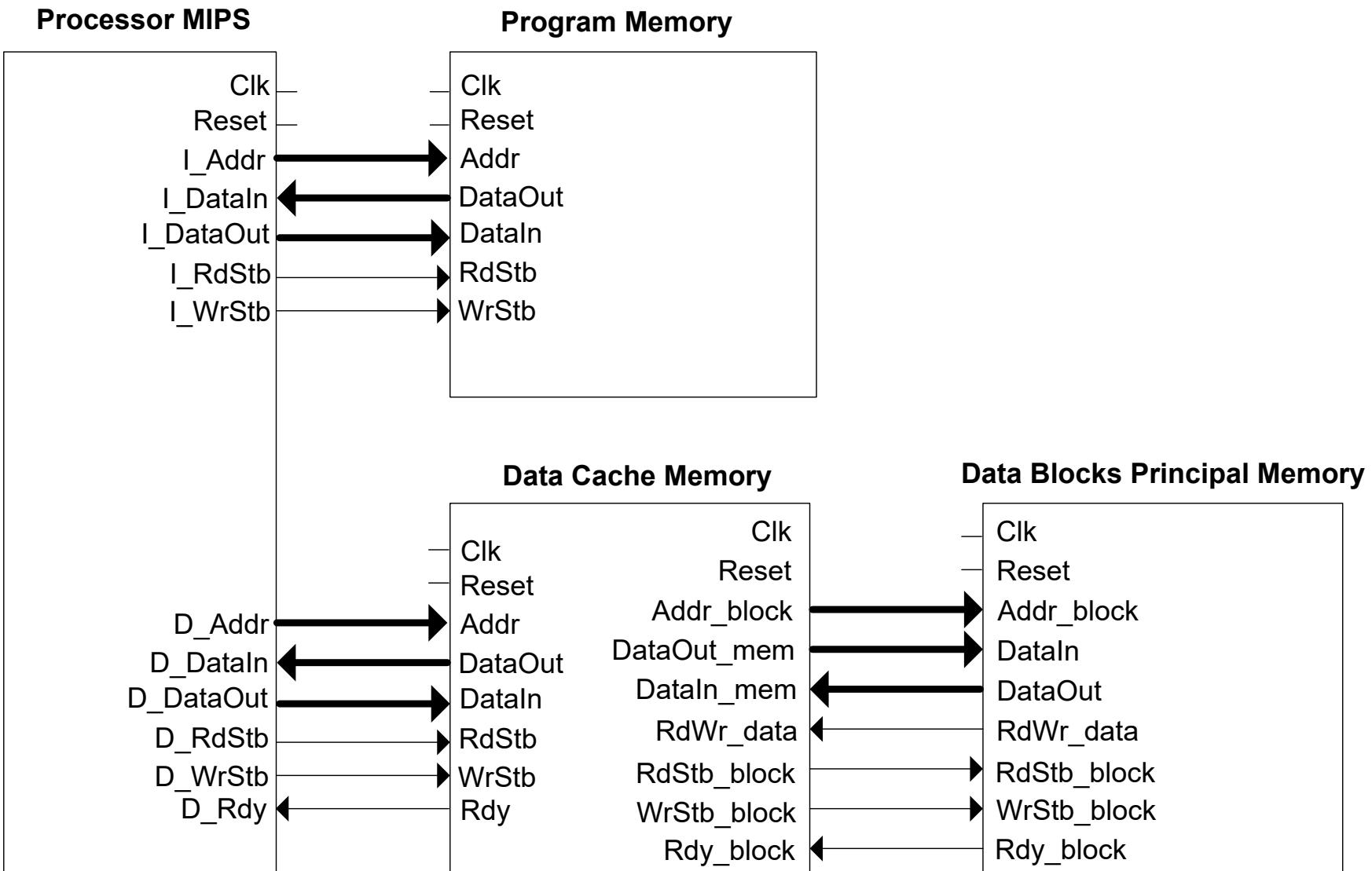


Diagrama de bloques del TP 3

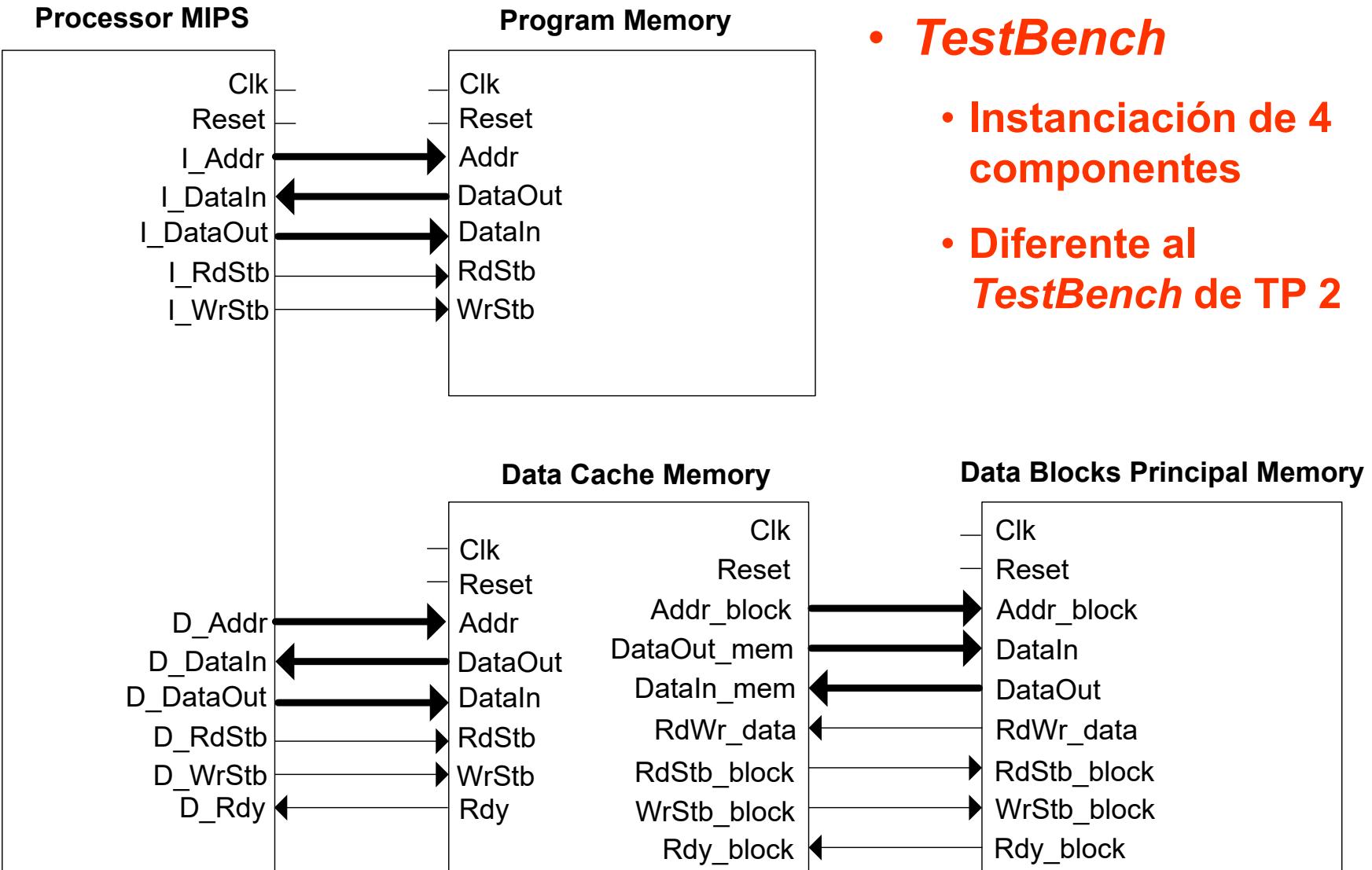


Diagrama de bloques del TP 3

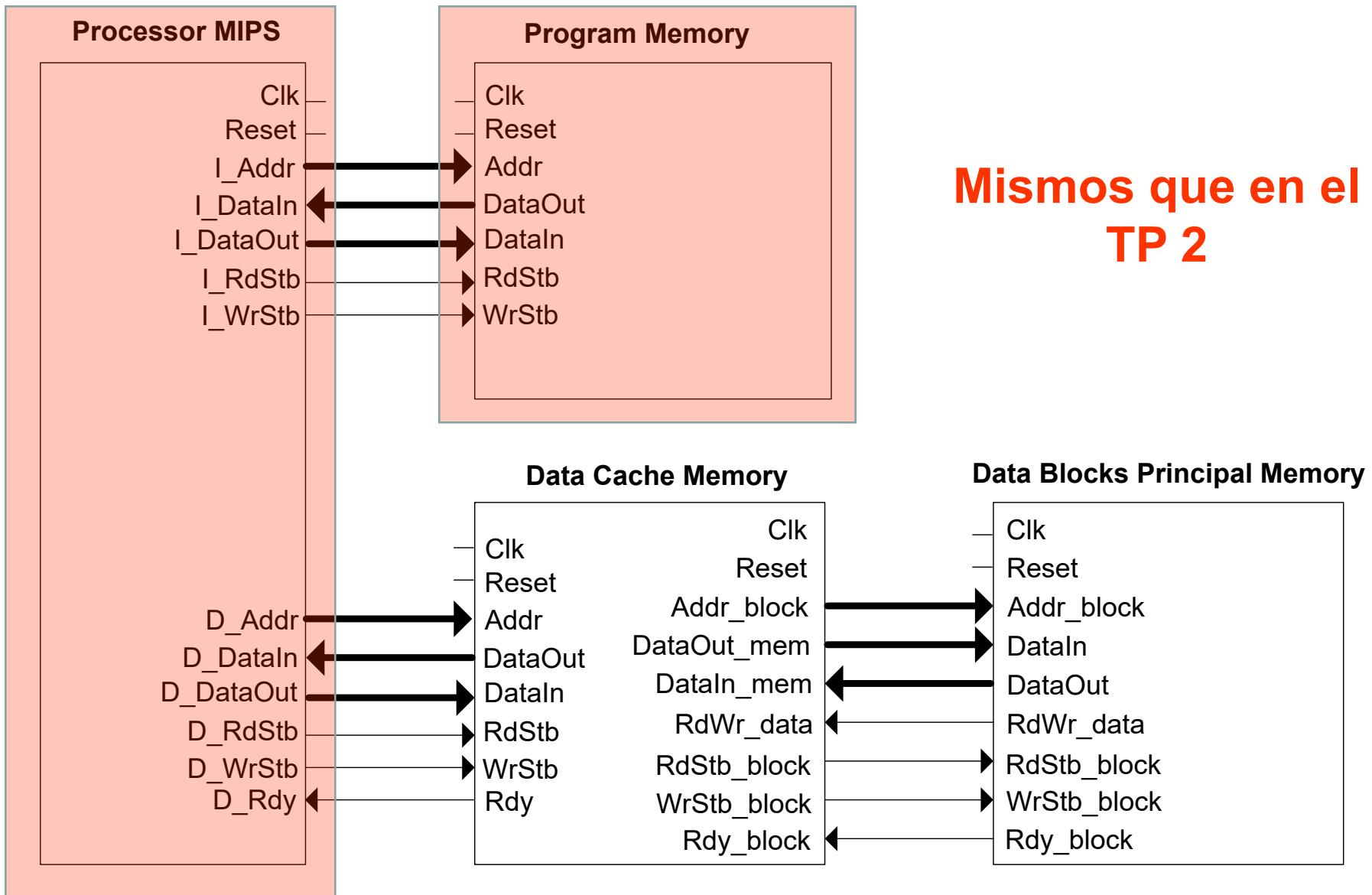


Diagrama de bloques del TP 3

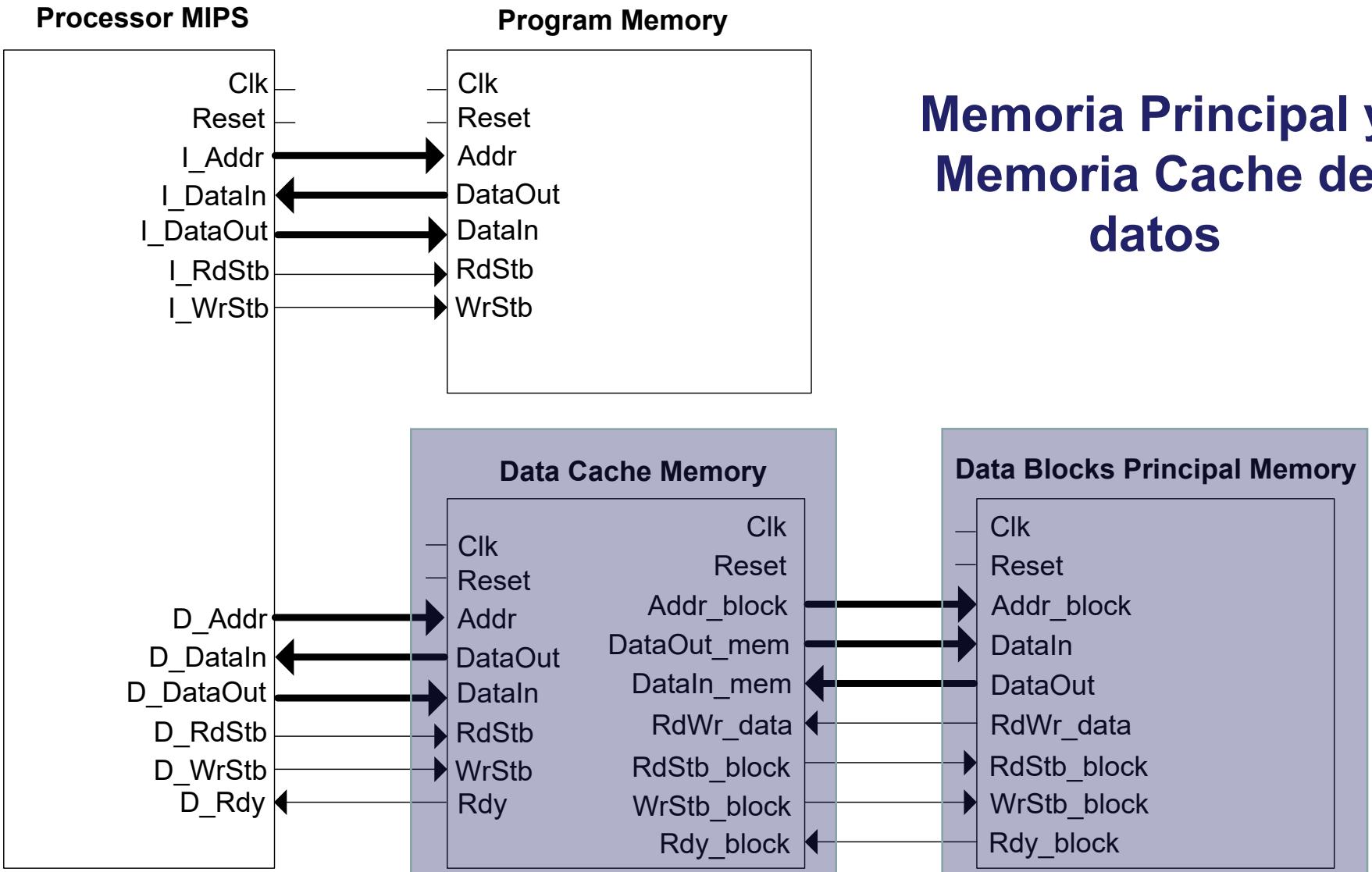


Diagrama de bloques del TP 3

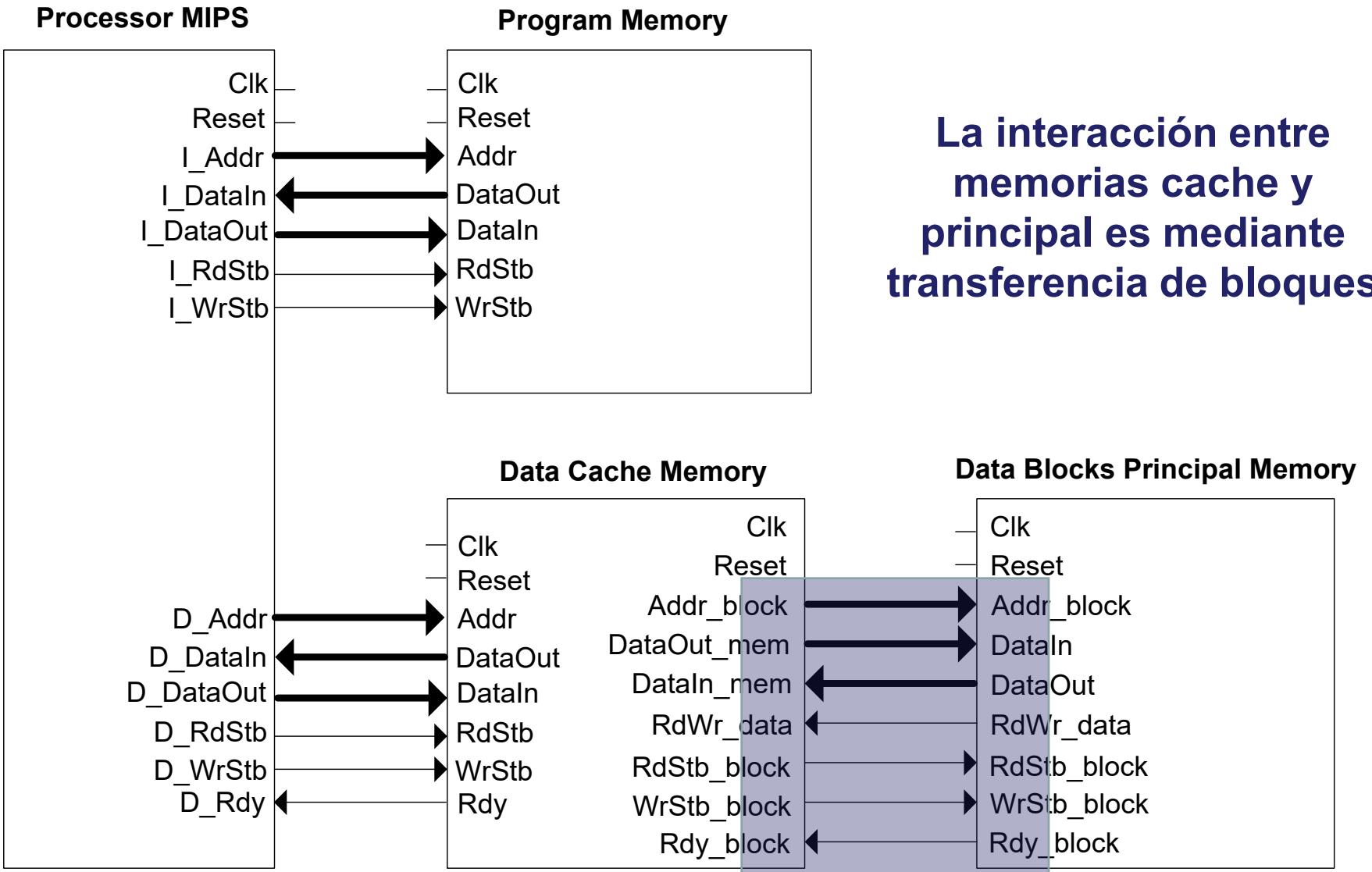


Diagrama de bloques del TP 3

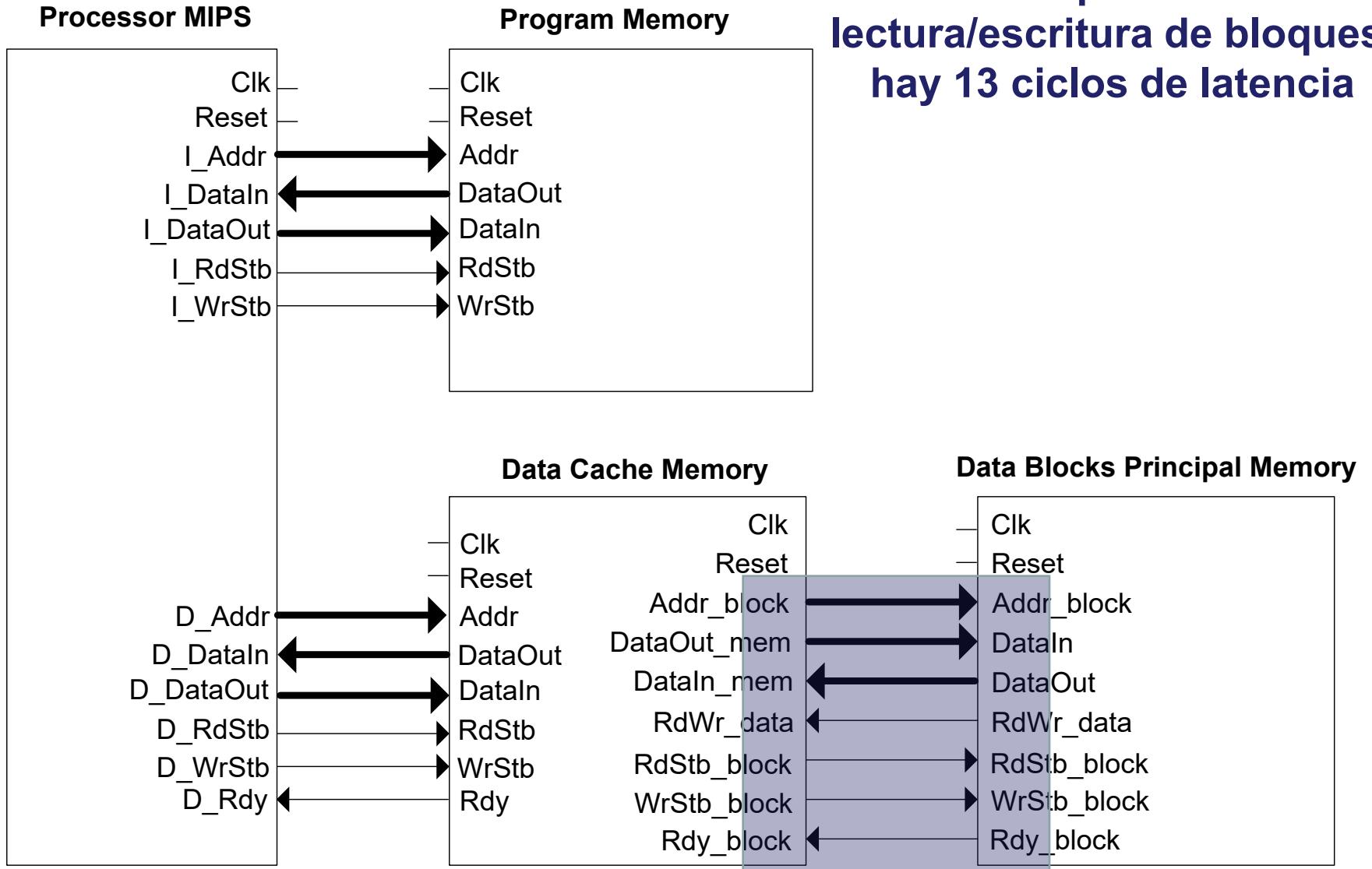


Diagrama de bloques del TP 3

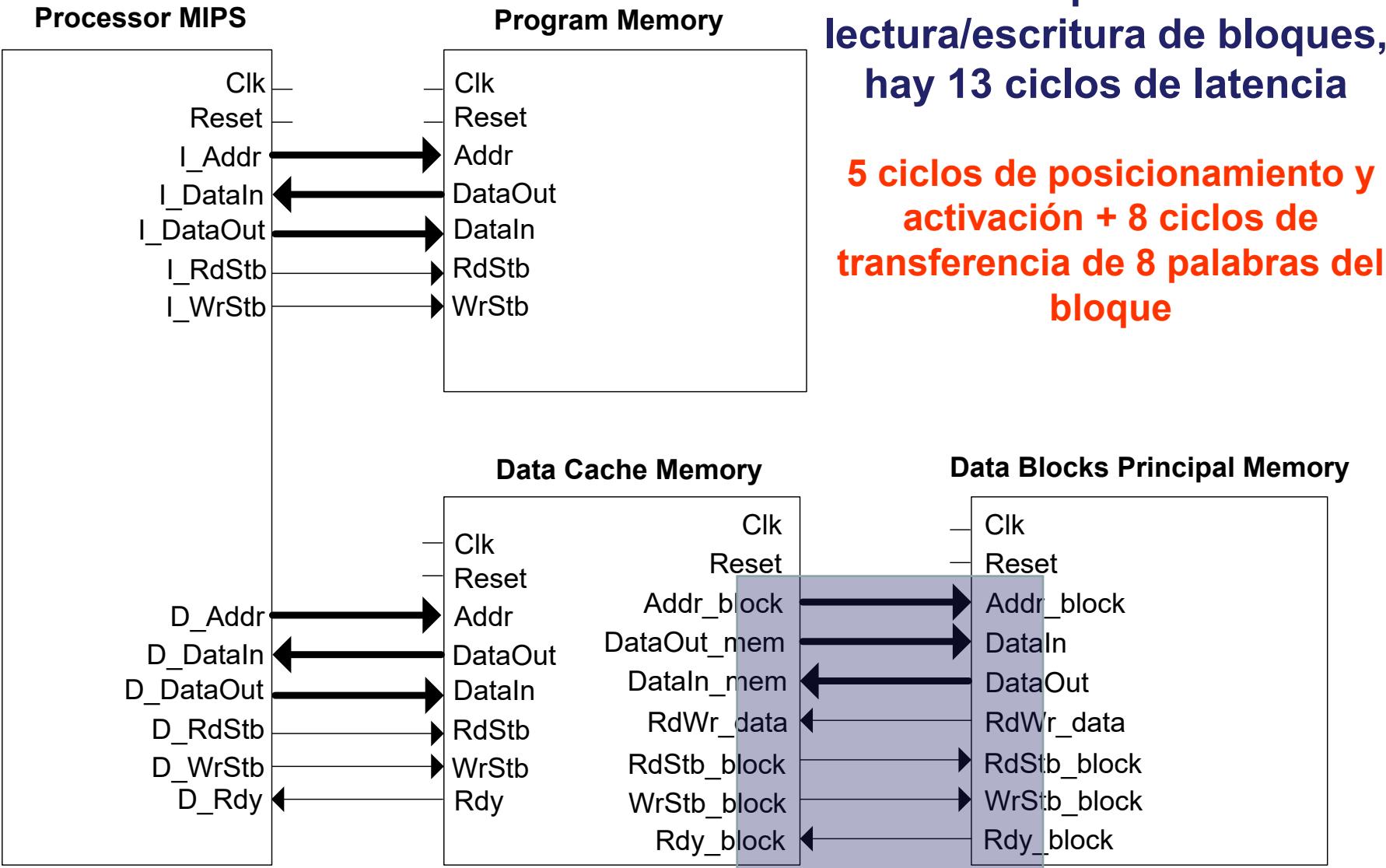


Diagrama de bloques del TP 3

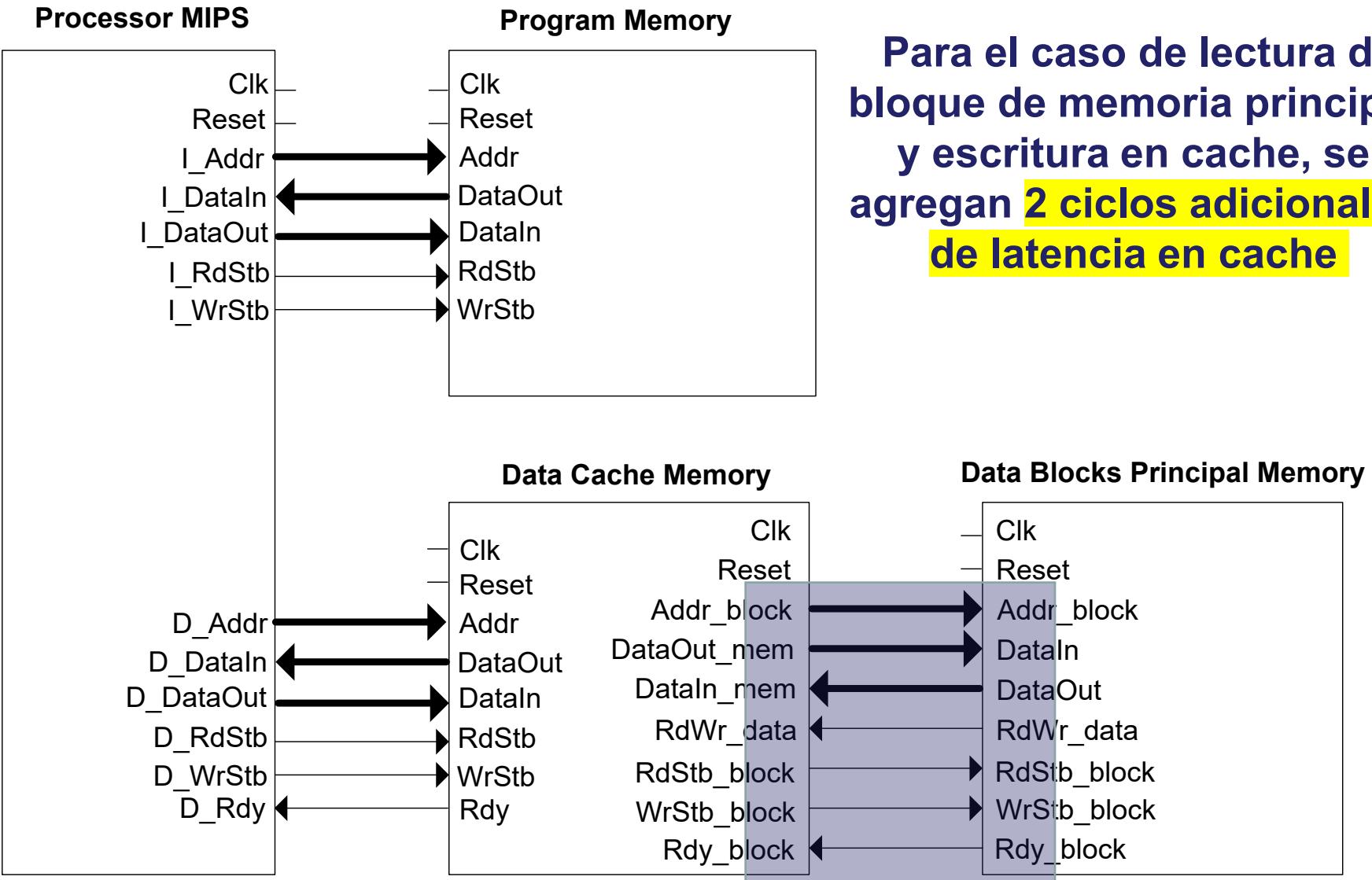
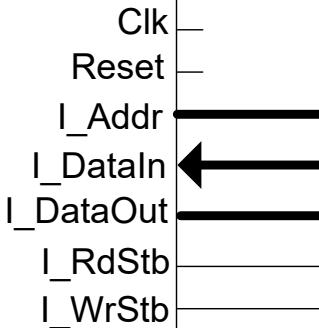


Diagrama de bloques del TP 3

Processor MIPS



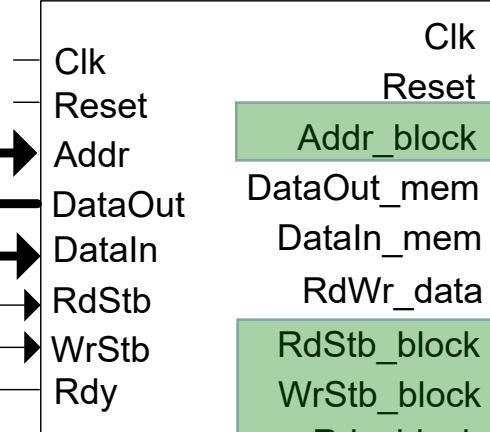
Addr_block: dirección de bloque a leer o escribir

RdStb_block: indica si requiere lectura de bloque

WrStb_block: indica si requiere escritura de bloque

Rdy_block: indica que la memoria principal está disponible

Data Cache Memory



Data Blocks Principal Memory

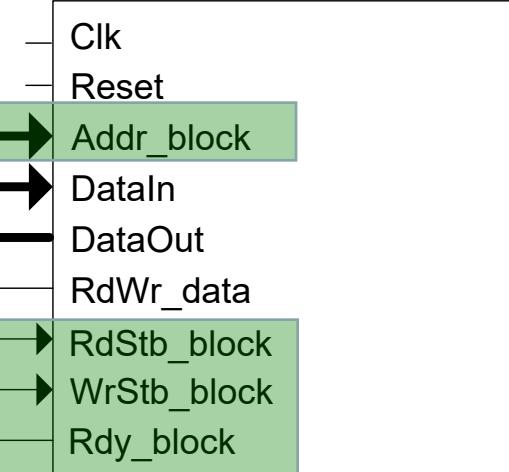
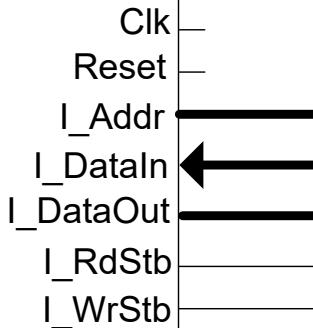


Diagrama de bloques del TP 3

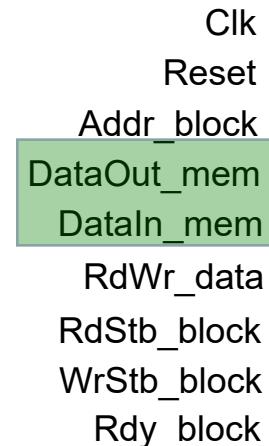
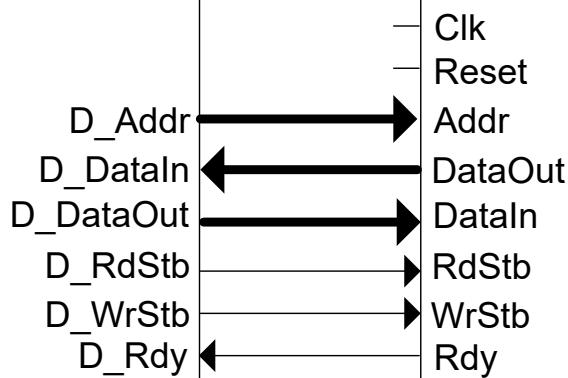
Processor MIPS



DataIn: palabra del bloque direccionado por la cache que entra a memoria principal para escritura

DataOut: palabra leída del bloque de memoria principal direccionado por la cache

Data Cache Memory



Data Blocks Principal Memory

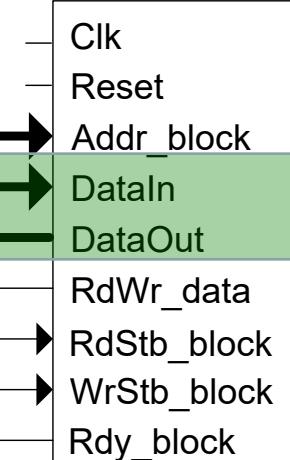
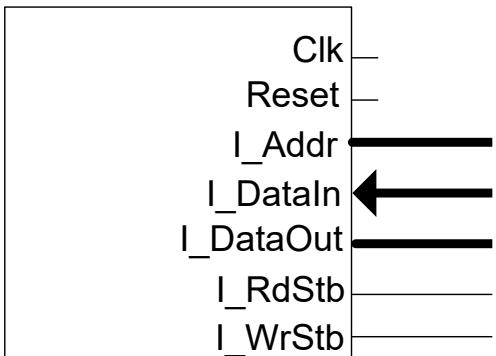


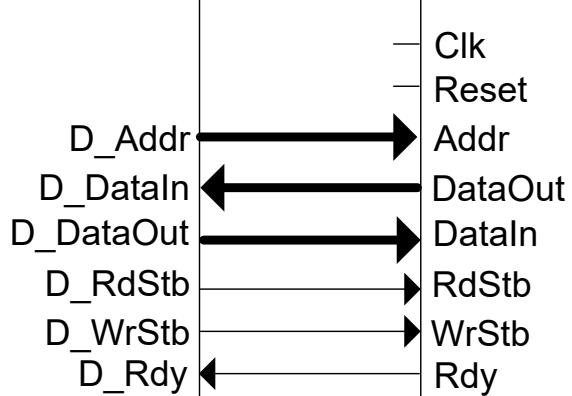
Diagrama de bloques del TP 3

Processor MIPS



RdWr_data: indica a memoria cache, que la memoria principal está lista para comenzar a leer o escribir de manera serial los ocho datos del bloque direccionado

Data Cache Memory



Data Blocks Principal Memory

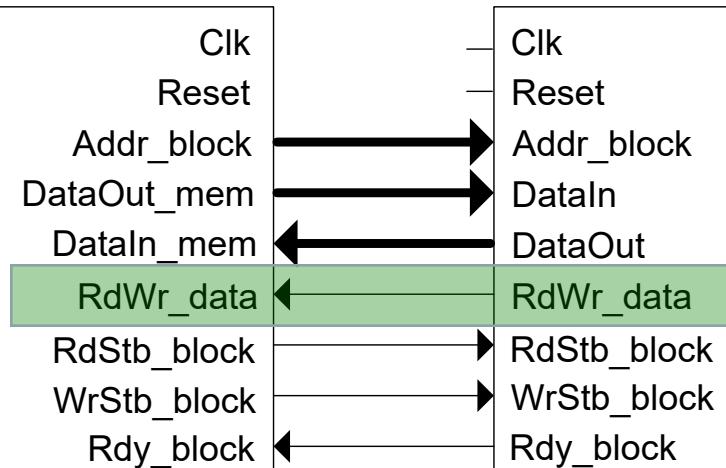


Diagrama de bloques del TP 3

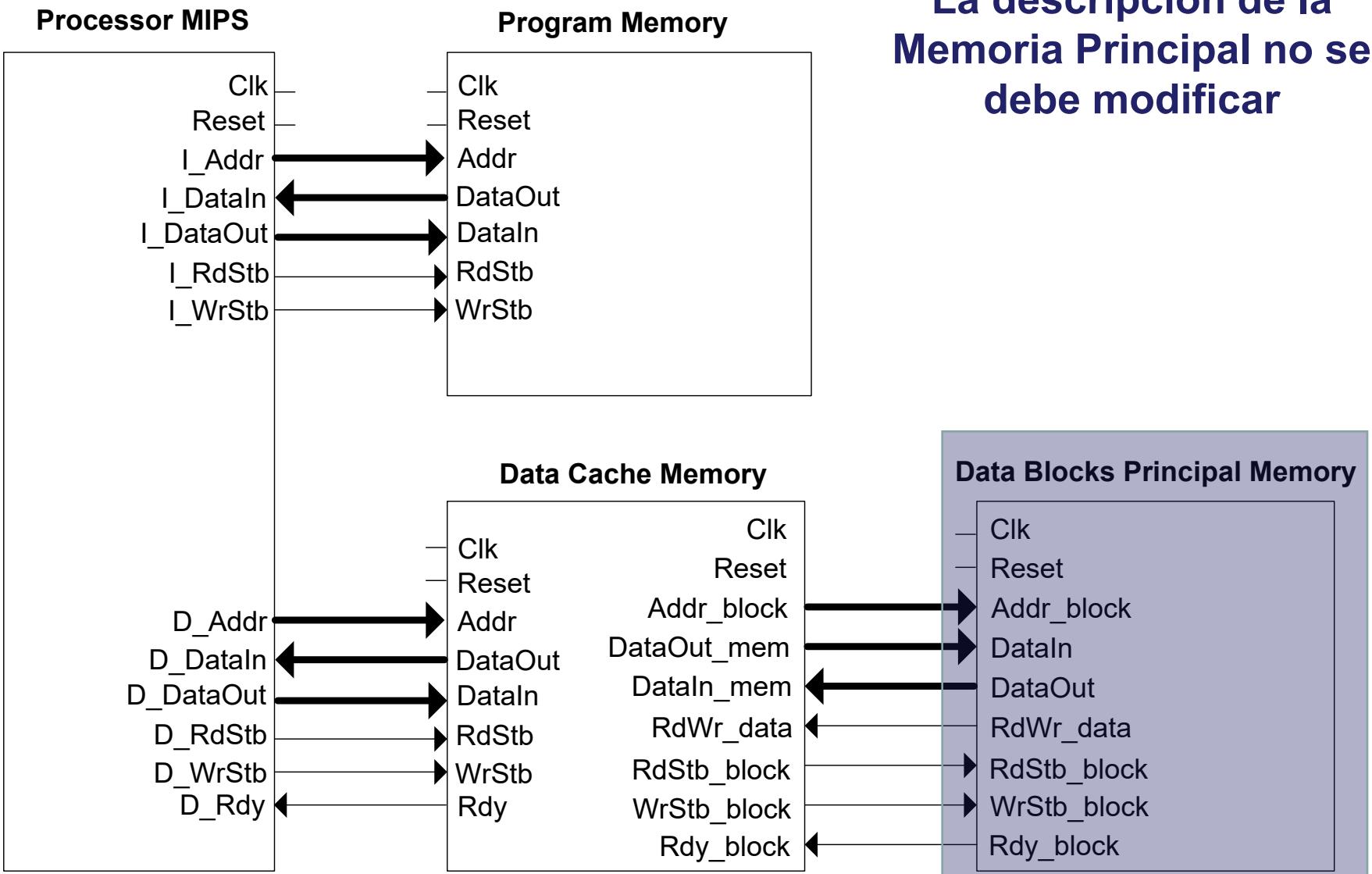


Diagrama de bloques del TP 3

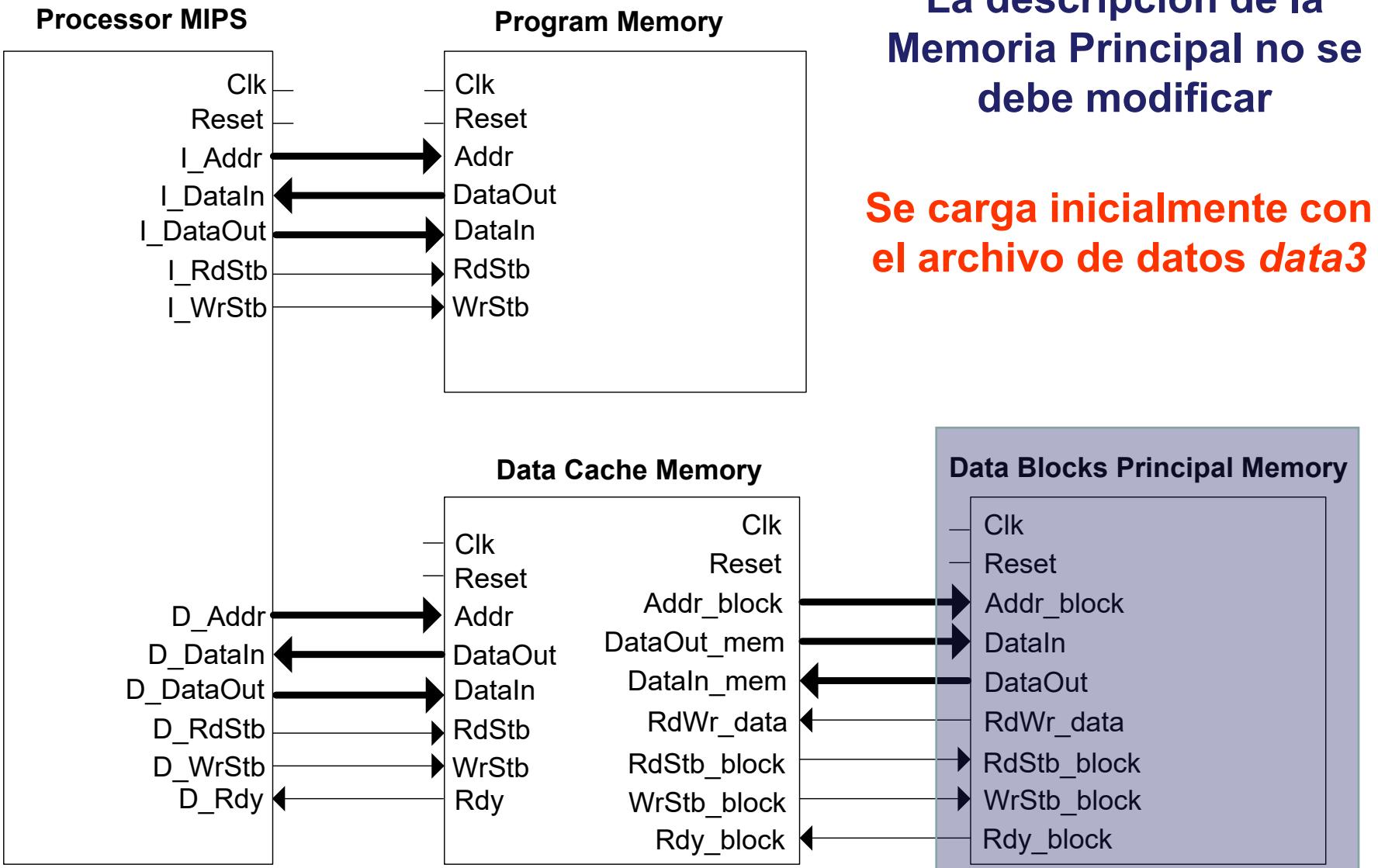
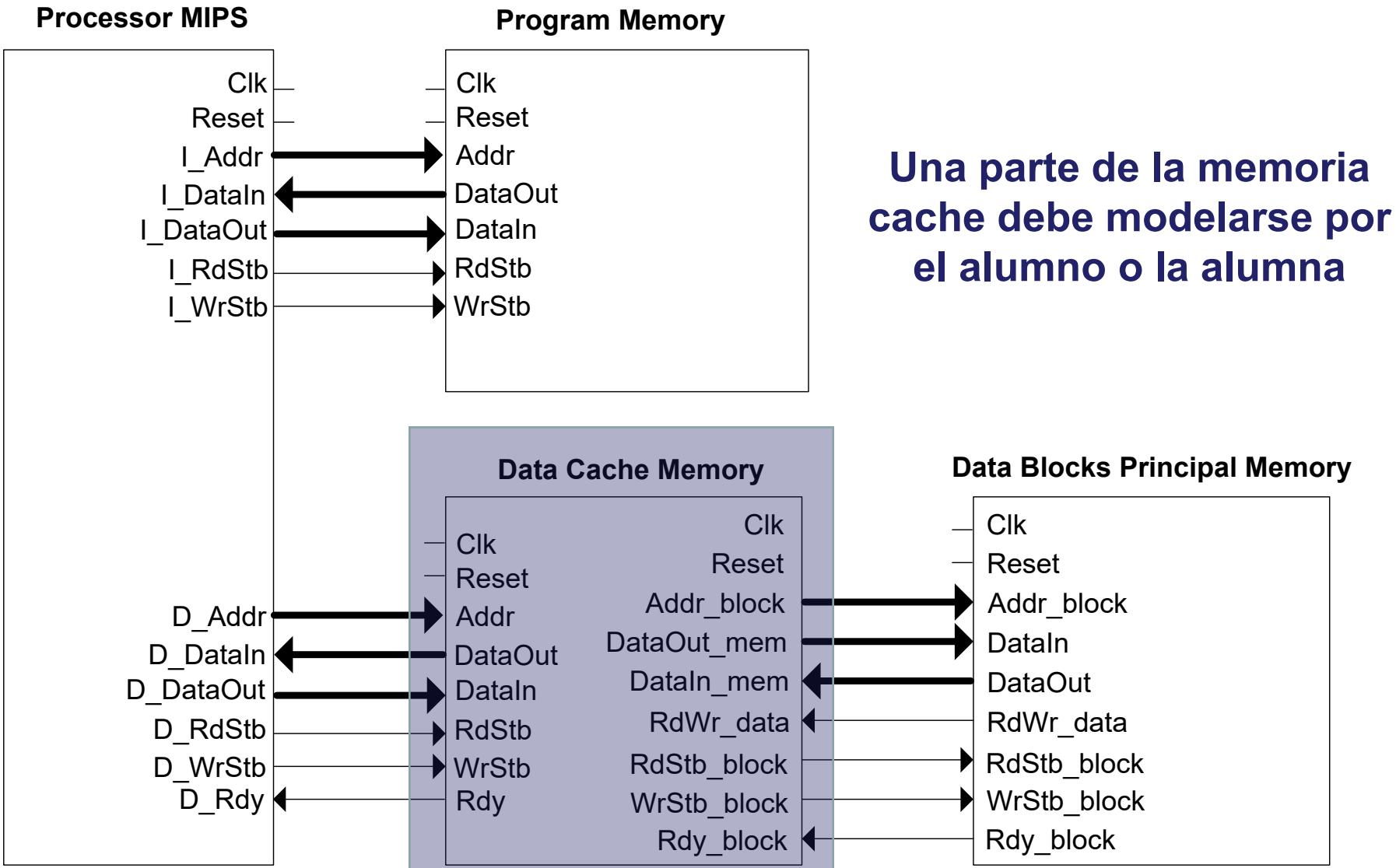
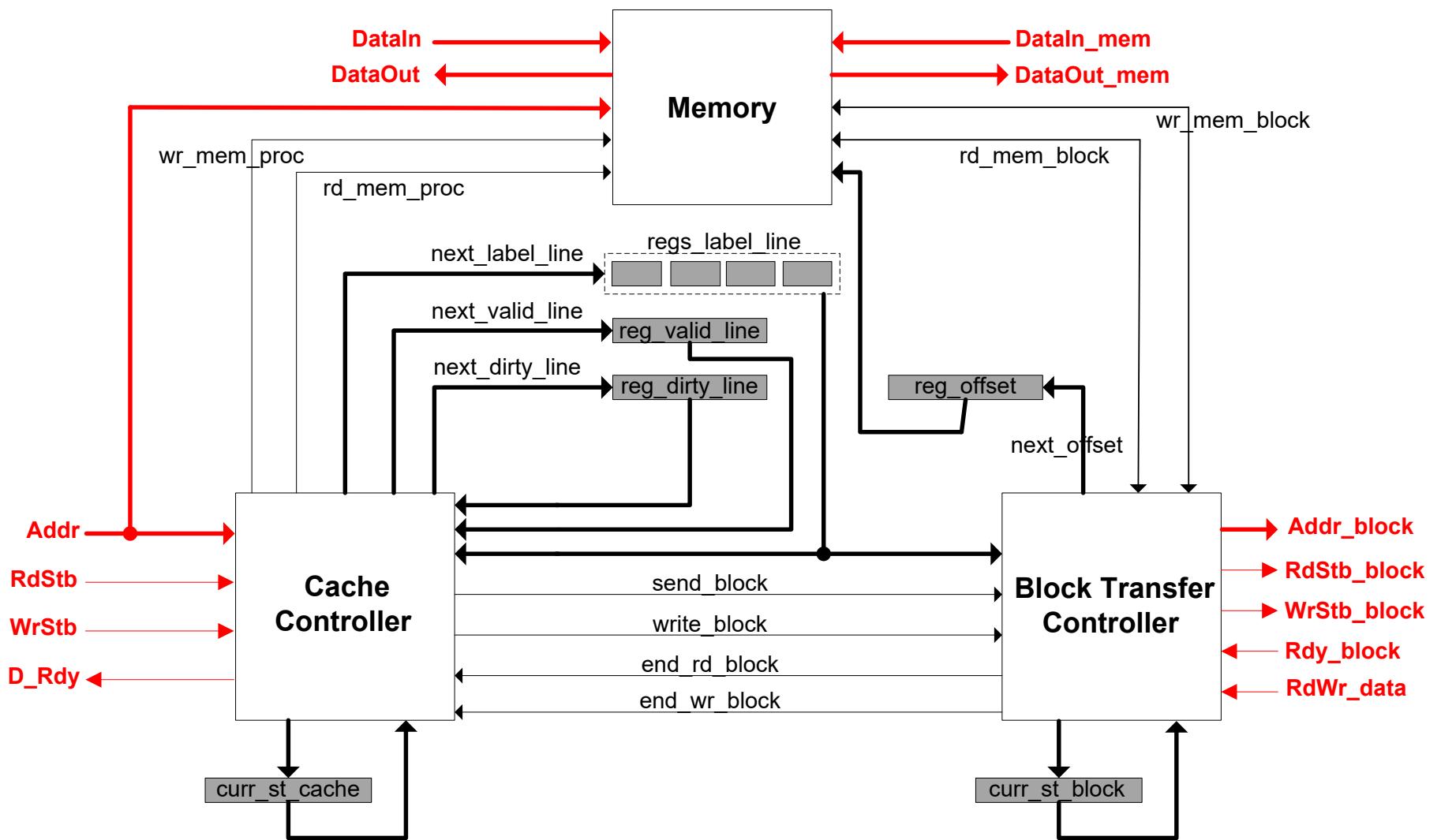


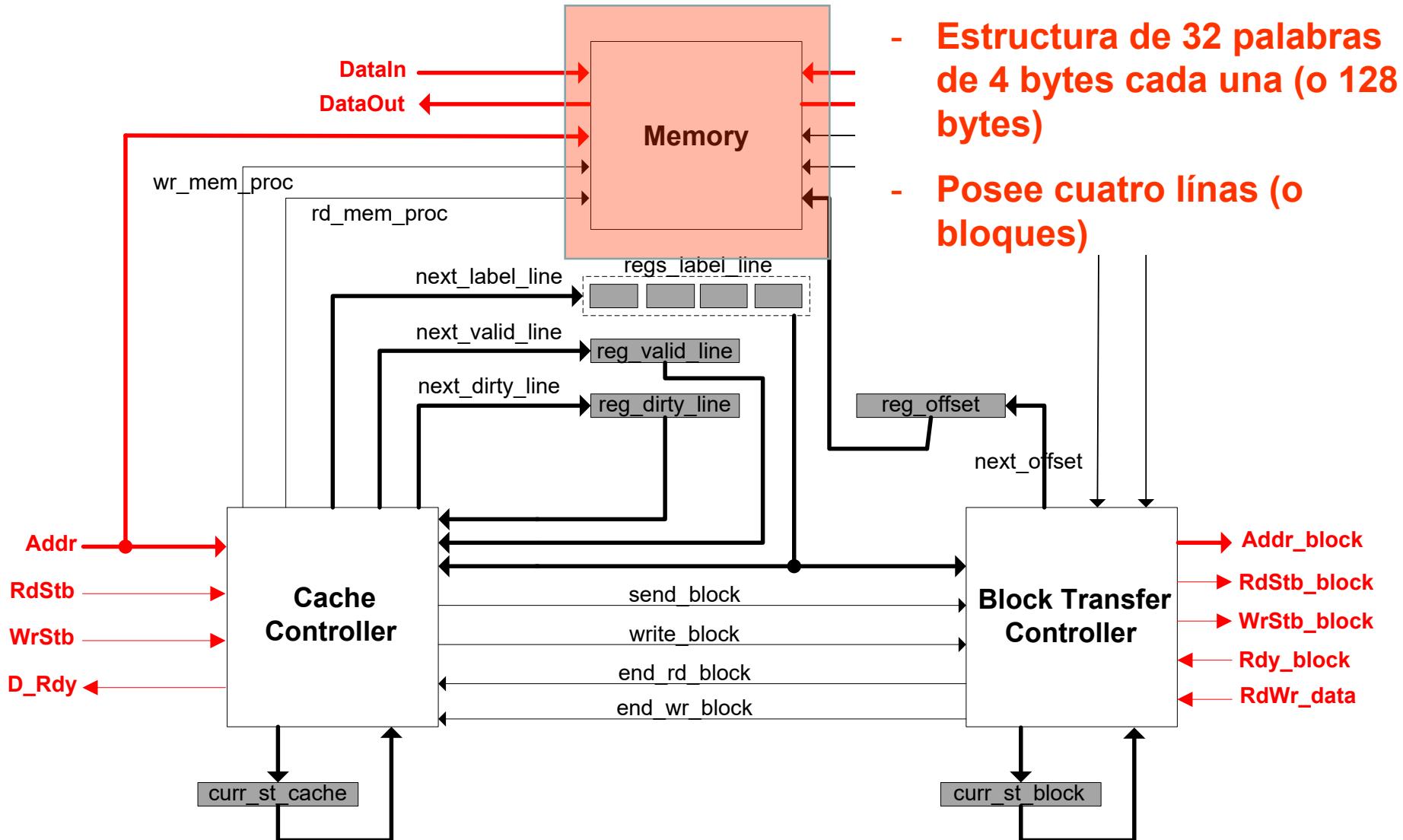
Diagrama de bloques del TP 3



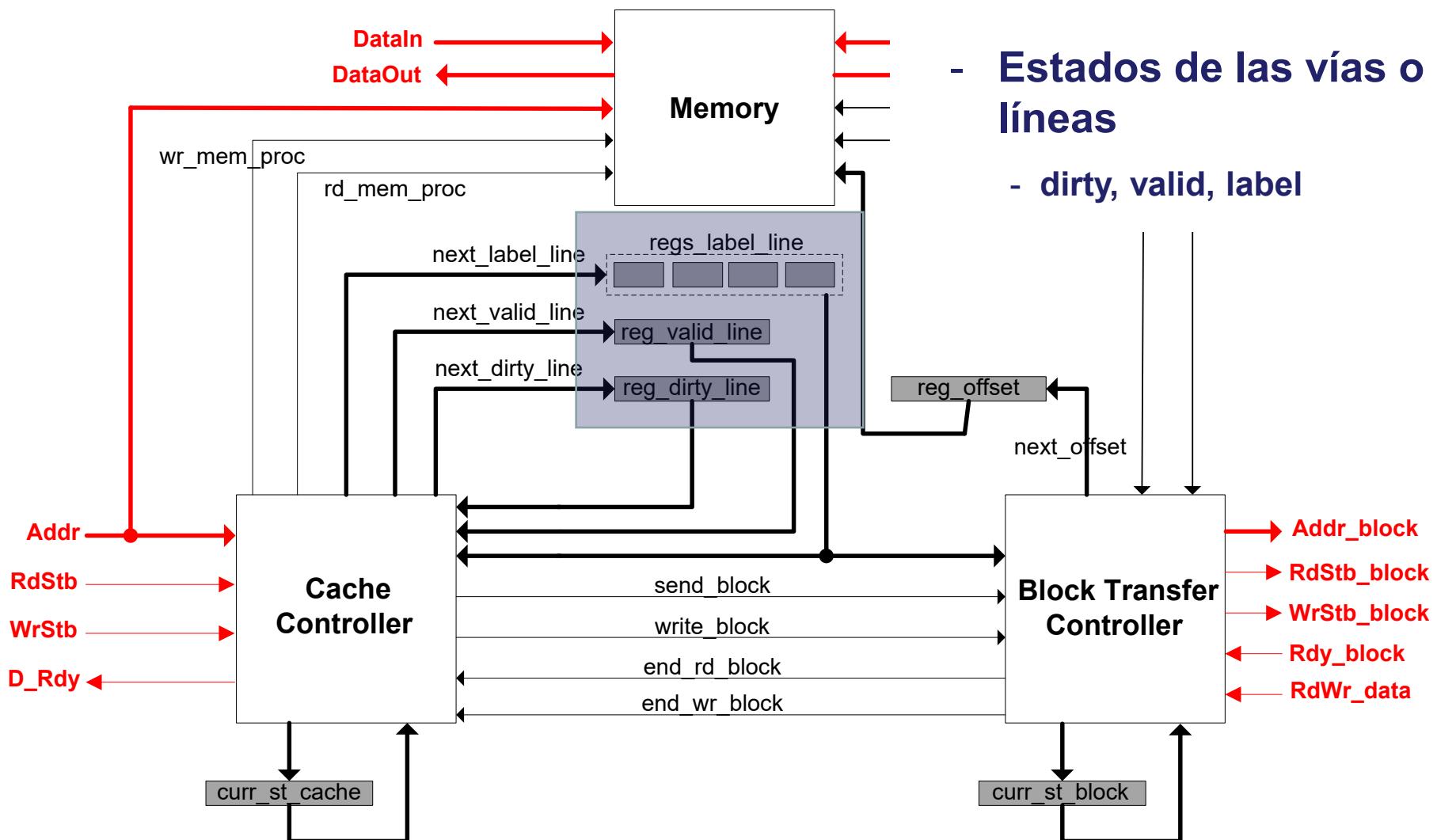
Data Cache Memory (*MemoryCache*)



Data Cache Memory (*MemoryCache*)



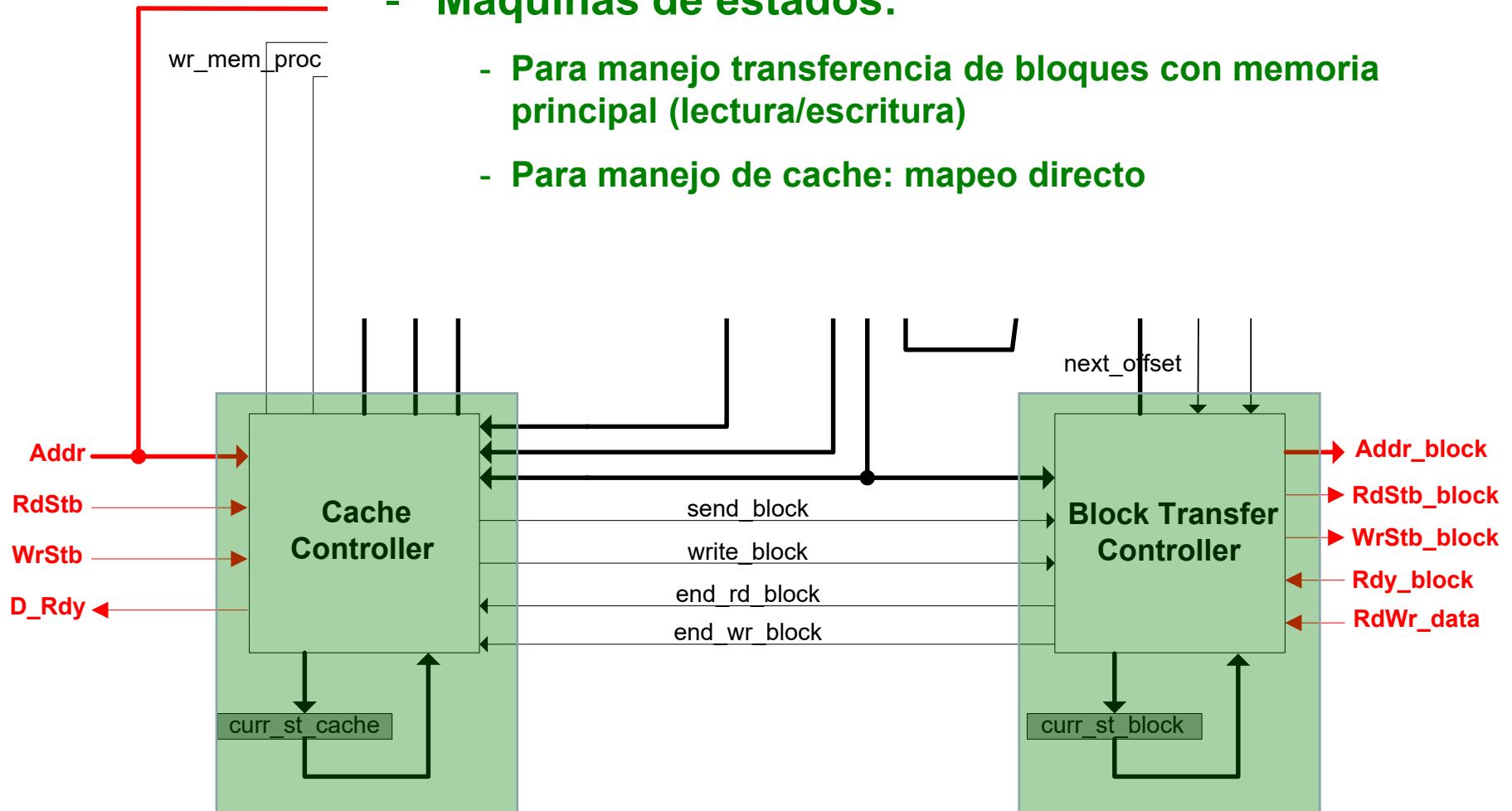
Data Cache Memory (*MemoryCache*)



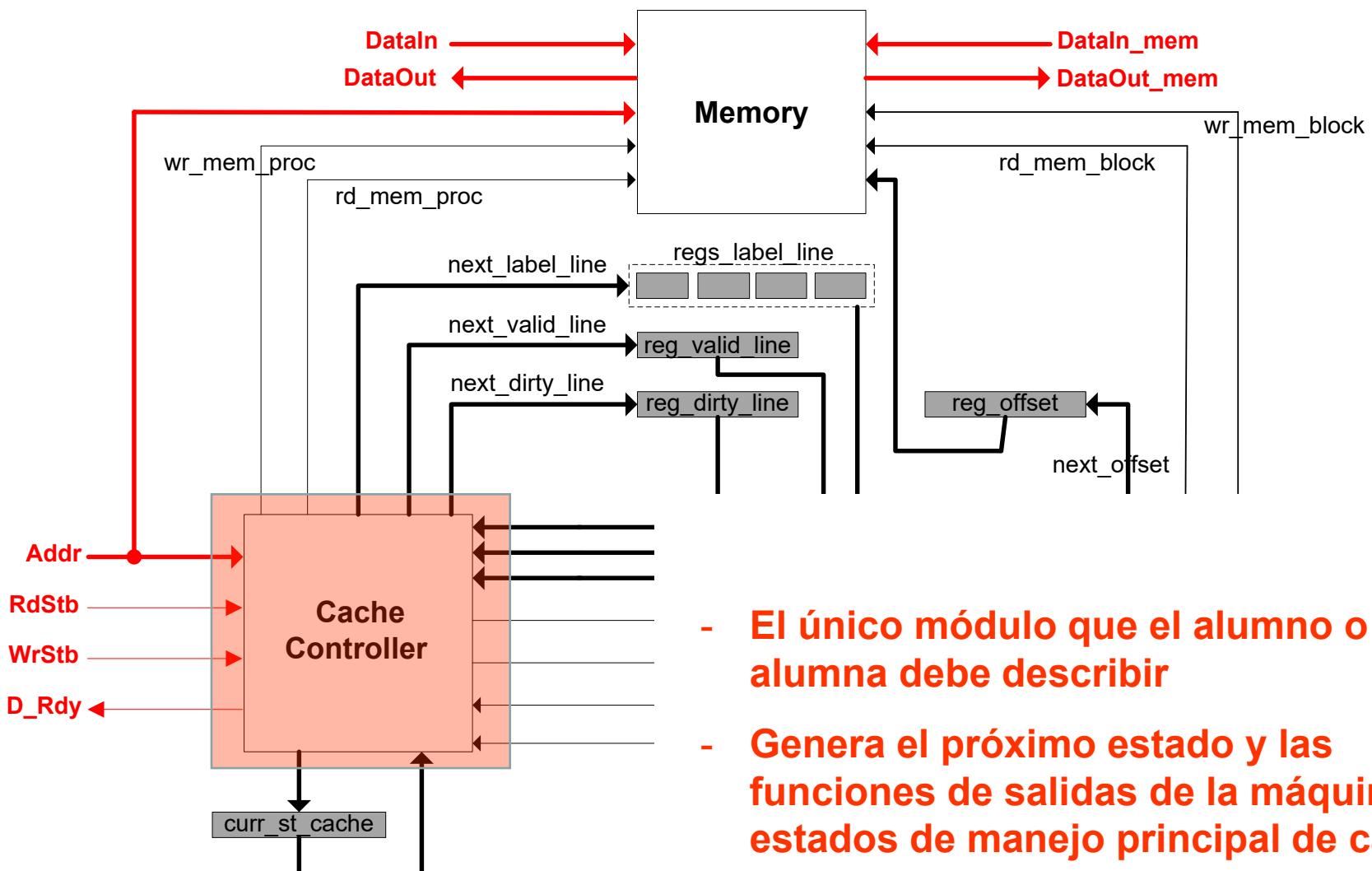
Data Cache Memory (*MemoryCache*)

- Máquinas de estados:

- Para manejo transferencia de bloques con memoria principal (lectura/escritura)
- Para manejo de cache: mapeo directo

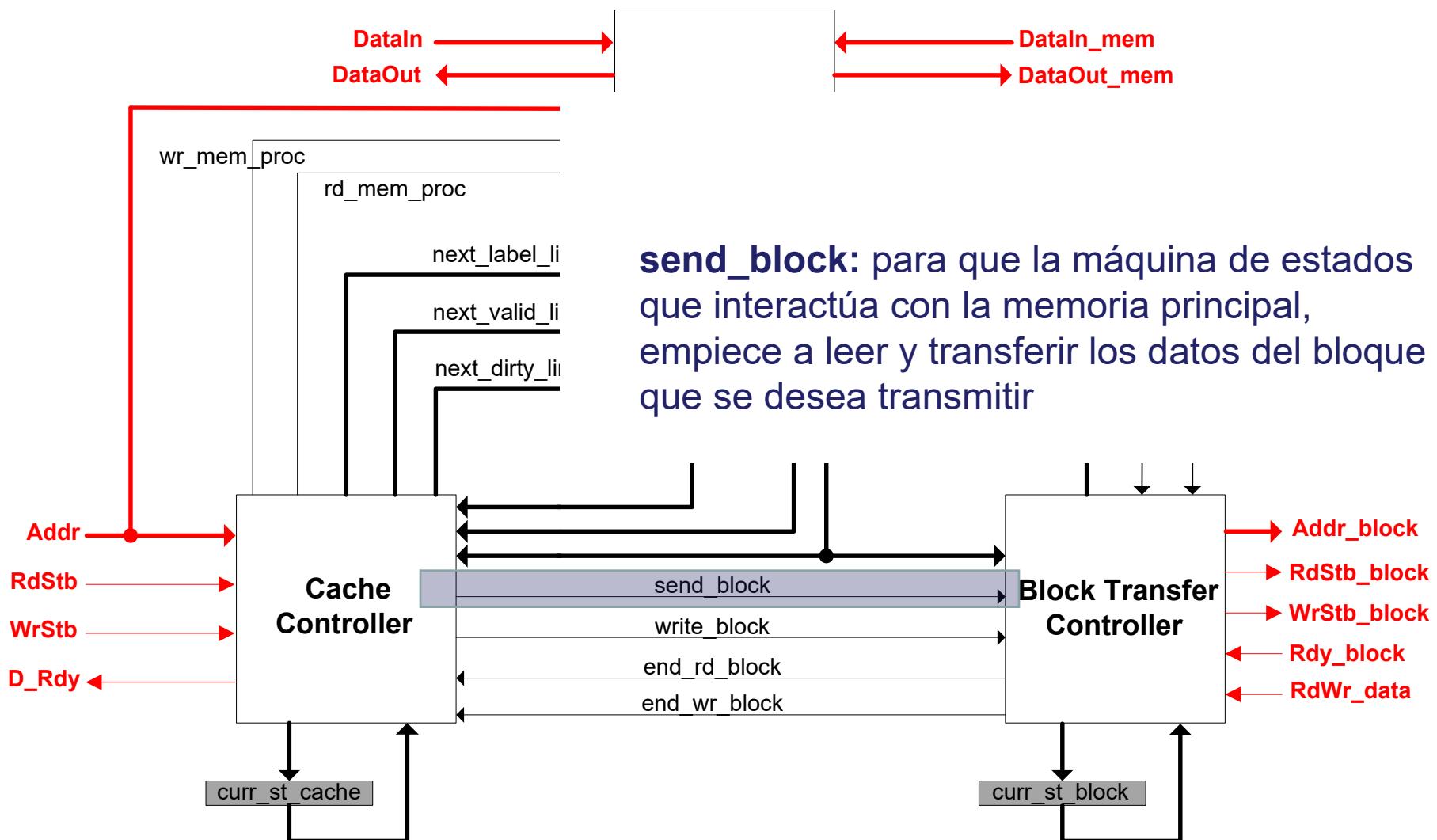


Data Cache Memory (*MemoryCache*)

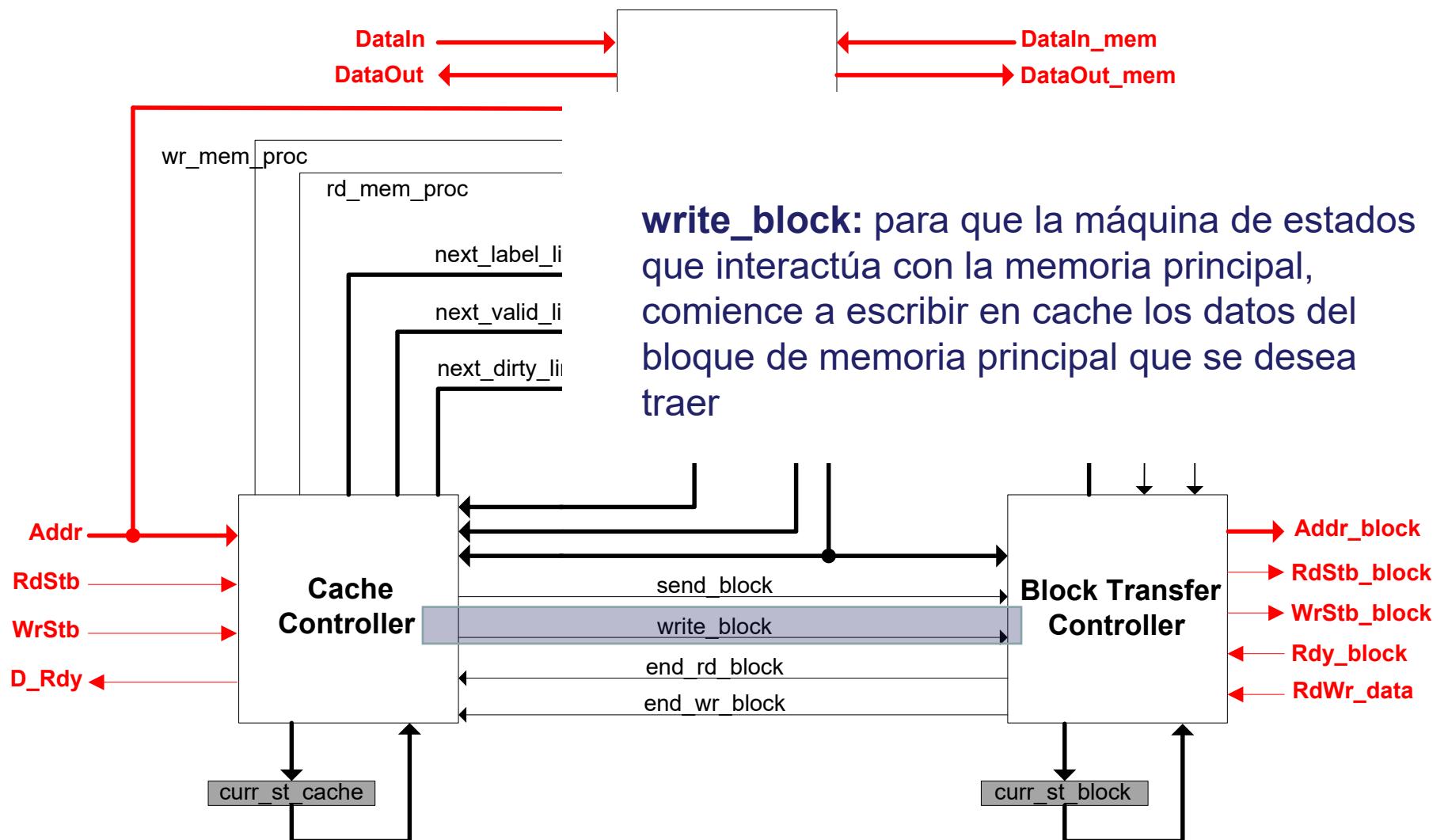


- El único módulo que el alumno o la alumna debe describir
- Genera el próximo estado y las funciones de salidas de la máquina de estados de manejo principal de cache

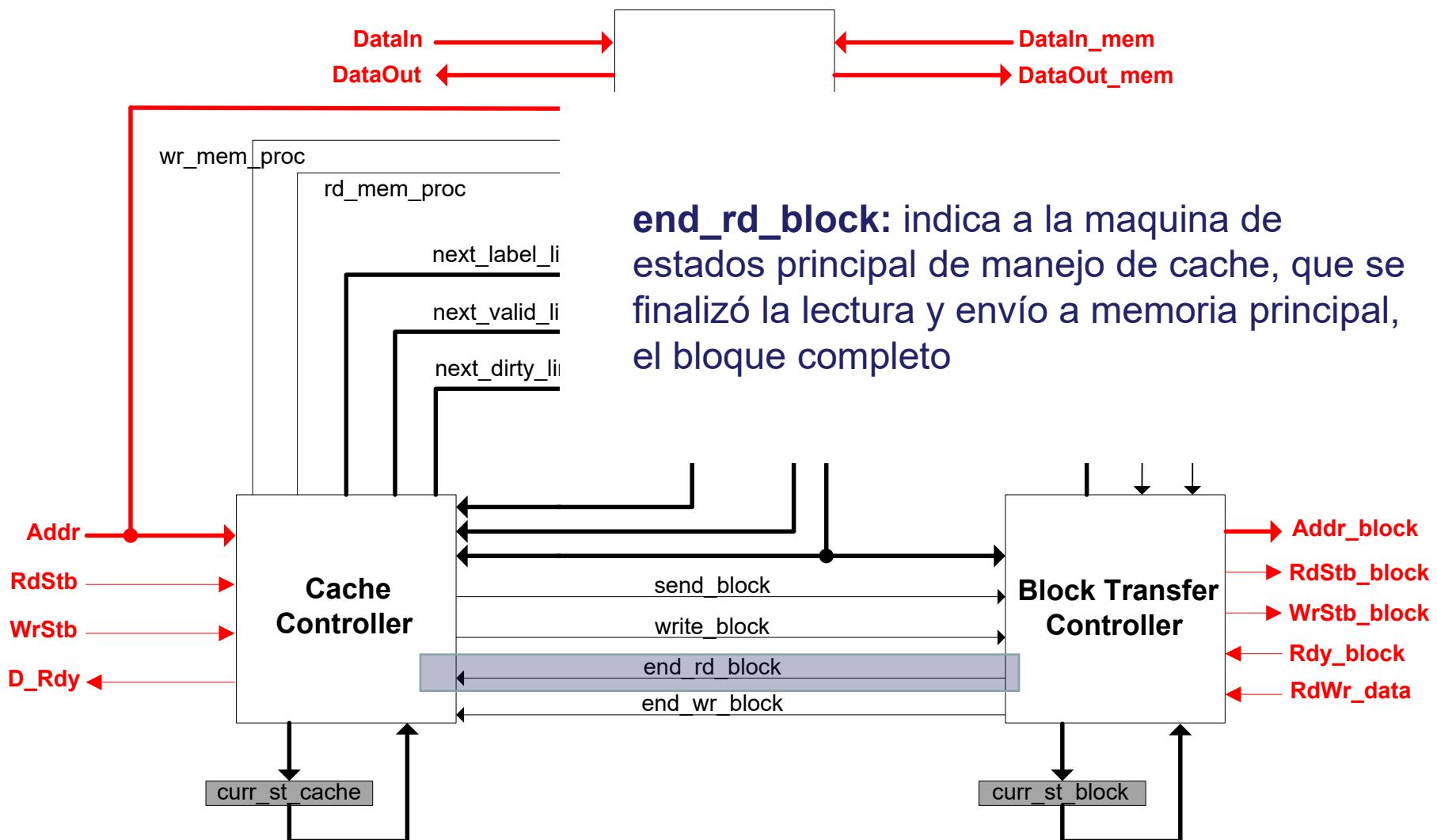
Data Cache Memory (*MemoryCache*)



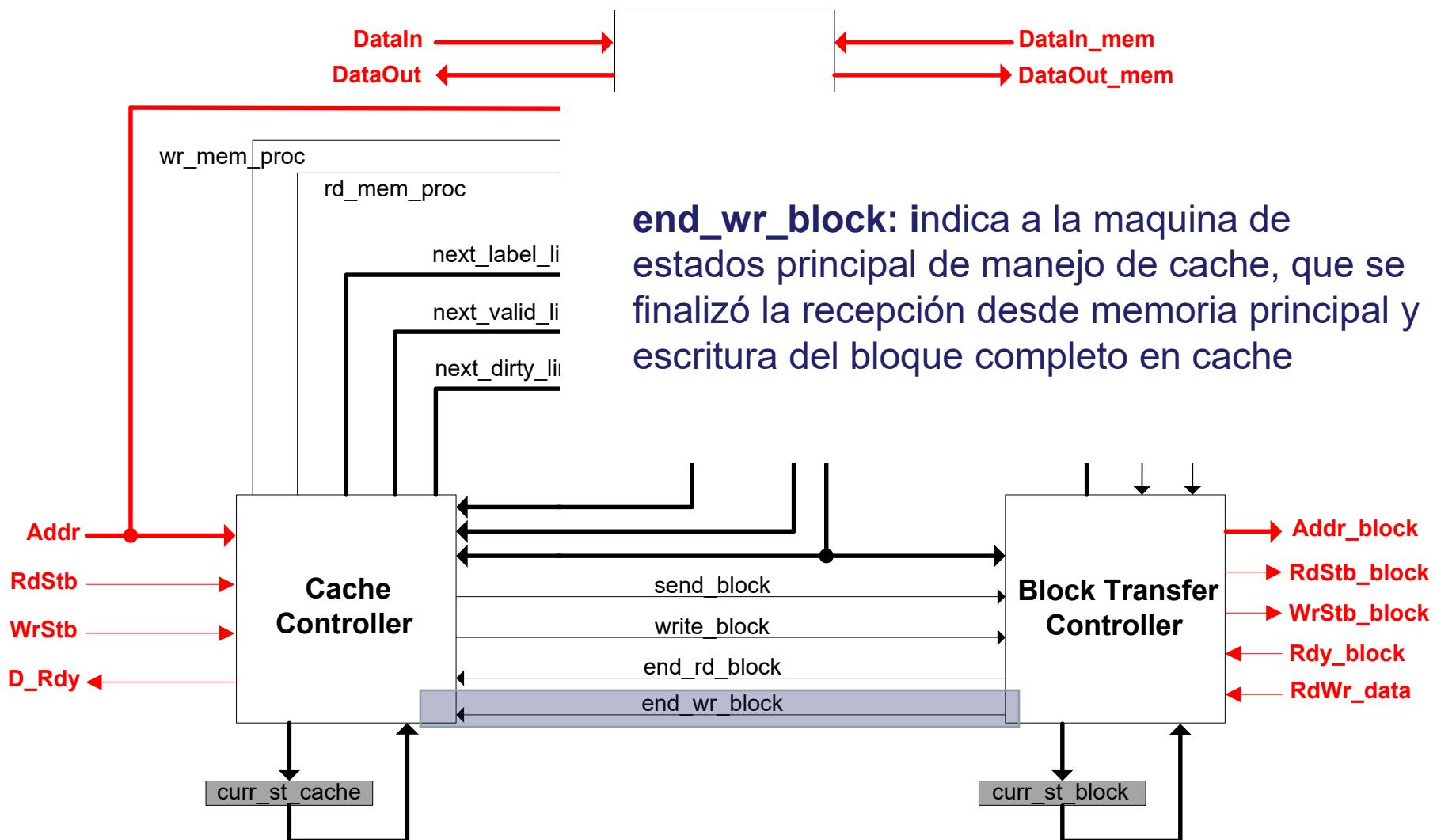
Data Cache Memory (*MemoryCache*)



Data Cache Memory (*MemoryCache*)



Data Cache Memory (*MemoryCache*)



Acerca de las direcciones en memoria cache

- El tamaño de la estructura interna de la cache es de 4 bloques de 8 palabras (32 palabras o 128 bytes)
 - Para direccionar un bloque se requieren 27 bits
 - En la simulación, los 22 bits más significativos de las direcciones de las memorias deben tener '0's

