

# **POLARIZAÇÃO DE UM PAR DIFERENCIAL CMOS E LIMITES DE LINEARIDADE E SATURAÇÃO - SIMULAÇÃO DC**

**Santa Maria, 18 de abril de 2019**

Giuliano Bohn Benedeti Becker<sup>1</sup>

Keli Tauana Prass Ruppenthal<sup>2</sup>

Victor Dallagnol Bento<sup>3</sup>

***Resumo: Neste relatório trataremos da manipulação de grandezas no simulador Cadence/Virtuoso para a polarização de um par de transistores CMOS. A partir dos dados obtidos e da funcionalidade do circuito, obter-se-á dados que demonstrem o limite da linearidade e saturação para o circuito implementado.***

*Palavras-chave: Polarização, saturação, linearidade.*

## **1. Introdução**

O Amplificador Diferencial é um circuito eletrônico capaz de receber dois sinais ao mesmo tempo e fornecer uma saída como resultado que será a diferença amplificada destes sinais. A configuração par diferencial é a mais utilizada no projeto de circuitos analógicos integrados.

Amplificadores diferenciais são muito adequados na fabricação de circuitos integrados, a sua performance depende de forma crítica do “casamento” entre ambos os lados do par diferencial que compõem o amplificador. A tecnologia de circuitos integrados permite a fabricação de dispositivos “casados”, o que significa que seus parâmetros são praticamente iguais. A configuração par diferencial utiliza mais componentes (tipicamente duas vezes mais) do que circuitos de um estágio com saída simples o que poderia acarretar em um problema de custos, mas a tecnologia de circuitos integrados permite o uso de um grande número de transistores a um custo relativamente baixo.

As principais razões do uso de amplificadores diferenciais é que a configuração diferencial nos permite polarizar simultaneamente os estágios amplificador e o par amplificar sem a necessidade do uso de capacitores ( de passagem ou acoplamento). E Também pelo fato de que eles são muito menos sensíveis a ruídos e interferências em relação aos convencionais.

## **2. Procedimento Experimental**

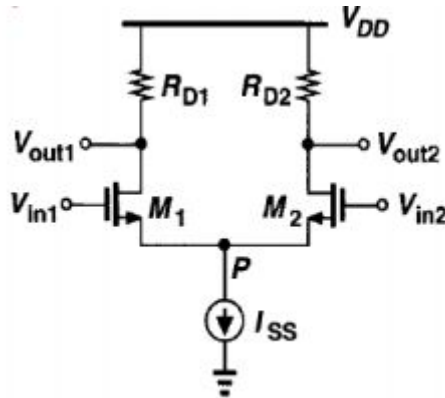
---

<sup>1</sup> Acadêmico(a) do curso de Engenharia de Computação da Universidade Federal de Santa Maria - UFSM, matrícula: 201322332, e-mail: giuliano.benedeti@ecom.ufsm.br

<sup>2</sup> Acadêmico(a) do curso de Engenharia de Computação da Universidade Federal de Santa Maria - UFSM, matrícula: 201520603, e-mail: kelitauana@gmail.com

<sup>3</sup> Acadêmico (a) do curso de Engenharia de Computação da Universidade Federal De Santa Maria- UFSM, matrícula: 201520835, e-mail: victor.bento@ecom.ufsm.br

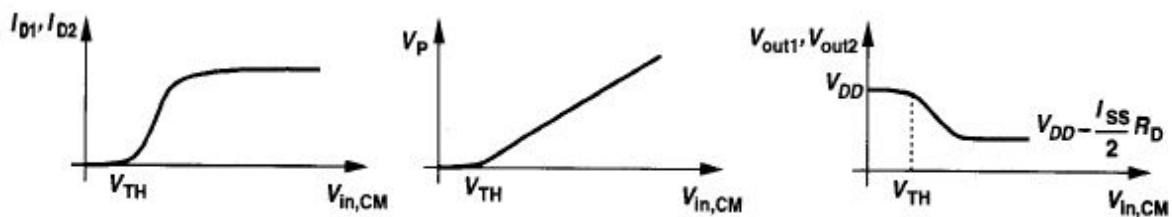
Inicialmente, o circuito implementado visou a polarização de um par diferencial de transistores através de uma fonte de corrente, como mostra a figura abaixo:



**Figura 01** : Polarização com fonte de corrente.

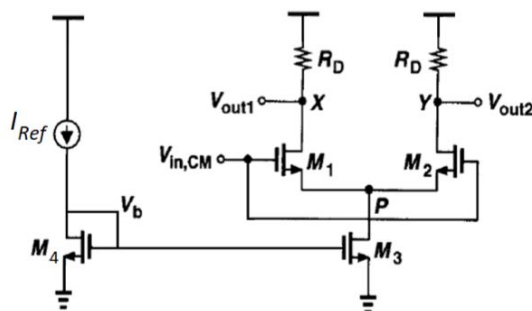
Este circuito consiste em dois transistores casados ( $M_1$  e  $M_2$ ), cujas fontes estão unidas e polarizadas por uma fonte de corrente constante  $I_{SS}$ . Embora cada um dos drenos estejam conectados ao terminal positivo da fonte de alimentação através das resistências  $R_{D1}$  e  $R_{D2}$ , na maioria dos casos práticos, as fontes de corrente são normalmente empregadas.

A análise qualitativa que é obtida dos valores das tensões de saída ( $V_{out1}$  e  $V_{out2}$ ) em relação aos valores de entrada ( $V_{in1}$  e  $V_{in2}$ ), como pode ser visto na imagem abaixo. Observa-se a variação das correntes  $I_{D1}$  e  $I_{D2}$ , da tensão no ponto  $P$  e da tensão de dreno quando a região de operação é atingida.



**Figura 02:** Curvas da análise qualitativa de entrada em modo comum.

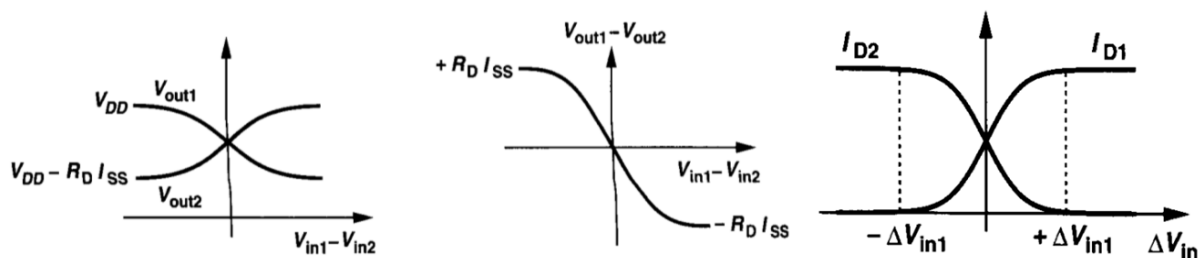
Na segunda etapa, substituiu-se a fonte de corrente por um par de transistores  $M_3$  e  $M_4$ , os quais formam juntos um espelho de corrente. O esquemático que posteriormente foi construído no Cadence/Virtuoso pode ser visualizado abaixo:



**Figura 03:** Circuito Amplificador com Par Diferencial e Espelho de Corrente.

Agora o fornecimento de tensão será feito através do Transistor  $M_4$ , o qual deve ser feito o dimensionamento da sua largura ( $\frac{W}{L}$ ) para delimitar a tensão que será transmitida até  $M_3$ . O Transistor  $M_3$  substituirá a fonte de corrente exibida na **Figura 01**. Neste CMOS deve-se controlar a multiplicidade de acordo com o valor de largura obtida em  $M_4$  a fim de obter aproximadamente o dobro de corrente necessária para os transistores  $M_1$  e  $M_2$  atingirem a região de triodo. O dobro deve-se ao fato de que a corrente ao sair pelo dreno de  $M_3$  será dividida igualmente entre os transistores que atingirão a região de saturação (região 2).

Com o par diferencial carregado resistivamente e fornecendo a corrente necessária através da configuração em espelho, são feitas então as análises qualitativas do amplificador. Além disso, uma das fontes  $V_{in}$  deve ser fixada. Os parâmetros que devem ser analisados são  $-V_{in}$  e  $+V_{in}$ ,  $-V_{out}$  e  $+V_{out}$ . Abaixo pode-se observar o comportamento esperado das entradas e saídas do circuito:



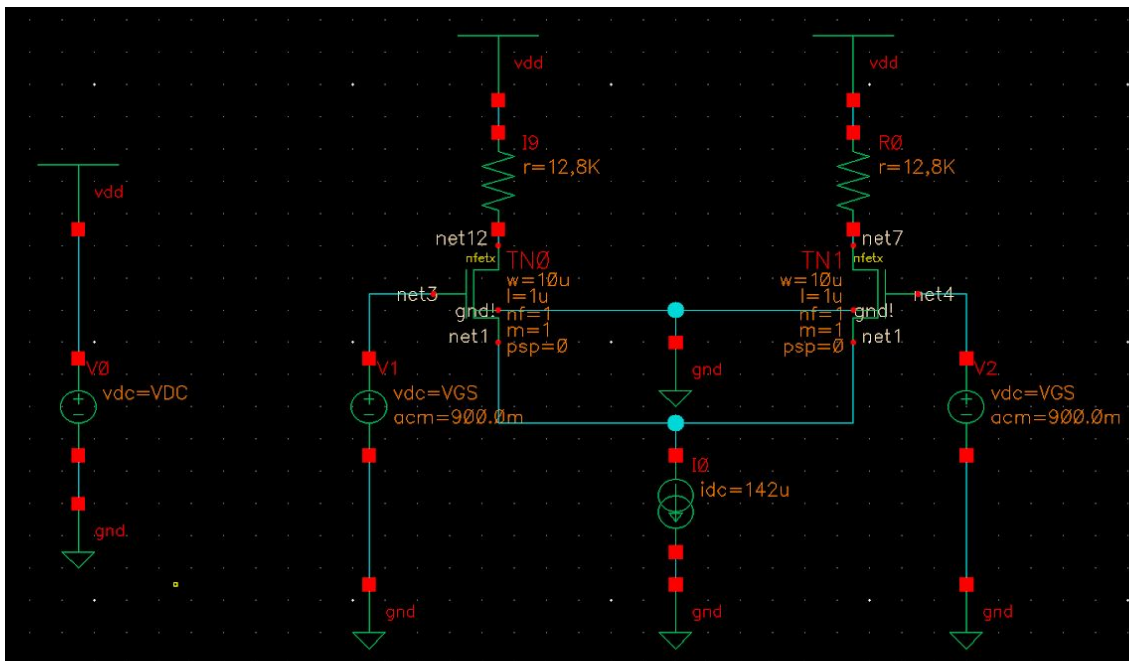
**Figura 04:** Curvas de entrada e saída do par diferencial e variação entre os drenos.

### 3. Resultados e Discussões

Para a primeira etapa, foi levado em consideração os dados dos transistores utilizados no Relatório I, ou seja,  $M_1$  e  $M_2$  teriam um  $\frac{W}{L} = 10$  e um  $L = 1 \mu m$ . Os valores para as fontes de entrada seriam de  $0.9 V$  em cada uma, enquanto que a fonte de corrente operaria com o valor de  $142 \mu A$ . Levando-se em consideração a corrente de dreno obtida no relatório anterior ( $I_D = 70,741 \mu A$ ) e a queda de tensão em cada resistor  $R_1$  e  $R_2$ , o valor dos mesmos pode ser definido por:

$$R_1 = R_2 = \frac{0,9}{70\mu} = 12,86 K\Omega$$

O circuito construído pode ser visto na imagem abaixo:



**Figura 05:** Circuito de polarização por fonte de corrente implementado pelo grupo.

Feito isso, simulou-se o circuito com o objetivo de verificar o comportamento do mesmo nos pontos destacados na **Figura 02**. Os gráficos obtidos podem ser vistos abaixo.



**Figura 06:**  $I_{D1}$ ,  $I_{D2}$  versus  $V_{in, CM}$ ,  $V_{out 1}$ ,  $V_{out 2}$  versus  $V_{in, CM}$  e  $V_P$  versus  $V_{in, CM}$ .

Observa-se que as curvas obtidas assemelham-se com as propostas na **Figura 02**, mas que, no entanto, sofrem uma leve distorção no início, o que o grupo entende poder ser justificado pelos valores dos componentes (transistor, resistor, fonte...), os quais podem estar influenciando na operação do circuito todo. Nota-se que  $V_{in,CM}$  **mínimo** pode ser definido como  $0,6 V$ . Podemos, ainda, verificar que desde que o potencial no dreno dos transistores  $M_1$  e  $M_2$  não é mais positivo do que o potencial no emissor, ambos os dispositivos ficam desligados, tendo  $I_{D1} = I_{D2} = 0$ . A partir do momento em que  $V_{in,CM}$  se torna mais positivo, podemos perceber que  $M_1$  e  $M_2$  ligam se  $V_{in,CM} \geq V_{TH}$ . Visto deste ponto,  $I_{D1}$  e  $I_{D2}$  continuam a aumentar e  $V_P$  também. Dessa forma,  $M_1$  e  $M_2$  estão forçando  $V_P$  a seguir  $V_{in,CM}$ . Para um valor suficientemente alto de  $V_{in,CM}$ , os transistores entraram em uma região de operação de saturação, o que leva a corrente total entre  $M_1$  e  $M_2$  a permanecer constante.

Seguindo o procedimento experimental, adaptou-se, então, o circuito para o modelo visto na **Figura 03**. A tecnologia utilizada é de  $180 nm$ , o  $V_{DD} = 1,8 V$  e o  $V_{SS} = 0 V$ , enquanto que a corrente  $I_{Ref} = 1 \mu A$ . Utilizando-se a equação abaixo, conseguiu-se obter o valor de  $\mu_N C_{ox}$  de  $0,298 m$ .

$$I_D = \frac{1}{2} \mu_N C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS})$$

$$\mu_N C_{ox} = \frac{2 \times 70 \mu}{10 \times (0,6 - 0,404)^2 \times 1 + (0,3675 \times 0,6)} = 0,298 m$$

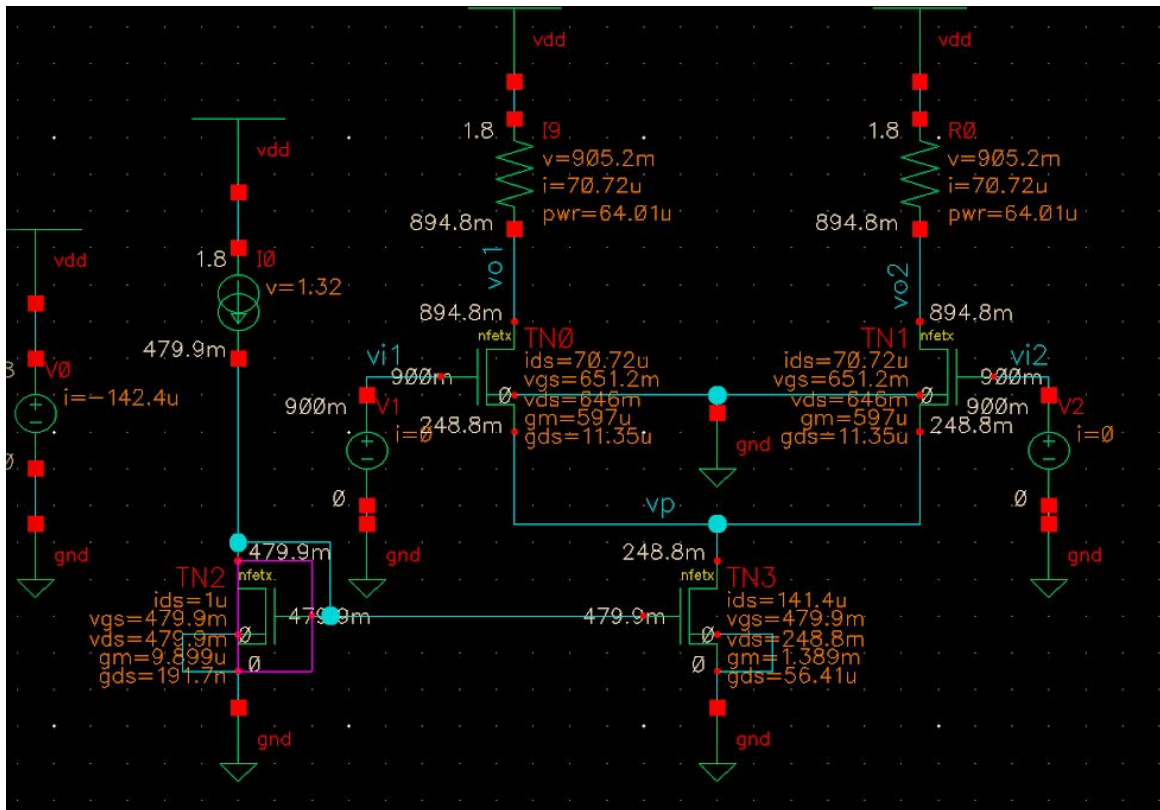
Essa grandeza foi utilizada, na mesma equação, para o cálculo do  $(\frac{W}{L})_4$ :

$$(\frac{W}{L})_4 = \frac{2 \times 1 \mu}{0,298 m \times (0,6 - 0,404)^2 \times 1 + (0,3675 \times 0,6)} = 0,14$$

Como o valor obtido é maior do que o permitido para simulação na ferramenta *Virtuoso*, deixamos setado o valor máximo permitido por ele, ou seja,  $220 n$ . A ideia do circuito é implementar um conjunto de espelho de corrente com os transistores  $M_3$  e  $M_4$  que permita que seja fornecida a corrente necessária ao par diferencial  $M_1$  e  $M_2$ . Deve-se atentar para que o par  $M_1$  e  $M_2$  opere em um ponto de saturação típico, conforme os parâmetros obtidos nas curvas características deste transistor. O circuito terá como alvo de operação os seguintes pontos:

- $I_{Ref} = 1 \mu A$ ;
- $I_{DM1} = I_{DM2} = 70 \mu A$ ;
- $V_{in,CM} = 0,9 V$ ;
- $V_{out1} = V_{out2} = 0,9 V$ ;
- $V_{GS1} = V_{GS2} = 0,6 V$ ;
- $V_{DS1} = V_{DS2} = 0,6 V$ ;
- $V_{DS3} = V_P = 0,3 V$ .

Ajustando-se os transistores  $M_3$  e  $M_4$  para que transmitisse  $140 \mu A$  para  $M_1$  e  $M_2$ , obteve-se uma multiplicidade de 150 para o transistor  $M_3$ . A corrente  $I_{DS}$  para cada transistor foi de  $I_{DSM1} = I_{DSM2} = 70,72 \mu A$ ,  $I_{DSM4} = 1 \mu A$  e  $I_{DSM3} = 141,4 \mu A$ . O circuito montado e operando na região de saturação pode ser visto na **Figura 07**.



**Figura 07:** Circuito operando em região de saturação.

Feito isso, realizou-se a simulação DC do mesmo. Para tanto, fixou-se uma das fontes de  $V_{in}$  para que fosse possível a observação da variação de amplitude e encontro das curvas características. Os resultados podem ser vistos abaixo.



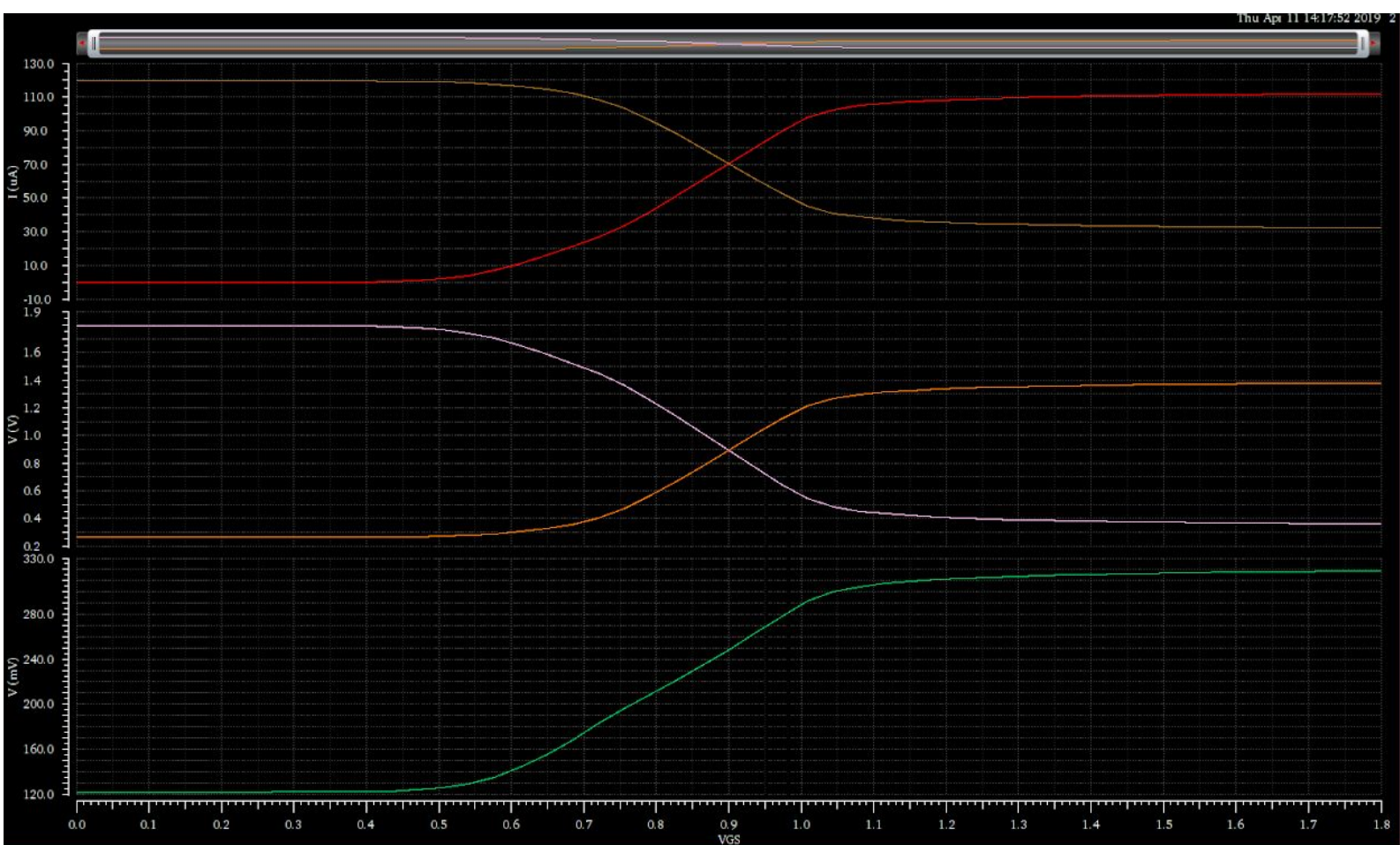


Figura 08:  $I_{D1}$ ,  $I_{D2}$  versus  $V_{in,Dif}$  e  $V_{out1}$ ,  $V_{out2}$  versus  $V_{in,Dif}$ .

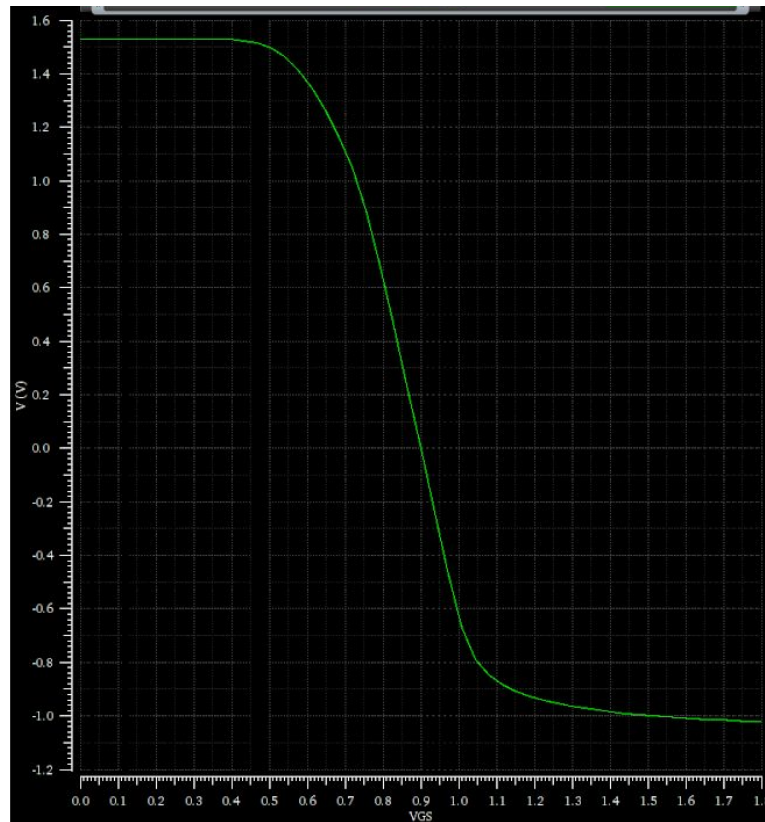


Figura 09:  $V_{out\ 1} - V_{out\ 2}$  .

Através da análise das imagens, podemos verificar que no ponto de operação (  $0,9\ V$  ) as curvas de  $I_{D1}$  e  $I_{D2}$  e de  $V_{out\ 1}$  e  $V_{out\ 2}$  se encontram, o que significa que o transistor que está operando a partir daquele ponto é o oposto do que vinha operando até então. Podemos verificar também que  $V_{in,\ Dif}$  **mínimo** é a faixa de valores compreendidos entre  $0,5\ V$  e  $1,3\ V$  . Nota-se que a amplitude de excursão das ondas não é o mesmo antes e depois do ponto de encontro das mesmas, o que pode ser explicado pelos valores utilizados nas definições dos transistores.

O gráfico da subtração das saídas está de acordo com o esperado. Nota-se que ele tende a se estabilizar em torno dos  $0,9\ V$  , que é o ponto de operação das grandezas analisadas anteriormente.

#### 4. Conclusão

Com este experimento verificamos que a fixação das correntes na polarização dos circuitos analógicos, para obter valores claros e bem definidos, é demasiada difícil. A temperatura e a alimentação podem afetar na qualidade da corrente que será transmitida pelos divisores resistivos.

Através dos cálculos corretor, podemos definir a largura de um transistor e assim setar com maior precisão o fator multiplicativo de outro transistor para assim copiar a corrente com a intensidade desejada para o funcionamento do circuito. Podemos observar que tal espelho de corrente é capaz de copiar a corrente



uniformemente inúmeras vezes quanto forem necessárias. Entretanto, os espelhos de corrente são raramente utilizados para serem aplicados em projetos discretos, uma vez que a sua precisão depende do casamento ideal entre os transistores.

Deste experimento também podemos notar o funcionamento correto da configuração par diferencial, visto que ambos os transistores utilizados na configuração possuem exatamente as mesmas especificações. Sabemos que na prática isso é praticamente impossível mesmo os transistores sendo do mesmo lote, pois no processo de fabricação ocorrem pequenas variações físicas e químicas que impossibilitam essa igualdade.

## **Referências**

- [1] BOYLESTAD, Robert L.; NASHELSKY, Louis. **Dispositivos Eletrônicos**. 11ª Ed. Pearson. São Paulo, 2013.
- [2] RAZAVI, Behzad. **Design of a Analog CMOS Integrated Circuits**. 1ª Ed. McGrawHill. Nova Iorque, 2001.
- [3] RAZAVI, Behzad. **Fundamentos de Microeletrônica**. 1ª Ed. Genesis. Rio de Janeiro, 2010.
- [4] Material disponibilizado pelo professor.