**OBSERVAÇÕES E CONCLUSÕES SOBRE FUNCIONAMENTO ELÉTRICO DO BLOCO DETECTOR DE FASE DE UM PLL**

**Santa Maria, 30 de maio de 2019**

Giuliano Bohn Benedeti Becker[[1]](#footnote-0)

Keli Tauana Prass Ruppenthal[[2]](#footnote-1)

Victor Dallagnol Bento[[3]](#footnote-2)

***Resumo: Neste relatório trataremos do funcionamento e das conclusões sobre o comportamento de um dos estágios de um PLL, o detector de fase. Este primeiro relatório será baseado em simulações elétricas do bloco em questão, feitas na ferramenta Virtuoso/Cadence.***

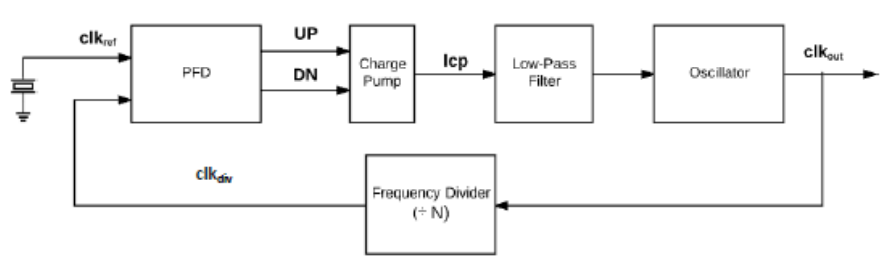
*Palavras-chave: detector de fase, up, down, simulação elétrica.*

**1. Introdução**

O objetivo por trás deste relatório é o funcionamento de um PLL (*Phase Locked Loop*), o qual pode ser definido como um dos mais importantes de todos os circuitos que atualmente encontramos em aplicações eletrônicas de todos os tipos. O PLL trabalha basicamente com frequências, da mesma forma que um amplificador operacional trabalha com tensões, o que demonstra a grande importância deste na eletrônica.

Suas aplicações são diversas. Como exemplos temos os receptores de AM e FM, modems, sintetizadores de frequências, telefones sem fio,telefones celulares, instrumentos digitais e analógicos, ou seja, o PLL se encontra em uma infinidade de aplicações onde o valor de frequência esteja presente e seja relevante.

Porém o foco deste relatório é um dos blocos responsáveis pelo funcionamento do PLL, o detector de fase (*Phase Detector*). O PD, como pode ser chamado, tem como principal função controlar a carga/descarga do capacitor no próximo bloco (*Charge Pump*). Os sinais UP/DN (*Up* e *Down*) são responsáveis por essa comunicação entre os blocos, sendo responsáveis basicamente por controlar a frequência. Veremos a seguir como ocorre de fato esta análise de frequências e a sua implicação. Na **Figura 1** observa-se o esquemático de um circuito PLL.



**Figura 1:** Esquemático geral do PLL implementado.

**2. Desenvolvimento Teórico**

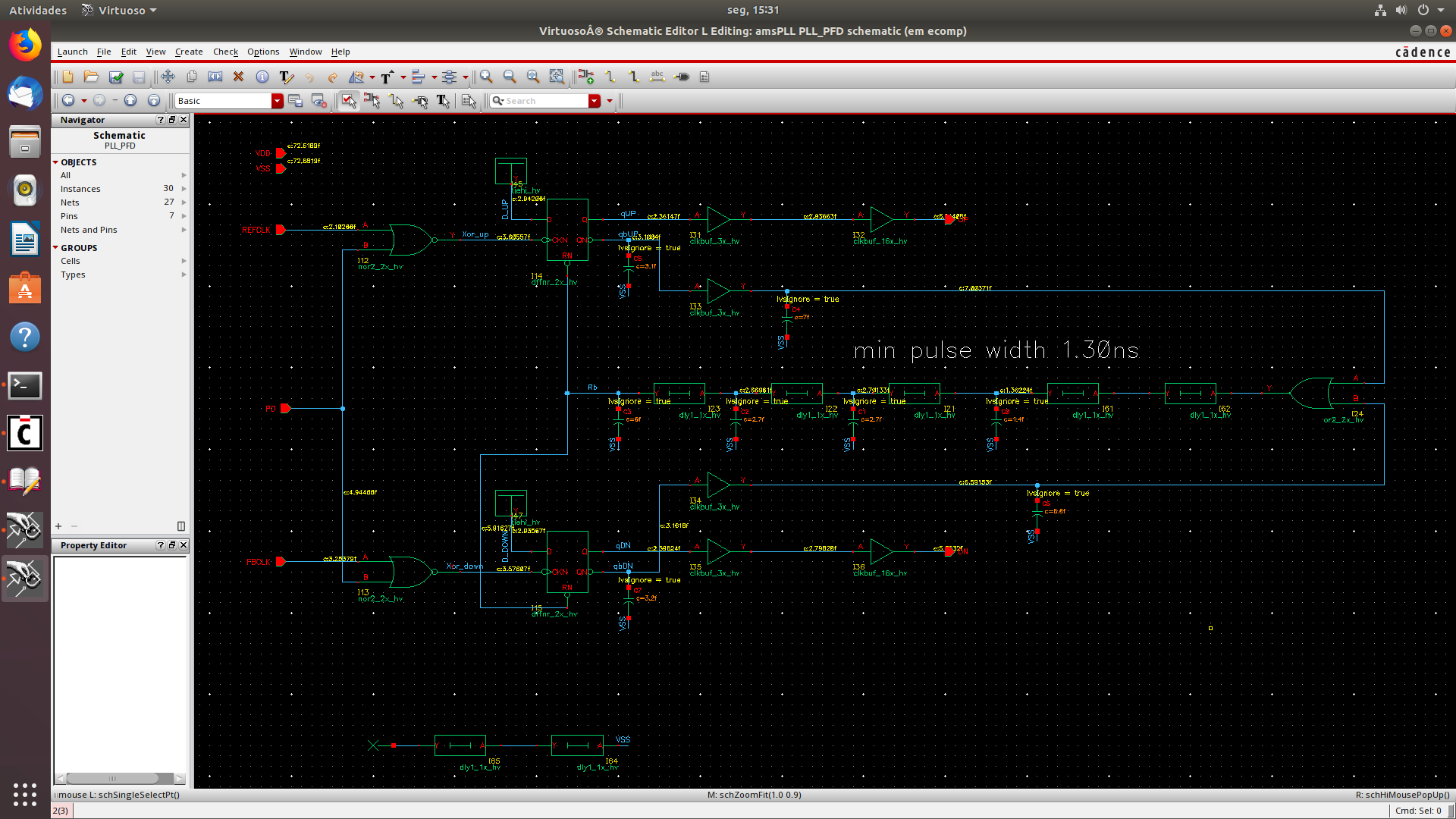
De modo geral, o detector de fase é responsável por comparar o erro existente entre as duas frequências de entrada e sinalizar para o próximo bloco se a frequência deve ser aumentada ou diminuída. Caso a frequência de feedback seja menor do que a de referência (neste caso 5MHz), o circuito irá gerar impulsos de UP (up), para aumentar a tensão de controle que vai para o Charge Pump. De modo inverso, se a frequência de feedback vinda do VCO for maior do que a frequência de referência, o circuito PD irá detectar esta diferença e irá gerar mais pulsos de DN (down). O detector de fase pode ser utilizado em qualquer lugar em que seja necessário detectar a fase entre dois sinais.

O bloco consiste em dois Latches D com trigger de borda, com suas entradas D ligadas nos sinais de VDD e VSS, e uma porta lógica NOR ligada no reset de cada FFD. O Xor\_up e o Xor\_down são saídas de duas portas lógicas XOR que servem como clocks das Latches. Os sinais Up e DN são entradas para a porta NOR, sendo as entradas negadas (!Q) das Latches D. A porta lógica NOR tem como função habilitar a escrita nas Latches.

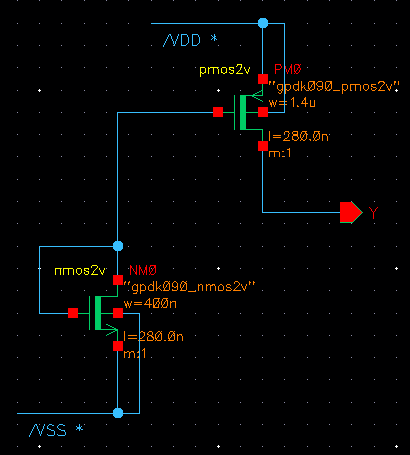
Na saída dos FFD, são colocados buffers para reforçar o sinal que pode perder a força de propagação para o próximo bloco. Outros sinais são agregados ao circuito, como os sinais de tensões de VDD e VSS como pode ser visto na **Figura 2**.

**3. Desenvolvimento Prático**

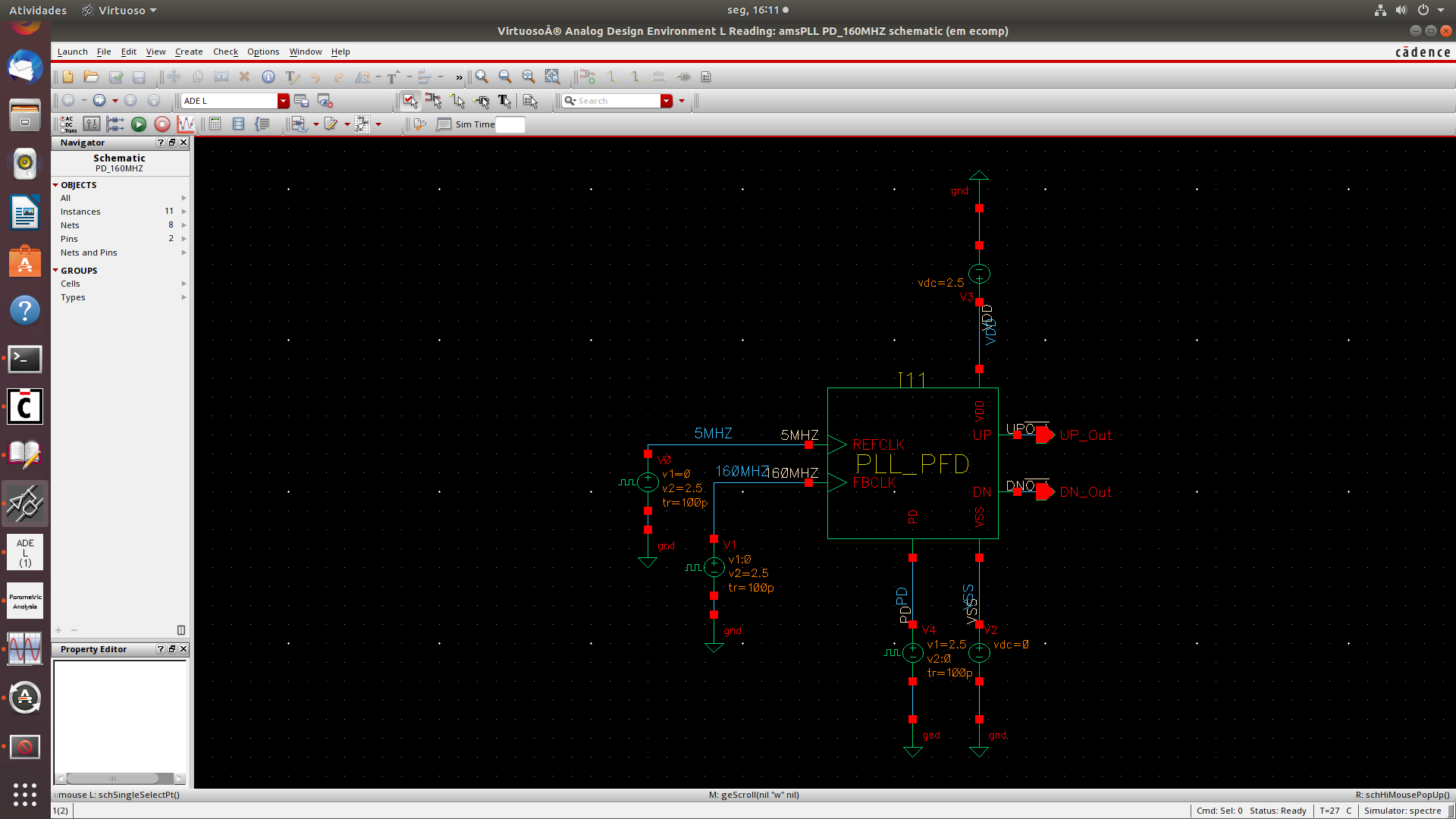
Nesta seção, trataremos basicamente da simulação na ferramenta Virtuoso. A análise foi feita do bloco PD separado do restante do circuito, para que a simulação se tornasse mais rápida e menos complexa, uma vez que tratamos apenas dos sinais relevantes para nós neste bloco. As **Figuras 2** e **3** representam o circuito testado.



**Figura 2**: Esquemático completo do circuito PD.



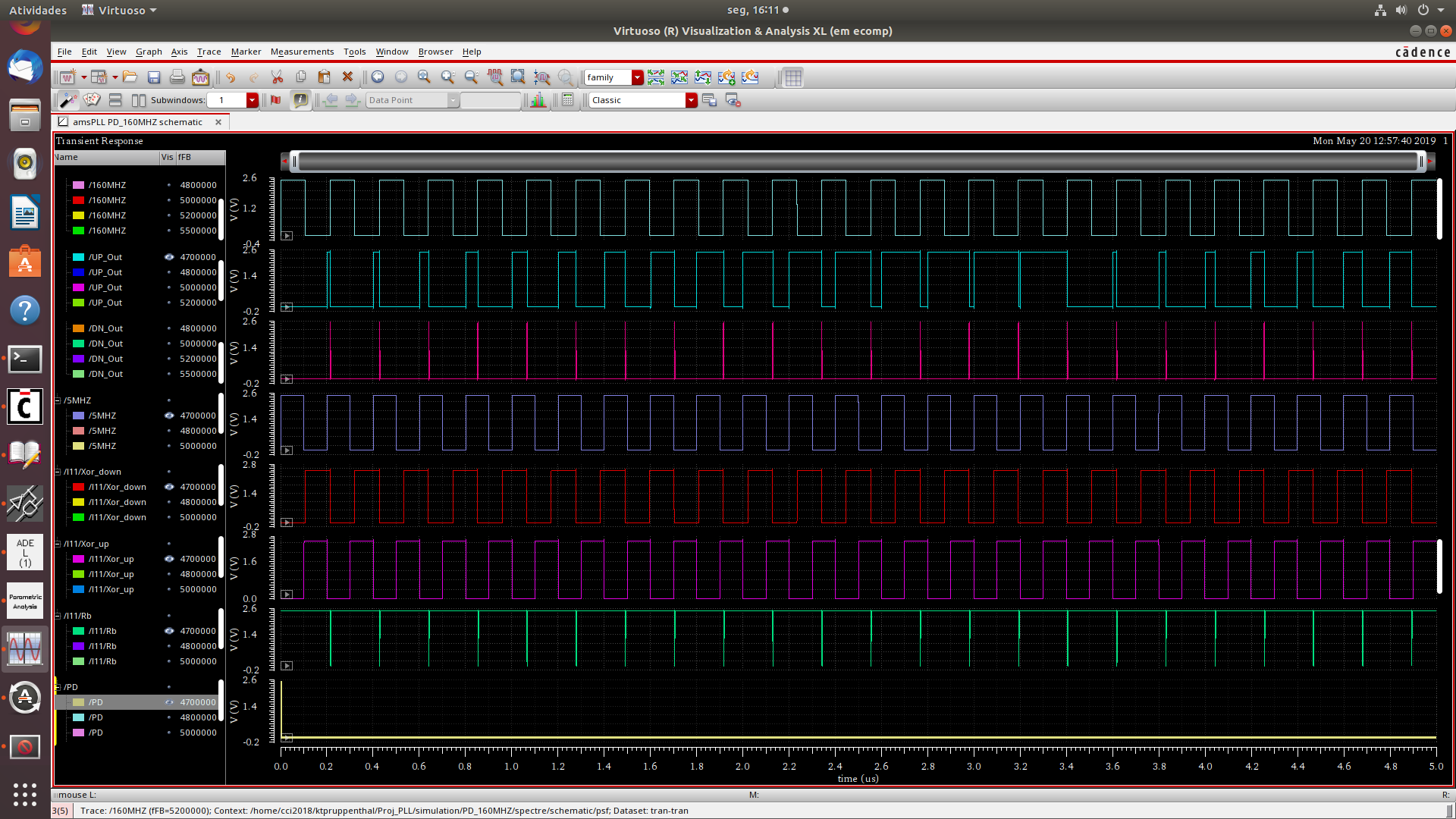
**Figura 3:** Circuito interno ao bloco PD e entrada D do FFD.



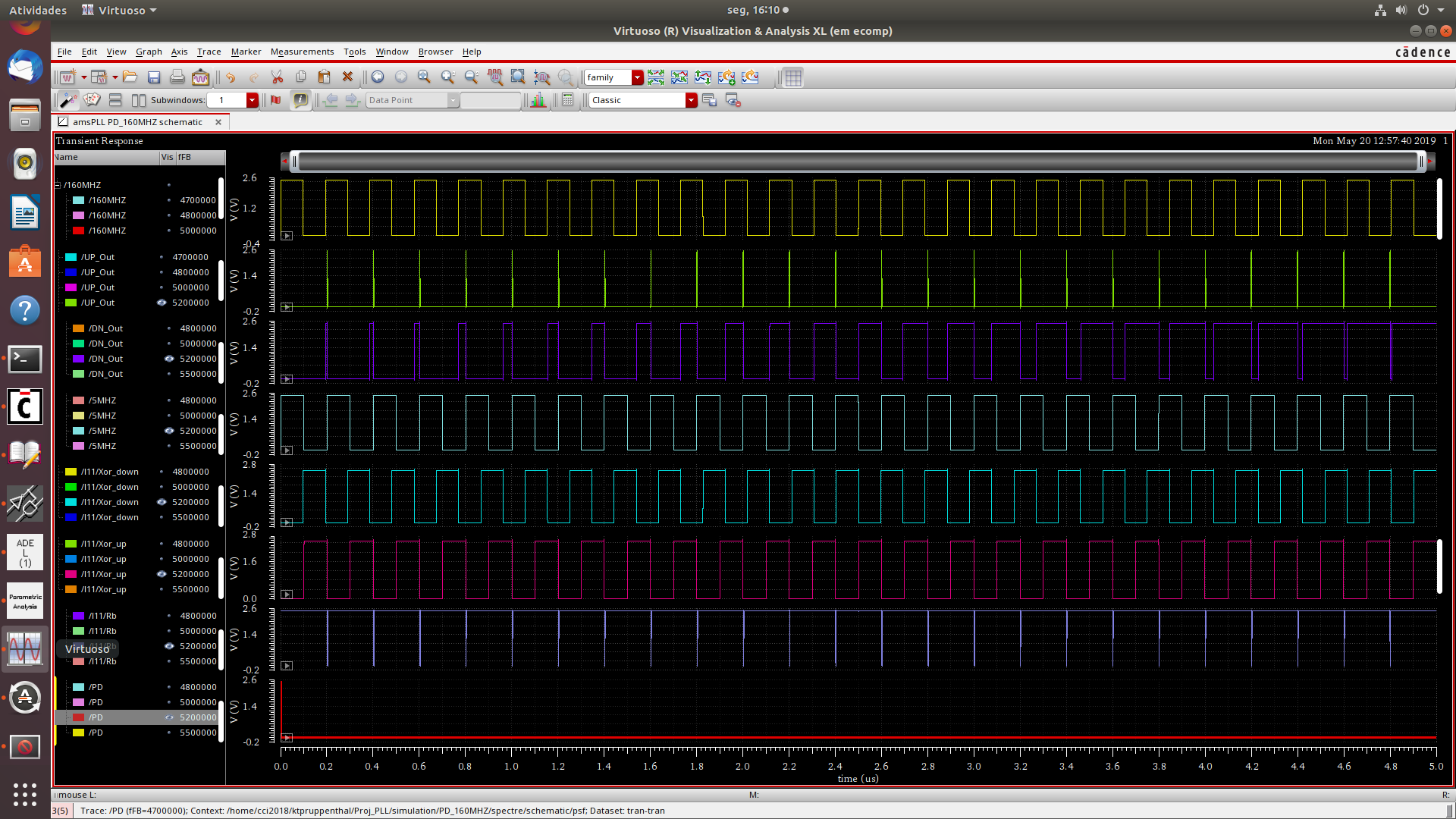
**Figura 4:** Bloco PD simulado.

Os sinais observados para a simulação, no circuito interno, foram diversos. O primeiro, foi o sinal **PD**, que funciona basicamente como um *reset* para o circuito. Observa-se nas **Figuras 5** e **6** que ele fica em nível alto apenas uma vez, no início, e depois permanece em zero. Outro sinal observado foi o **Rb**. Como ele permanece praticamente constante em nível alto (conforme **Figuras 5** e **6**) e está entrando nos dois Latches D (conforme **Figura 3**), isso significa que ele atua como o *enable* destes componentes.

Vistos estes dois sinais de habilitação, observa-se agora os sinais resultantes da lógica combinacional. Os sinais **Xor\_up** e **Xor\_down** são as saídas destas portas lógicas (XOR) e entradas do clock dos Latches. Vemos que conforme o valor vindo da frequência de feedback, a defasagem entre estes dois sinais, muda. Isso é justificado pelo fato de, o sinal que tiver que mandar mais pulsos, por exemplo mais pulsos de up resultará em um clock com mais frequência do que o outro. Essa defasagem pode ser vista na **Figura 5**, onde está sendo verificada a frequência de feedback de 4.7 MHz, a qual necessita mais pulsos de up, o que leva ao sinal **Xor\_up** possuir períodos menores (maior frequência). Na **Figura 6** podemos verificar a defasagem no caso da **Xor\_down**, pois o sinal de frequência de feedback é 5.2 MHz, o que gera mais pulsos de down.

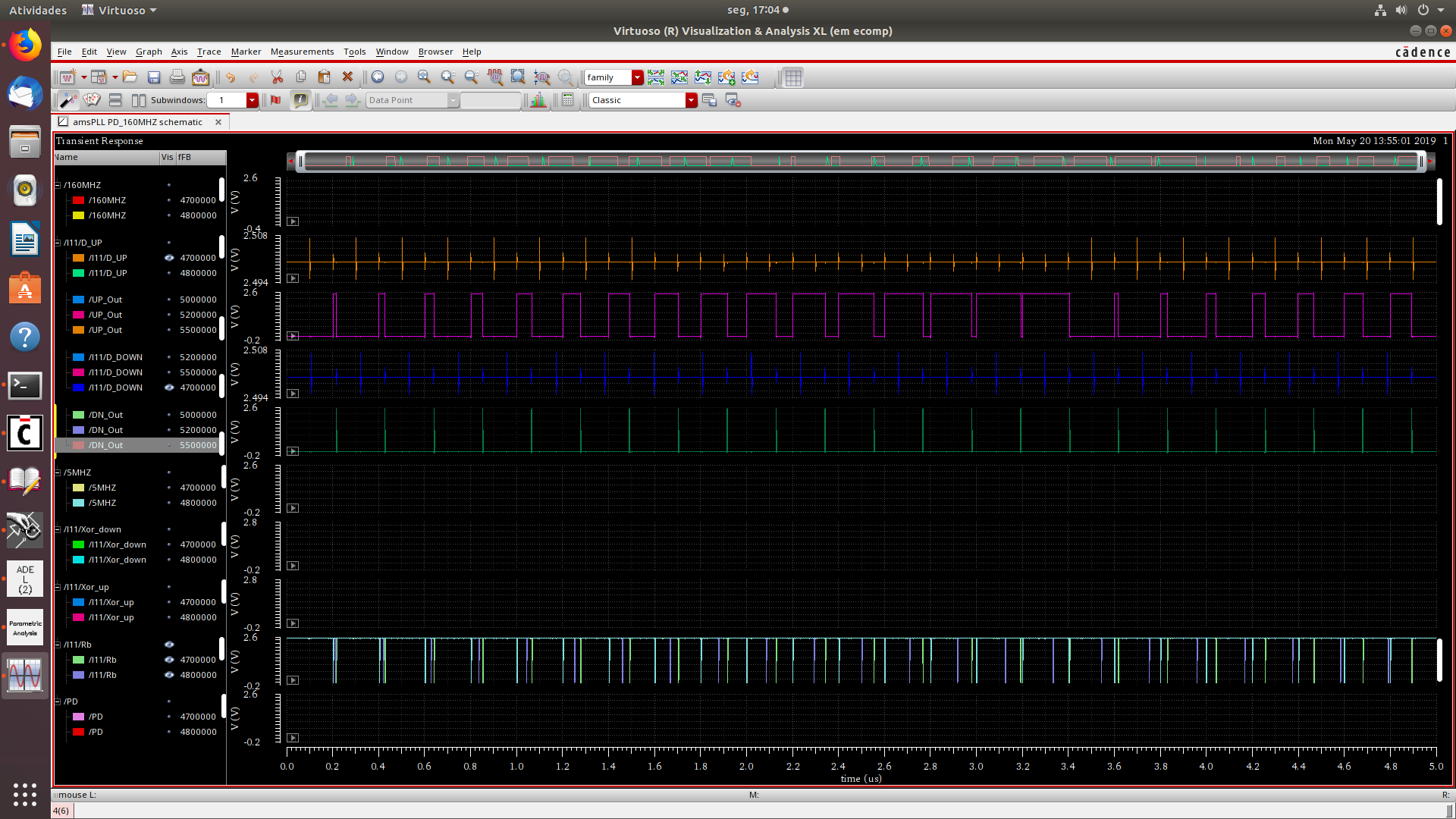
****

**Figura 5:** Simulação de sinais internos do Bloco PD (1).



**Figura 6:** Simulação de sinais internos do Bloco PD (2).

Ainda no circuito interno ao bloco, verificamos os sinais **D\_UP** e **D\_DOWN**. Estes sinais são oriundos de Y, representado pela **Figura 3** e entram no D do Latch D. Como pode ser visto na **Figura 7**, quando são necessários mais pulsos de up, o sinal **D\_UP** diminui consideravelmente a sua amplitude (exatamente onde os pulsos de up ficam mais frequentes), enquanto o **D\_DOWN** permanece constante. De modo análogo, o sinal **D\_DOWN** diminui sua amplitude quando a frequência de feedback se torna maior do que 5 MHz, e **D\_UP** fica estável. Isso pode ser explicado pelo simples fato de as entradas D e as saídas Out serem grandezas inversamente proporcionais, devido ao uso do Latch. As saídas **UP\_Out** e **DN\_Out** também podem ser vistas nas **Figuras 7** e **8**, com suas oscilações para tentarem atingir os 5MHz.

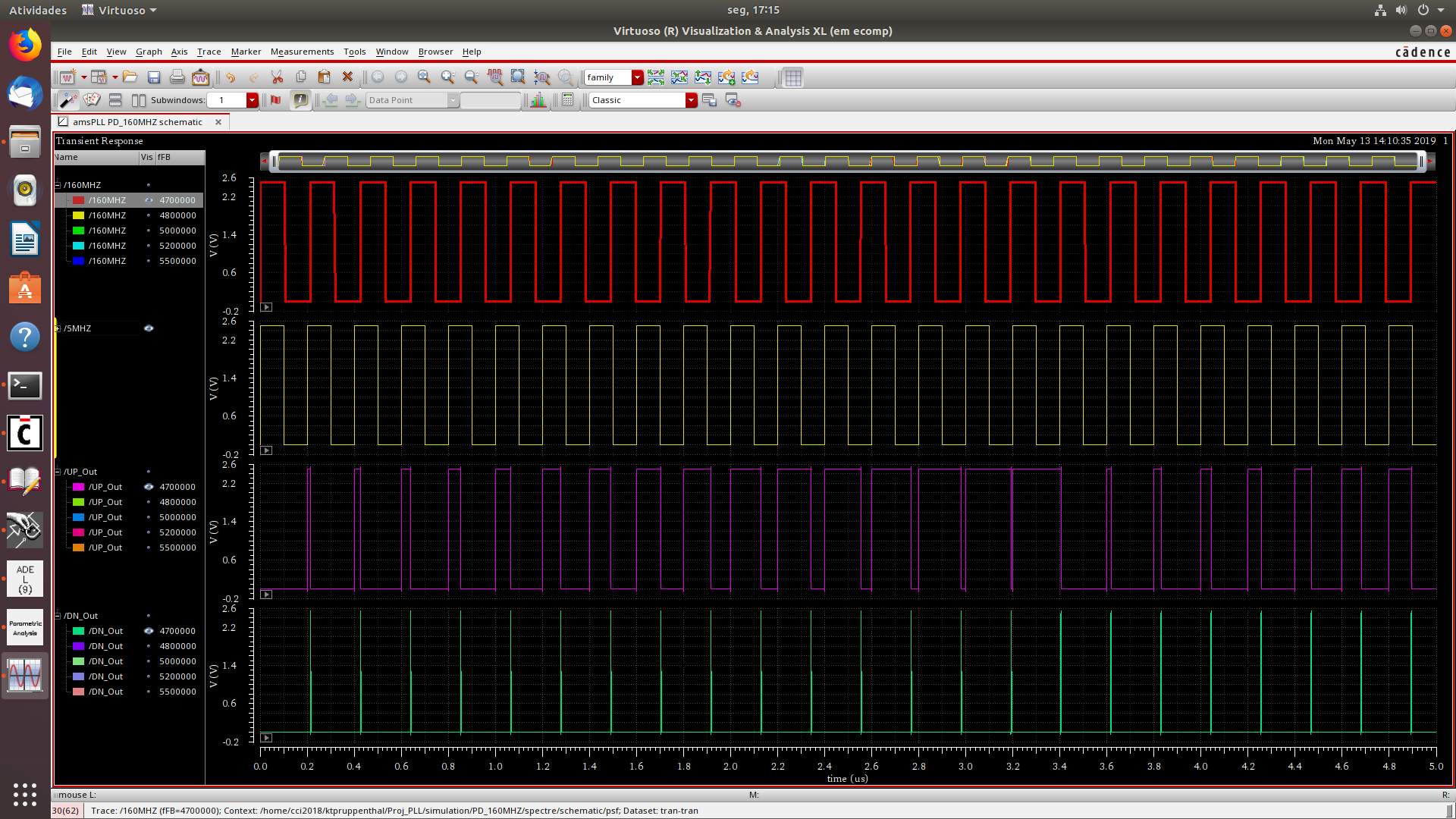


**Figura 7:** Simulação de sinais D internos do Bloco PD (1).

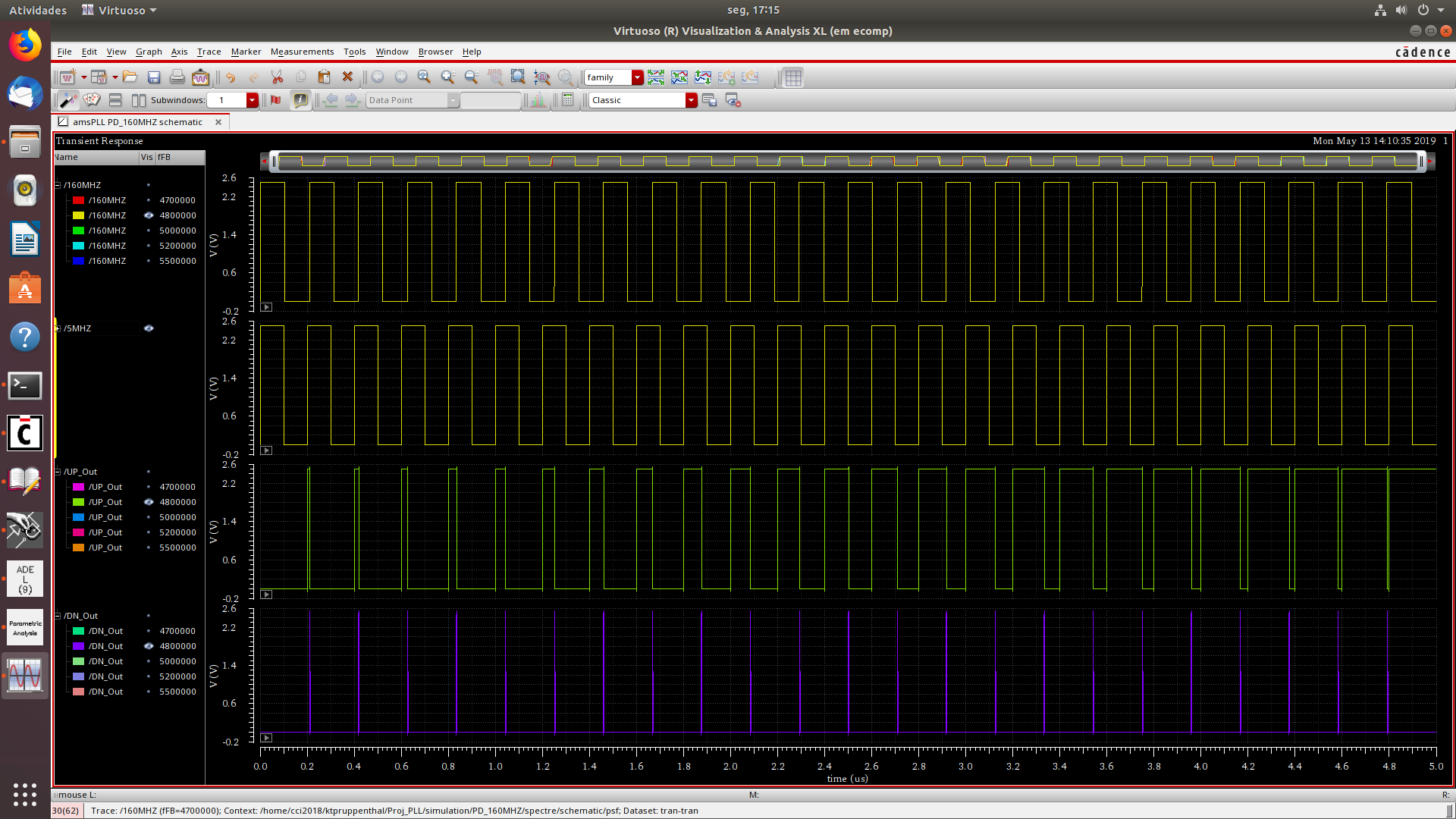


**Figura 8:** Simulação de sinais D internos do Bloco PD (2).

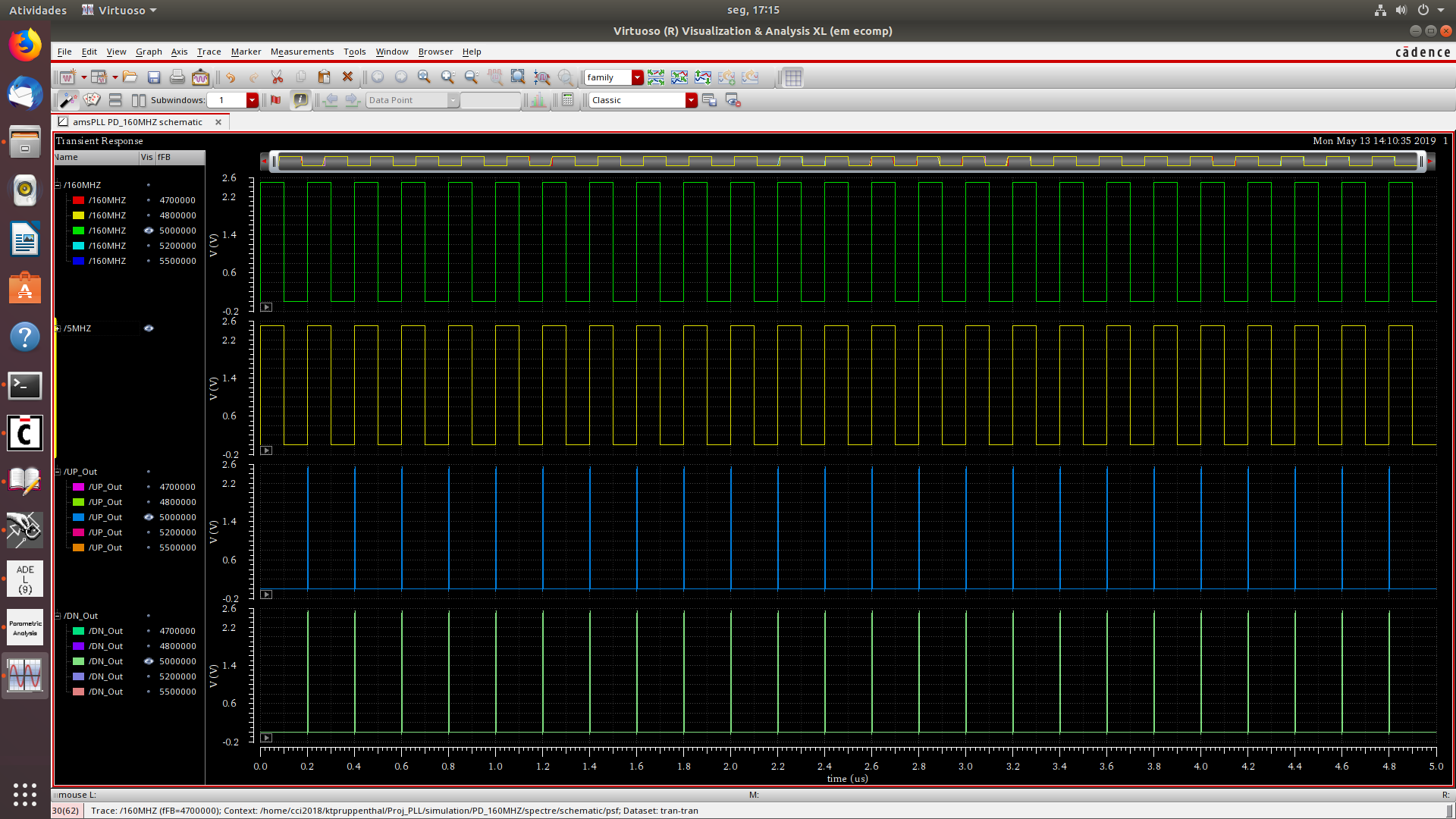
Feita a análise interna de sinais, partimos agora para a análise externa do bloco. A simulação paramétrica foi a melhor prática adotada, visto que obteve-se uma simulação completa de forma mais simples. As **Figuras 9** a **13** demonstram as simulações para os valores de 4.7 MHz, 4.8 MHz, 5.0 MHz, 5.2 Mhz e 5.5 MHz. Nota-se que a saídas **UP\_Out** e **DN\_Out** variam conforme o valor de frequência de feedback: caso esta seja maior do que 5 MHz, o circuito gera mais pulsos de **DN\_Out**; caso esteja menor do que 5 MHz, o circuito gera mais **UP\_Out**.



**Figura 9:** Simulação com sinal de feedback de 4.7 MHz.



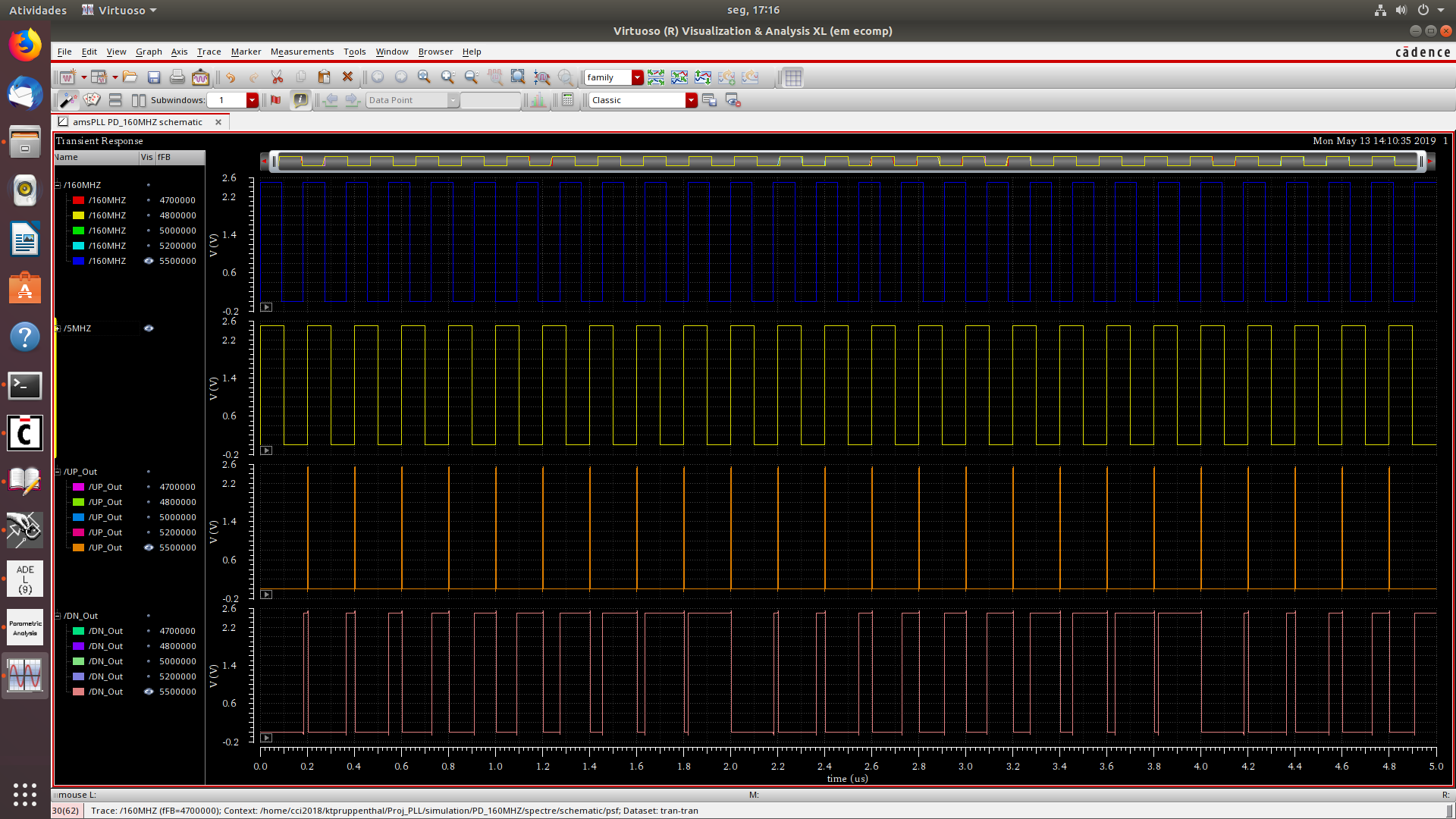
**Figura 10:** Simulação com sinal de feedback de 4.8 MHz.



**Figura 11:** Simulação com sinal de feedback de 5.0 MHz.

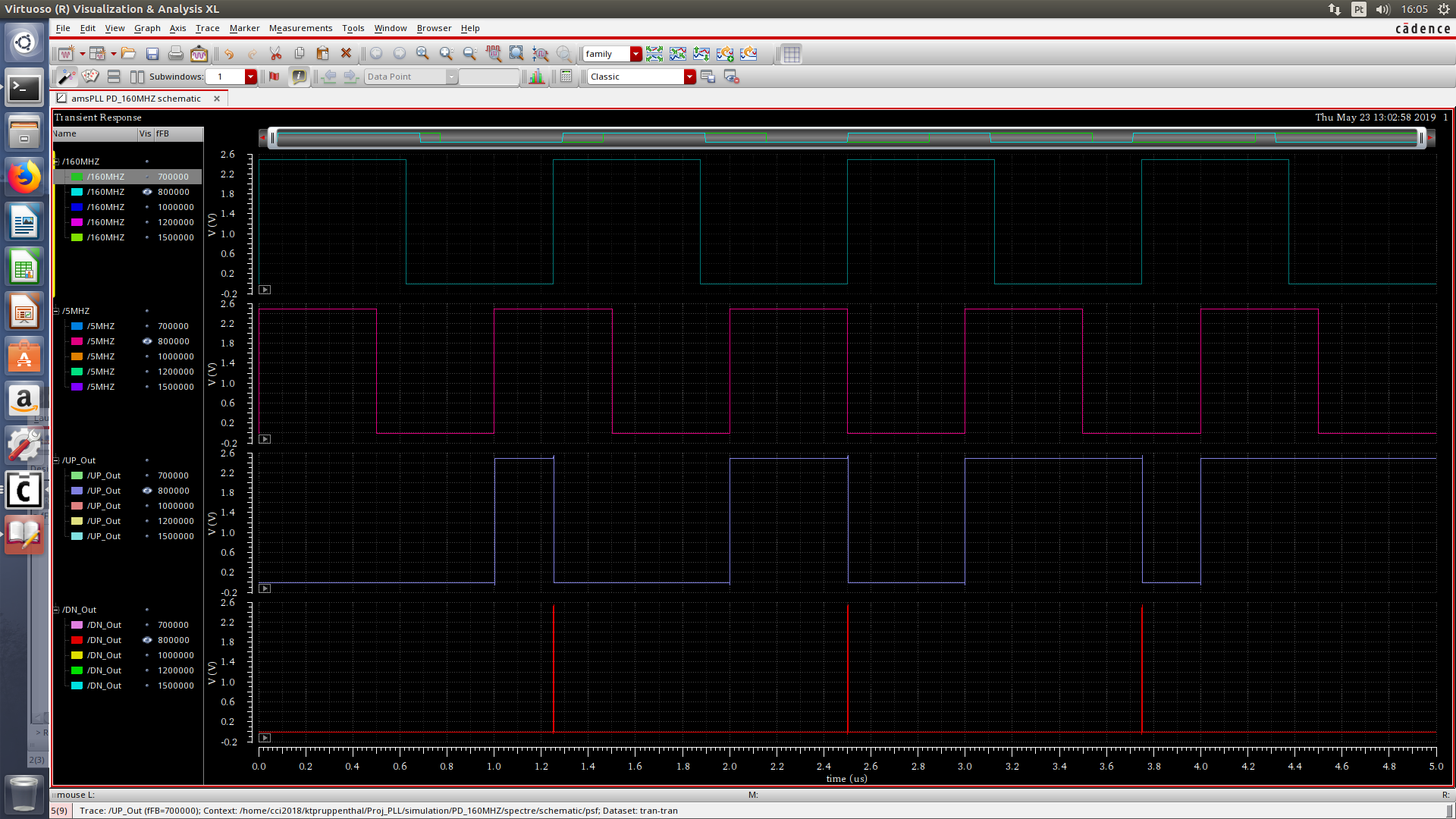


**Figura 12:** Simulação com sinal de feedback de 5.2 MHz.

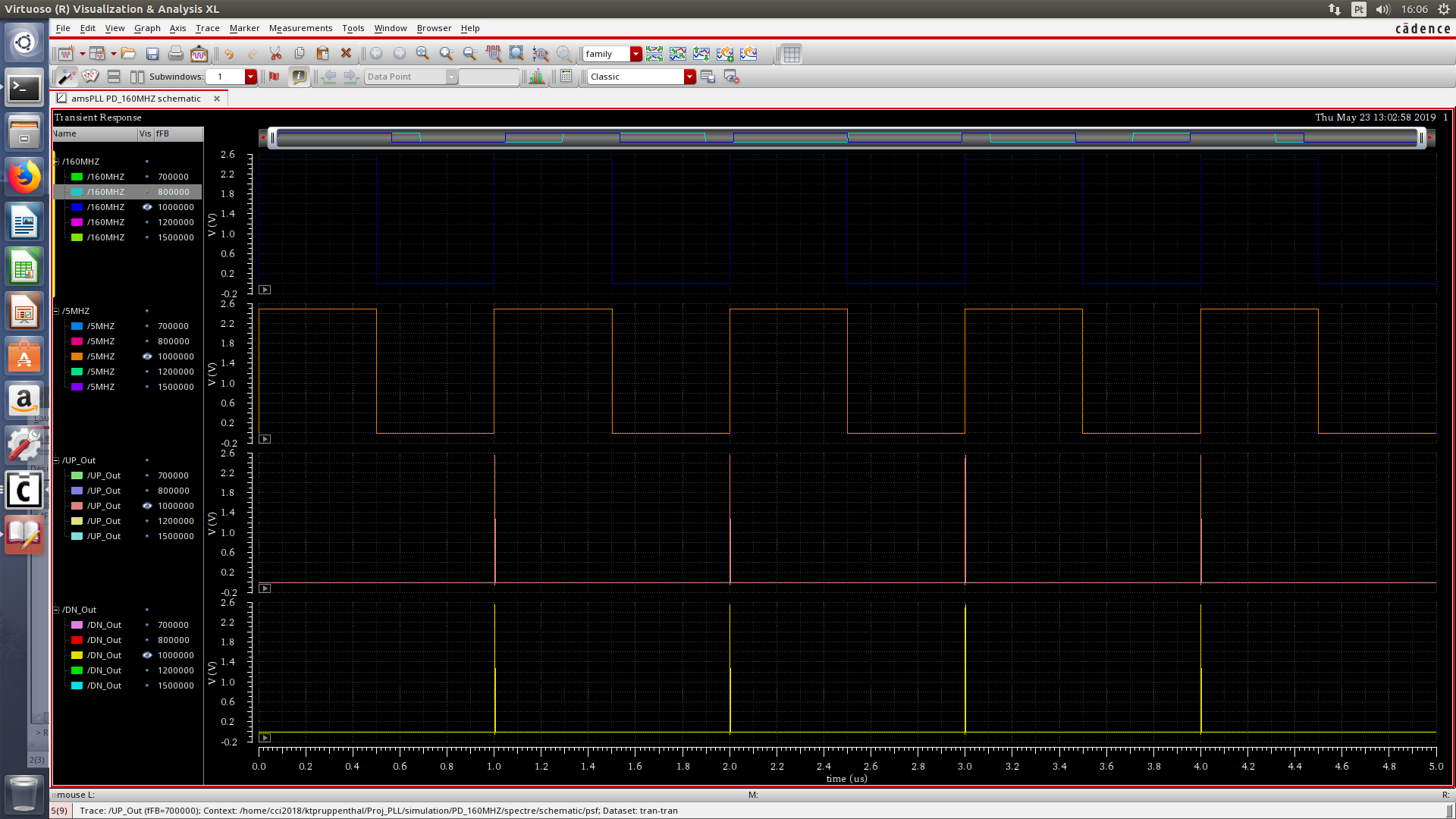


**Figura 13:** Simulação com sinal de feedback de 5.5 MHz.

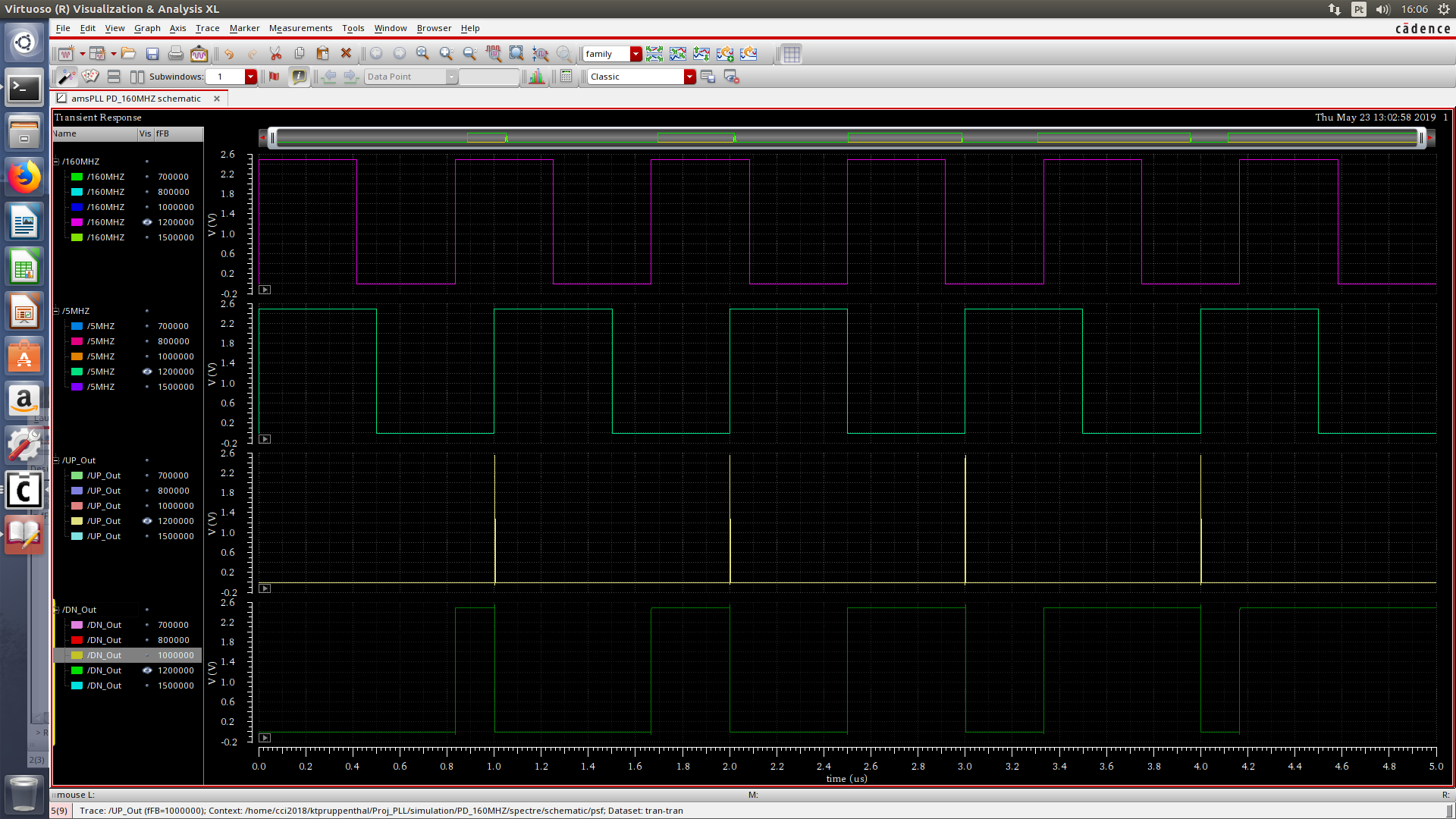
Por último, foi feita uma simulação alterando-se o valor da frequência de referência. Os valores simulados foram 1 MHz, 10 MHz, 15 MHz, 20 MHz e 25 MHz. Esta simulação foi feita com o objetivo de verificar até quando o circuito opera de forma adequada. O resultado foi que ele opera para todos estes valores de frequência, o que é muito bom, pois torna o circuito adaptável a diferentes aplicações eletrônicas. As figuras a seguir demonstram os resultados obtidos. A ordem dos sinais, de cima para baixo, é frequência de feedback, frequência de referência, UP\_Out e DN\_Out.



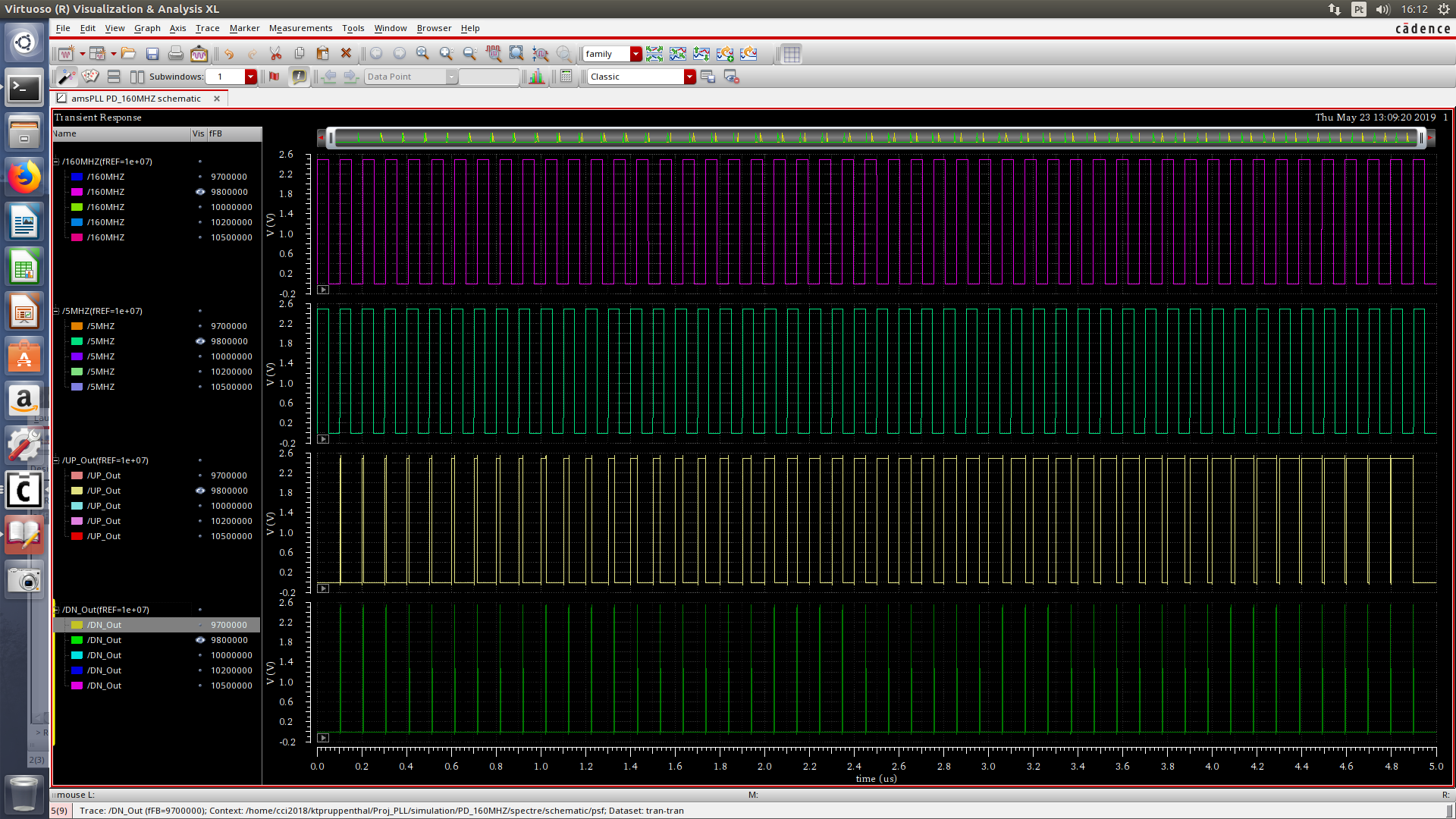
**Figura 14:** Simulação com frequência de referência de 1 MHz e sinal de feedback de 0.8 MHz.



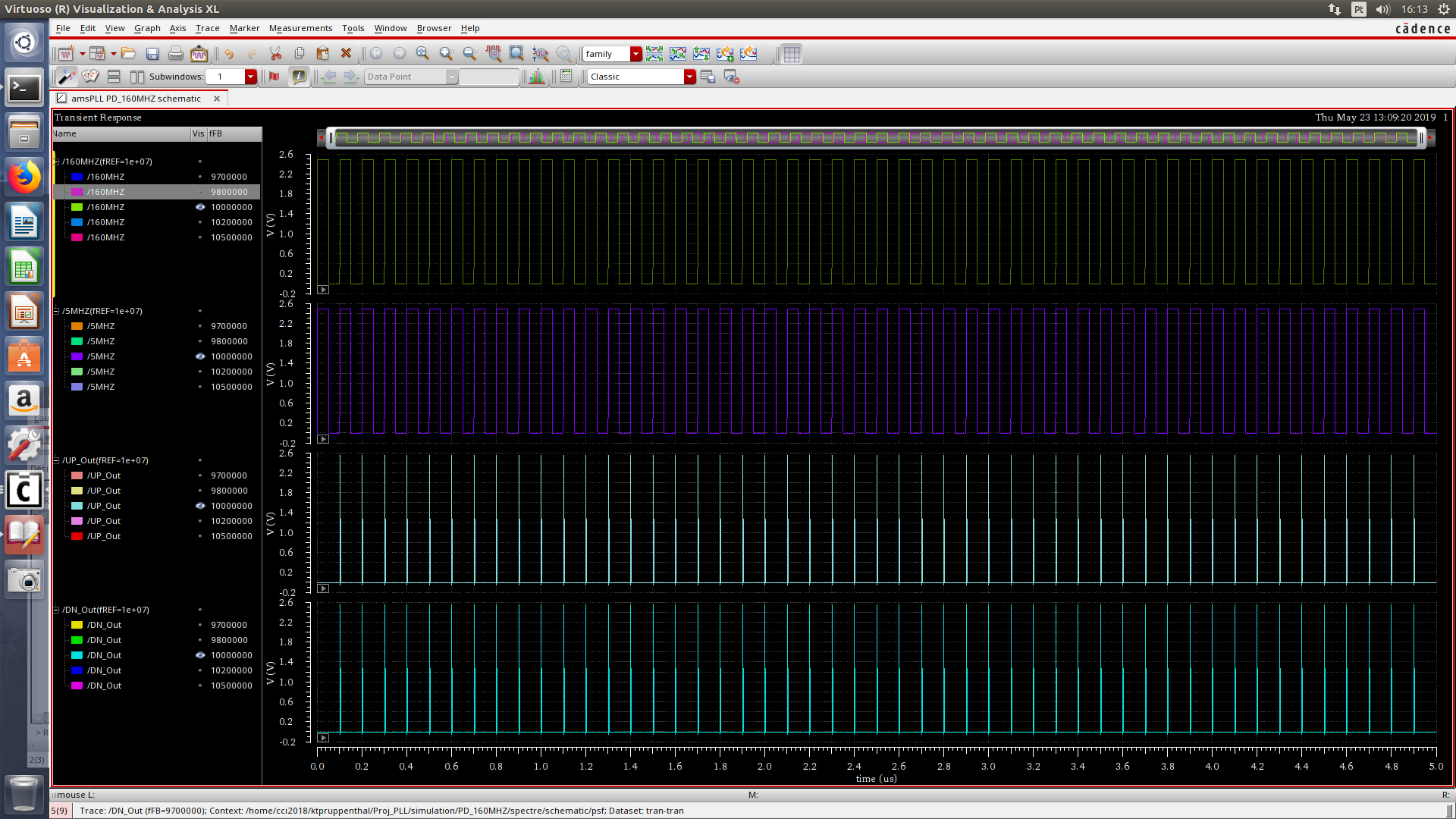
**Figura 15:** Simulação com frequência de referência de 1 MHz e sinal de feedback de 1 MHz.



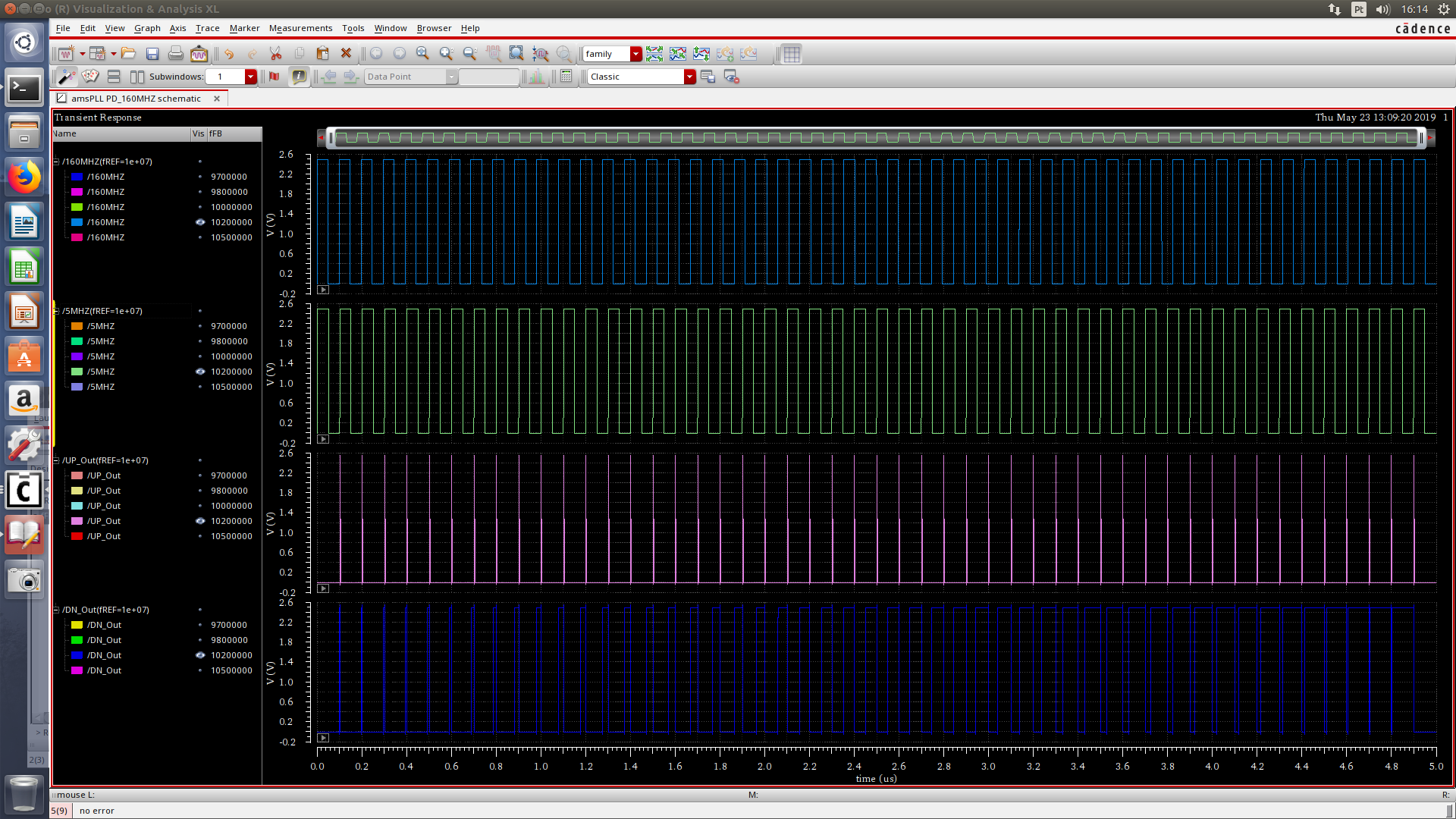
**Figura 16:** Simulação com frequência de referência de 1 MHz e sinal de feedback de 1.2 MHz.



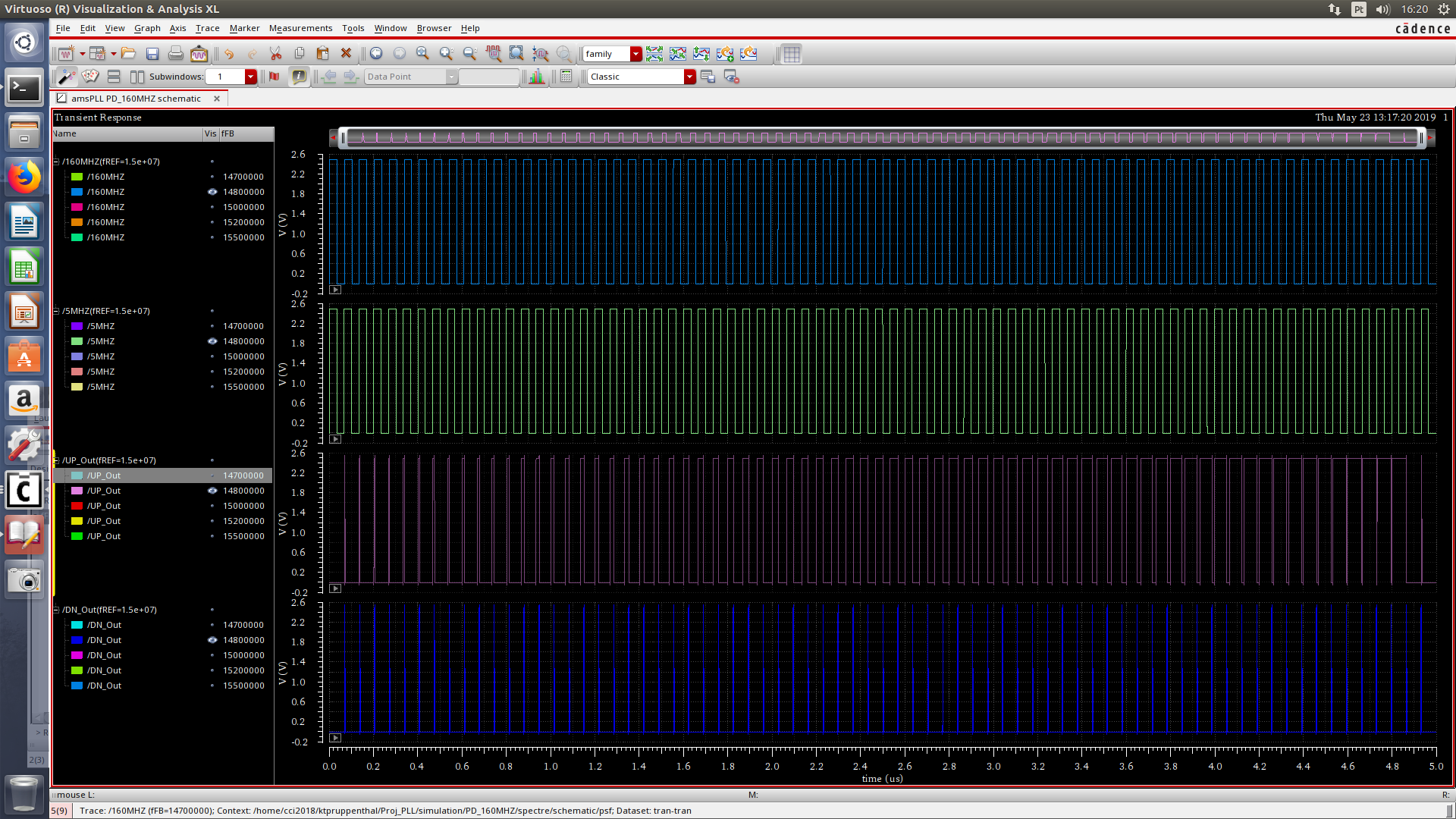
**Figura 17:** Simulação com frequência de referência de 10 MHz e sinal de feedback de 9.8 MHz.



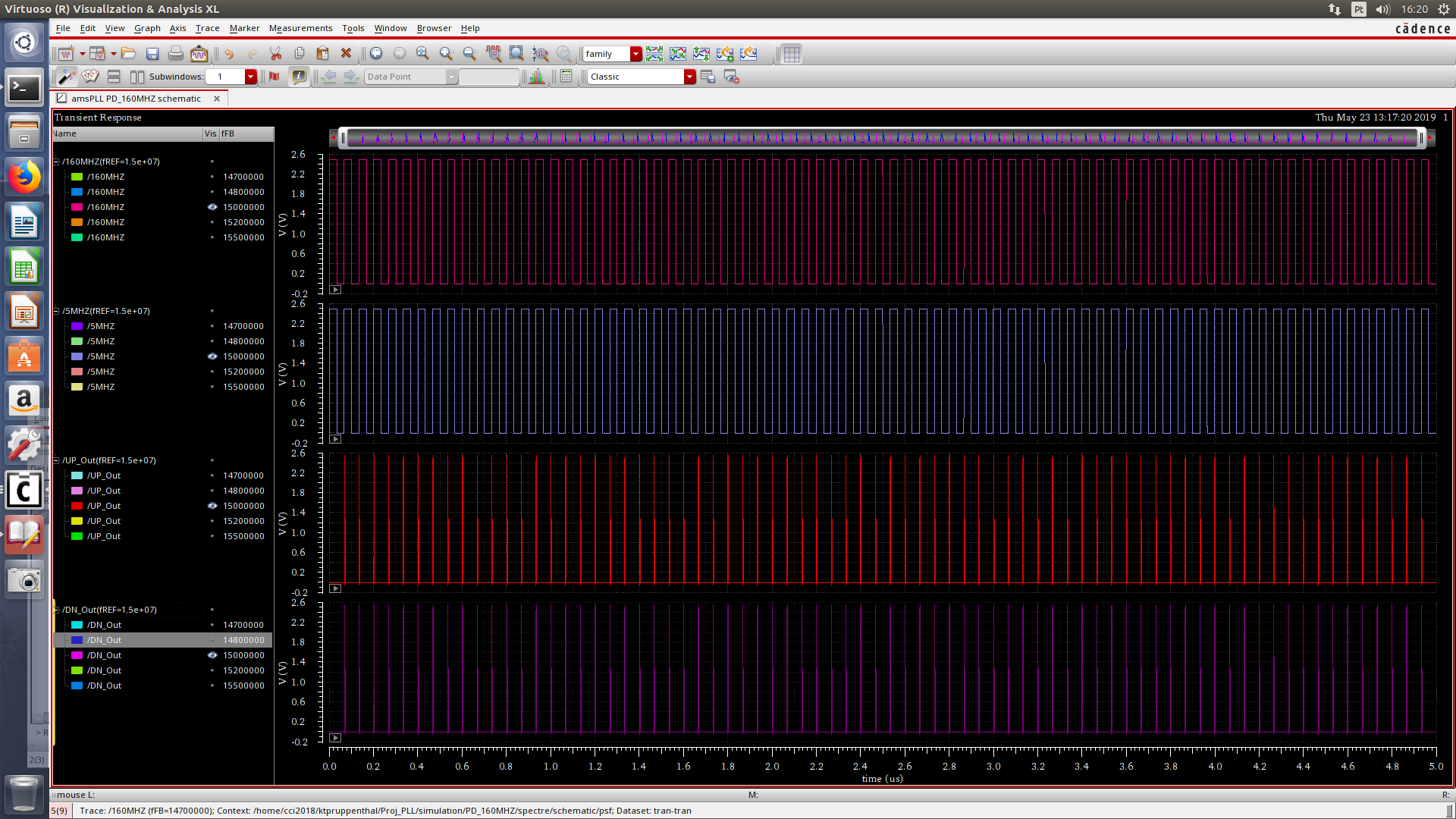
**Figura 18:** Simulação com frequência de referência de 10 MHz e sinal de feedback de 10 MHz.



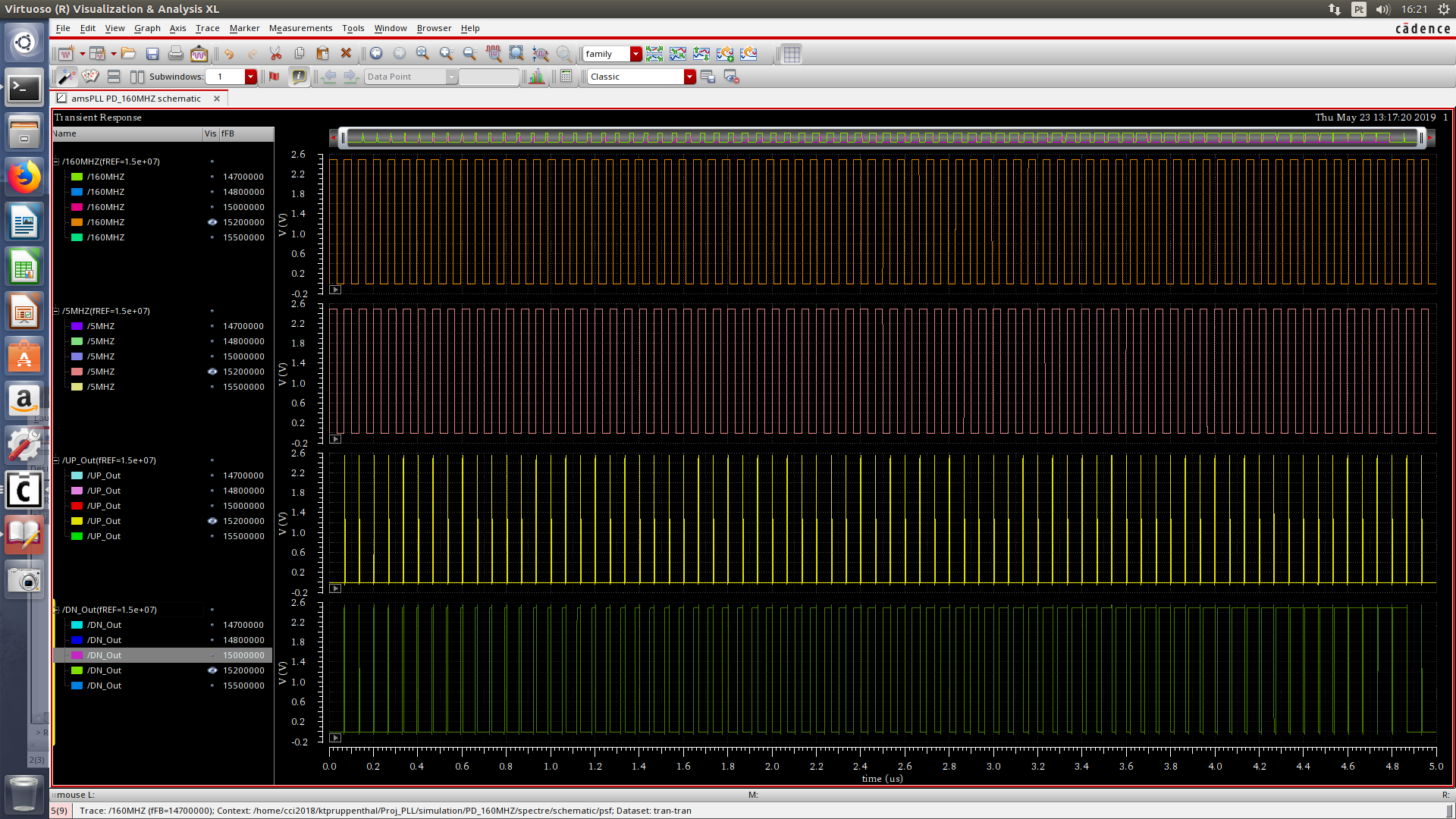
**Figura 19:** Simulação com frequência de referência de 10 MHz e sinal de feedback de 10.2 MHz.



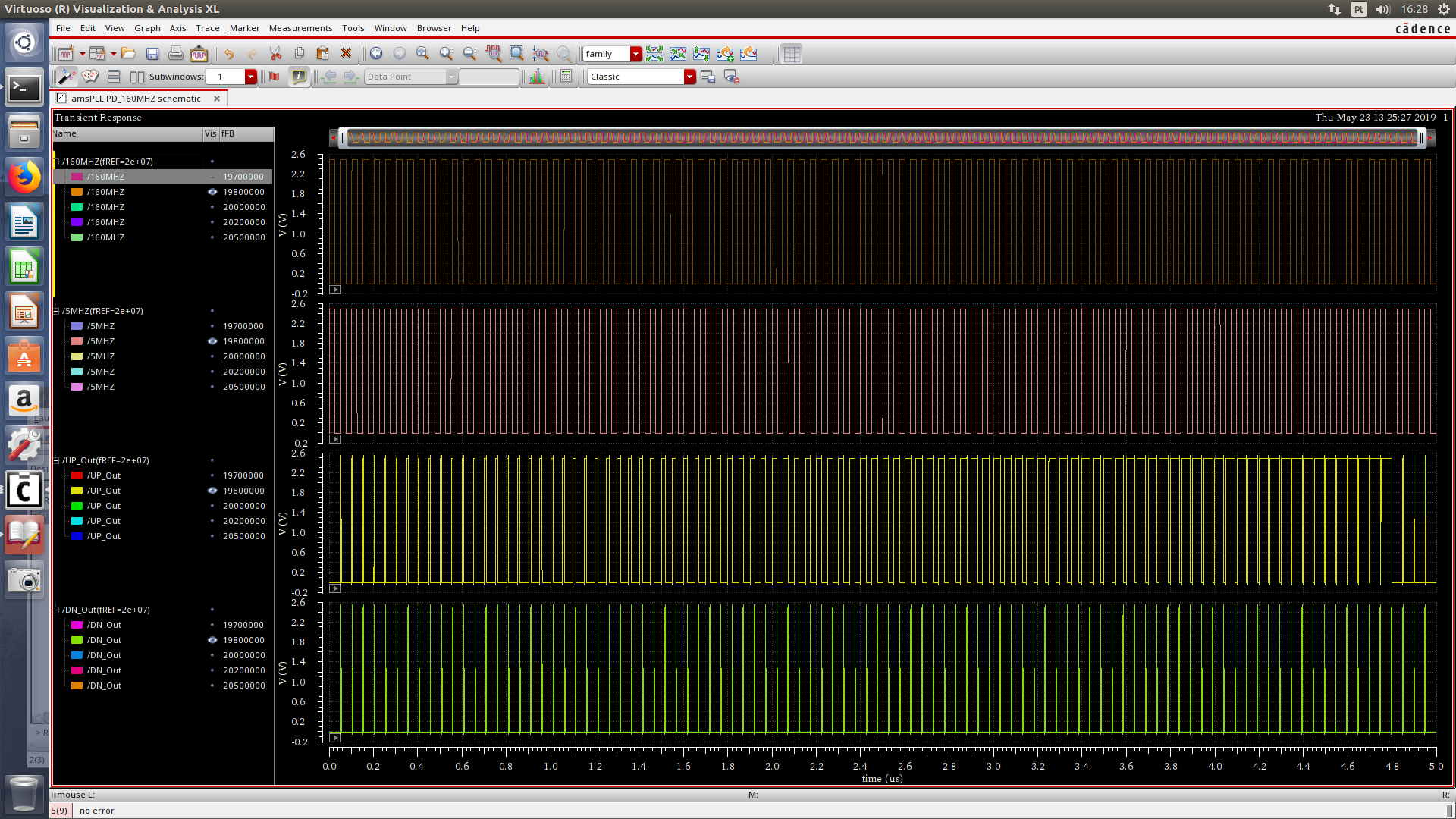
**Figura 20:** Simulação com frequência de referência de 15 MHz e sinal de feedback de 14.8 MHz.



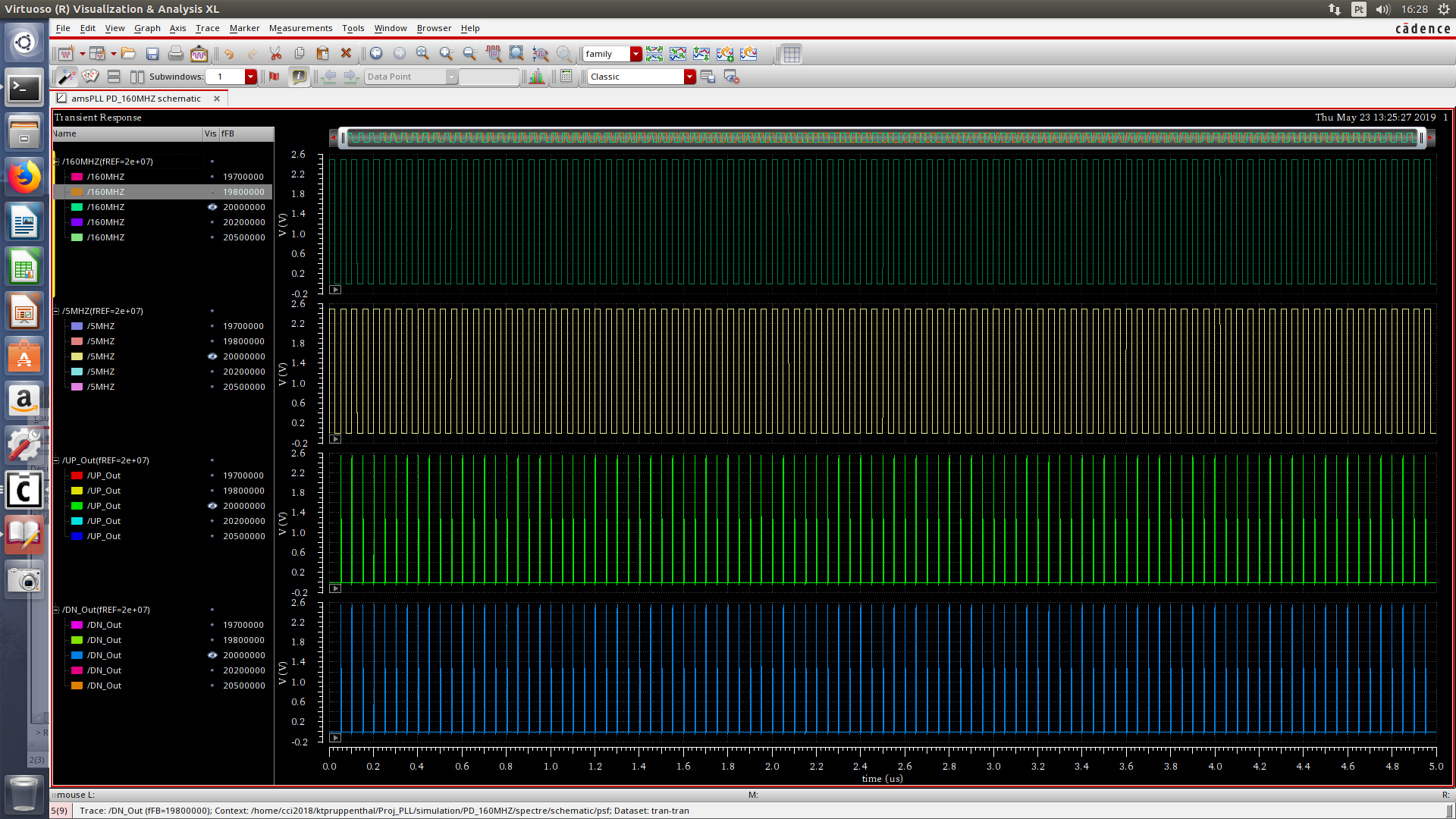
**Figura 21:** Simulação com frequência de referência de 15 MHz e sinal de feedback de 15 MHz.



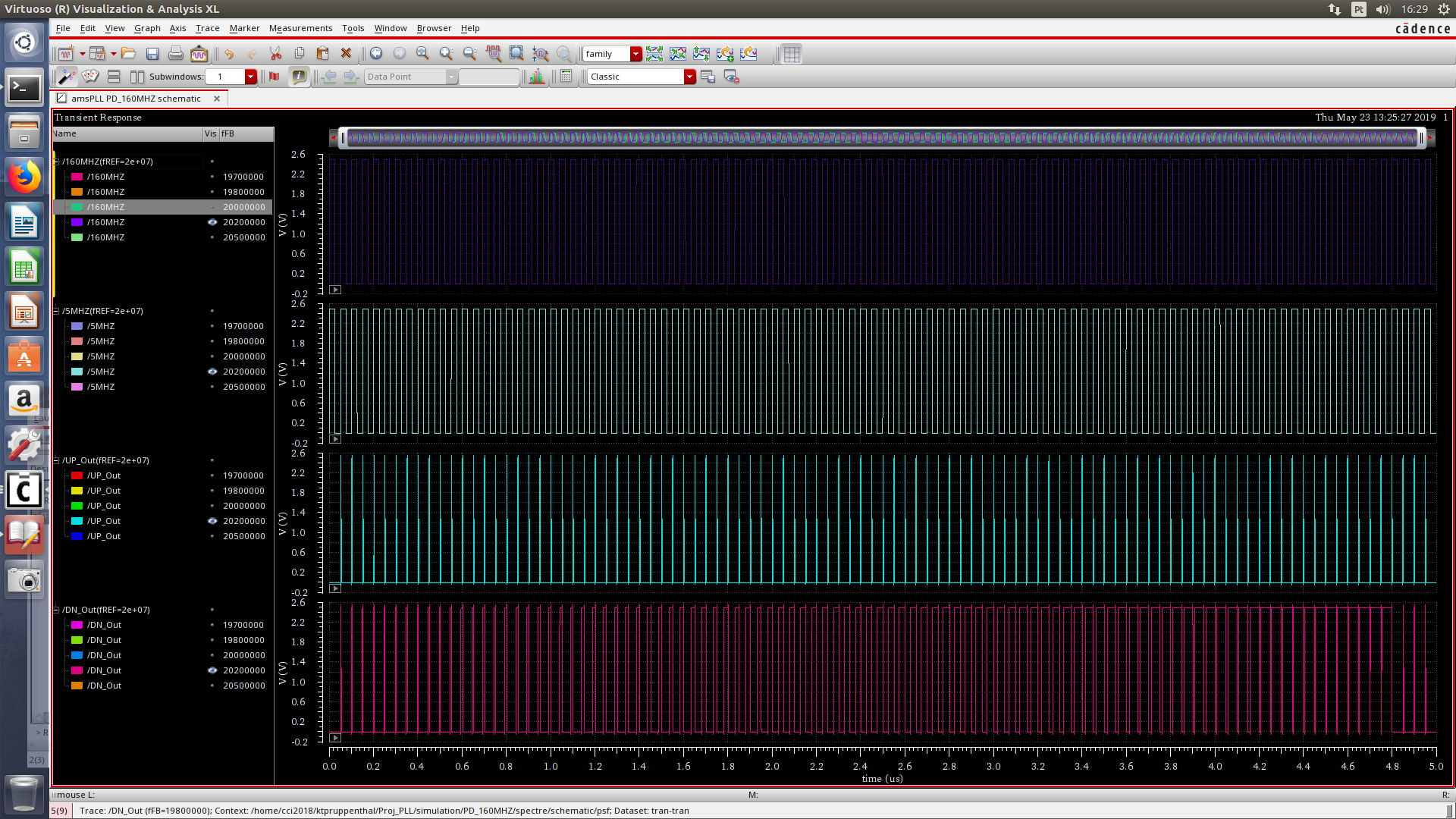
**Figura 22:** Simulação com frequência de referência de 15 MHz e sinal de feedback de 15.2 MHz.



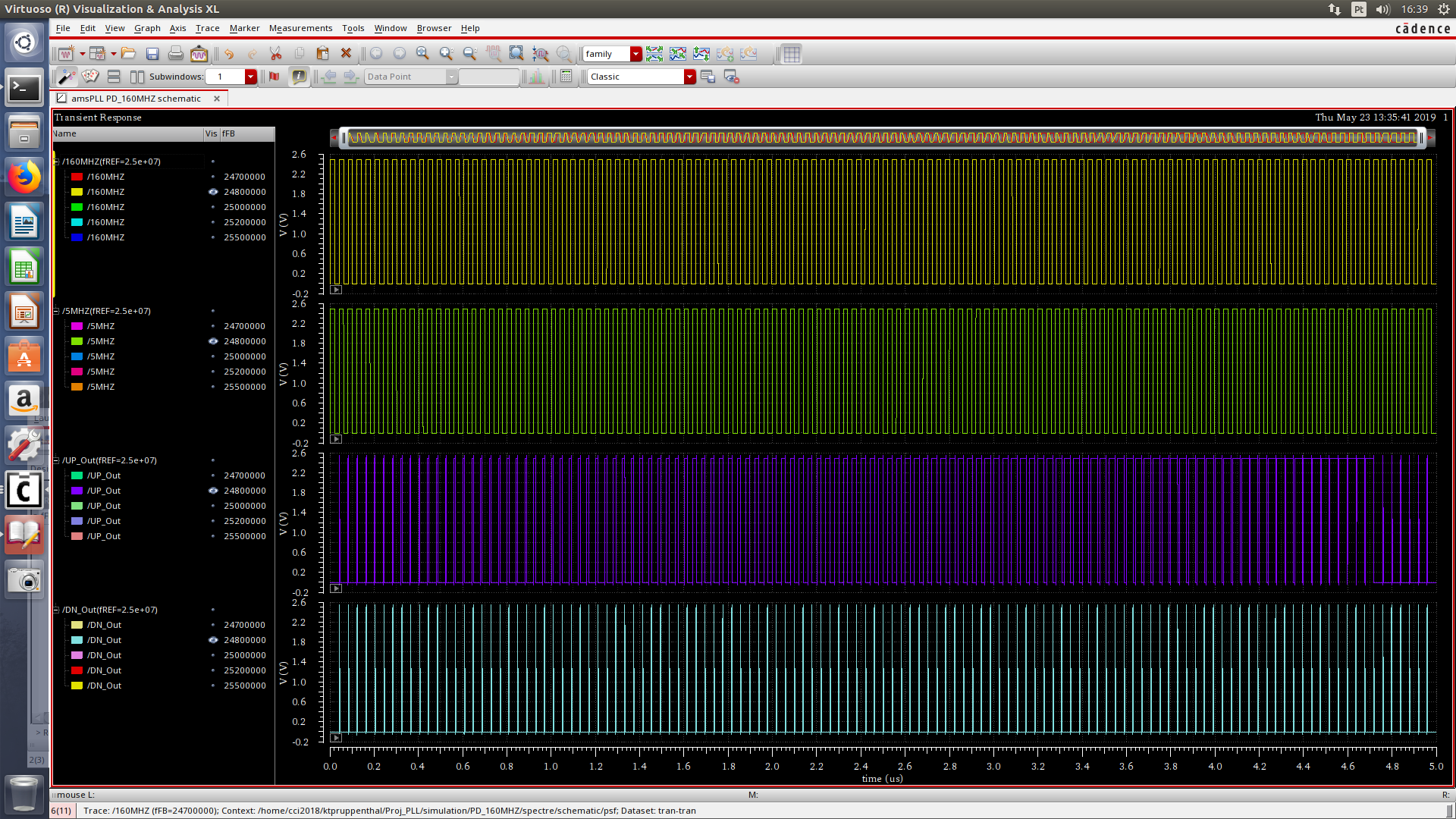
**Figura 23:** Simulação com frequência de referência de 20 MHz e sinal de feedback de 19.8 MHz.



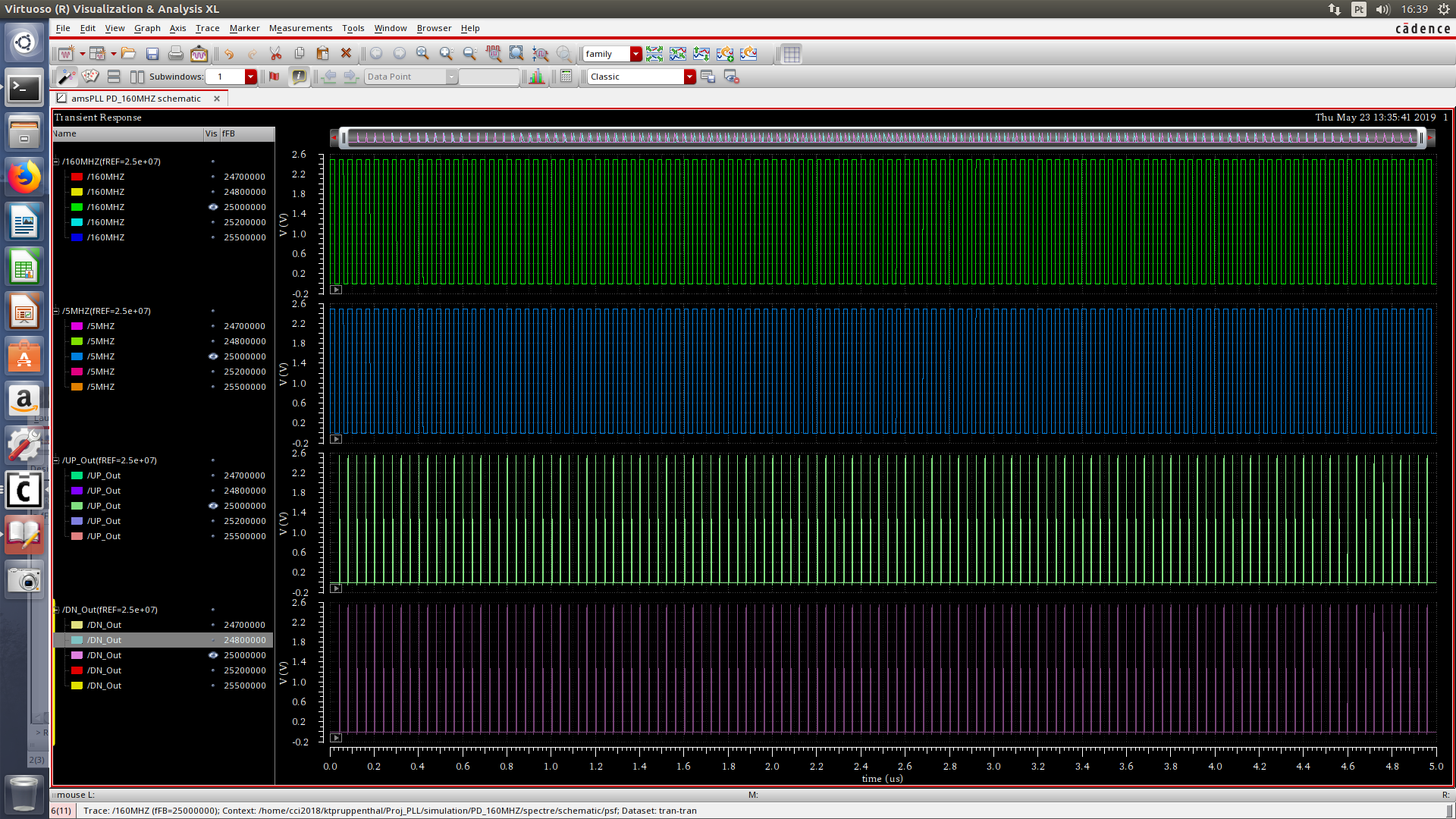
**Figura 24:** Simulação com frequência de referência de 20 MHz e sinal de feedback de 20 MHz.



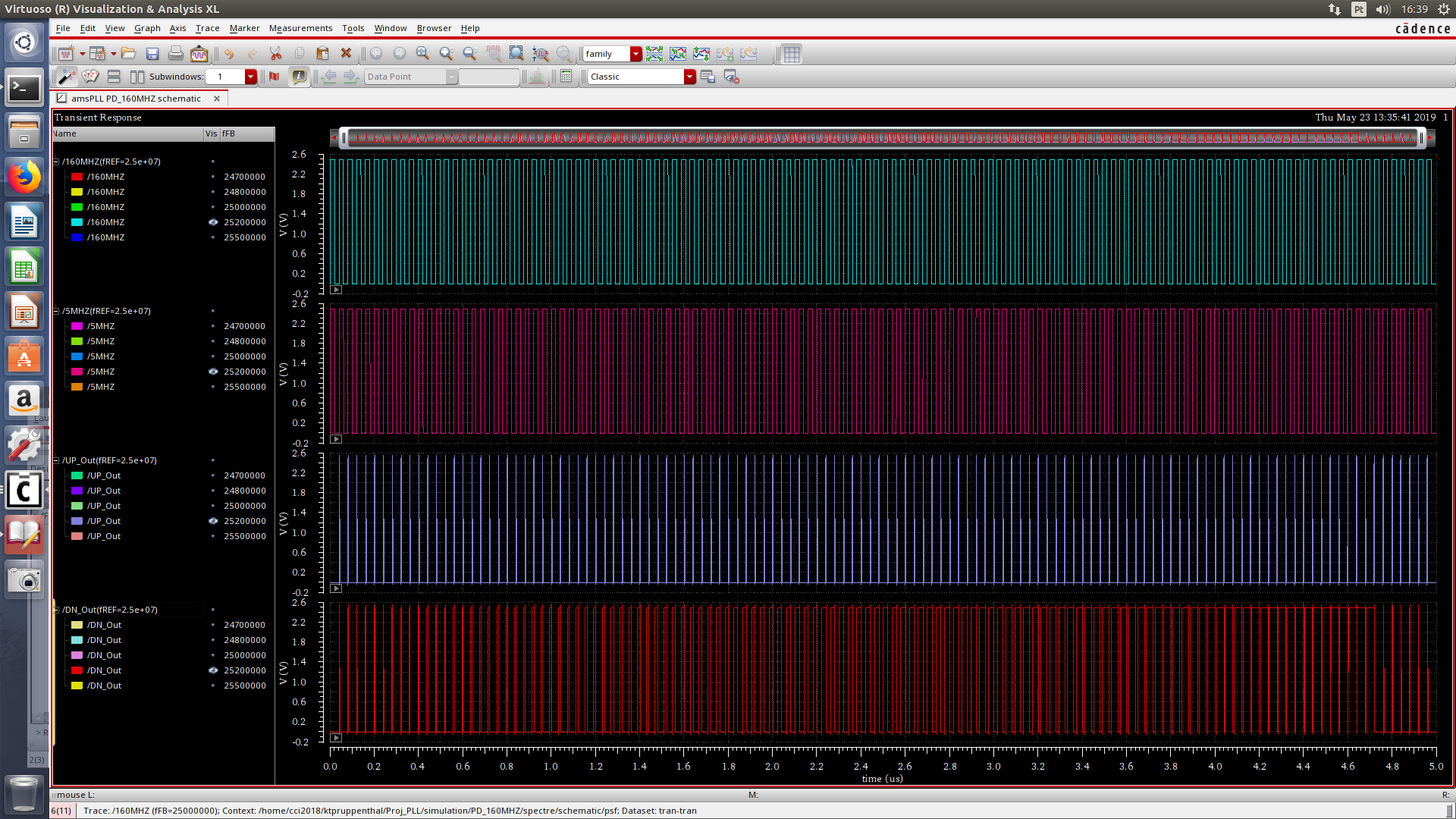
**Figura 25:** Simulação com frequência de referência de 20 MHz e sinal de feedback de 20.2 MHz.



**Figura 26:** Simulação com frequência de referência de 25 MHz e sinal de feedback de 24.8 MHz.



**Figura 27:** Simulação com frequência de referência de 25 MHz e sinal de feedback de 25 MHz.



**Figura 28:** Simulação com frequência de referência de 25 MHz e sinal de feedback de 25.2 MHz.

**4. Conclusão**

Como foi verificado, a funcionalidade do bloco detector de fase baseia-se na verificação das duas frequências de entrada: a de referência (5MHz) e a de feedback, que vem do VCO. Com a simulação paramétrica, pudemos observar que o circuito opera exatamente como o esperado, ou seja, quando a frequência de feedback era menor do que 5 MHz, o bloco respondia dando mais pulsos de UP, caso contrário, eram gerados mais pulsos de DN. Quando a frequência de 5MHz era atingida, os pulsos eram iguais.

Desse modo, entendemos que o bloco detector de fase é extremamente importante para o bom funcionamento do PLL, uma vez que a constante comparação para a verificação de quando a frequência desejada é atingida, é o que garante a precisão e confiabilidade de um circuito desse tipo. Sua operabilidade está diretamente ligada com o resultado deste bloco, sendo que a interconexão e dependência de todos os estágios do PLL necessitam de resultados precisos em todos os blocos do mesmo.

**Referências**

[1] “*Como funciona o PLL*”. Disponível em :<<https://www.newtoncbraga.com.br/index.php/como-funciona/6528-como-funciona-o-pll-art1063>>. Acesso em: 24 maio 2019.

[2] Material disponibilizado pelo professor.

1. Acadêmico(a) do curso de Engenharia de Computação da Universidade Federal de Santa Maria - UFSM, matrícula: 201322332, e-mail: giuliano.benedeti@ecomp.ufsm.br [↑](#footnote-ref-0)
2. Acadêmico(a) do curso de Engenharia de Computação da Universidade Federal de Santa Maria - UFSM, matrícula: 201520603, e-mail: kelitauana@gmail.com [↑](#footnote-ref-1)
3. Acadêmico (a) do curso de Engenharia de Computação da Universidade Federal De Santa Maria- UFSM, matrícula: 201520835, e-mail: [victor.bento@ecomp.ufsm.br](mailto:victor.bento@ecomp.ufsm.br) [↑](#footnote-ref-2)