



Desenvolver um circuito em VHDL sintetizável seguindo as especificações abaixo:



Especificação funcional:

O circuito deve receber um vetor de 10 elementos e realizar a ordenação. Quando os elementos estiverem ordenados, o pino de saída “sorted” deve ser colocado em nível lógico “1”. O pino de entrada “reset” inicia a ordenação do vetor.

Requisitos não funcionais:

Power: 10mw

Área: 50um²

Performance:

Best Case- 18ns

Worst Case- 180ns

Etapa 1)

Desenvolver a Máquina de estados do circuito

Etapa 2)

Desenvolver o Circuito em Logisim

Etapa 3)

Desenvolver o Circuito em VHDL sintetizável

Etapa 4)

Extração e comparação dos resultados

Apresentação:

29/10 e 31/10 – Etapa 1 e 2

12/11, 14/11 e 19/11– Circuito Raiz Estrutural Modificado e Comportamental

03/12, 05/12 e 10/12 – Etapa 3 e 4