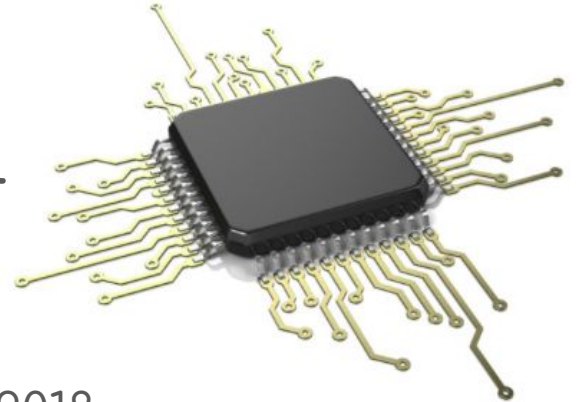


# Comparação de Circuitos SquareRoot

Alunos:

Keli Tauana Prass Ruppenthal

Victor Dallagnol Bento



Santa Maria/ Outubro de 2018

# Apresentação

- Objetivos: estudo e planejamento de uma boa máquina de estados e de um *Data Path* correspondente;
- Foco do grupo: desempenho. Para tanto, a área e a potência não serão de grande preocupação;
- Ferramentas utilizadas: *Fizzim*, *Logisim*, ISE Design Suite, NCLaunch.

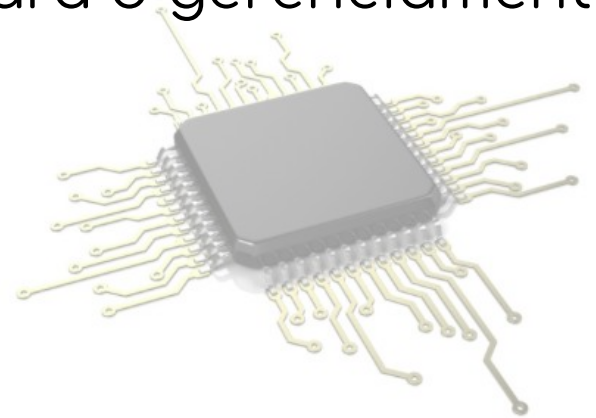


# Motivação

- Escolha de componentes conforme descrição do código;
- Cada variável é armazenada em um registrador (inclusive a *Ready*), o que gerou 5 registradores no circuito;
- Para cálculos em paralelo, utilização de 2 somadores;



- Comparação feita logo após a soma, 1 comparador em série com somador;
- Multiplexadores (6) para a gravação de dados nos registradores e entrada de operandos nos somadores;
- Portas lógicas (AND, OR e NOT) para o gerenciamento do *enable* do registrador *Ready*.



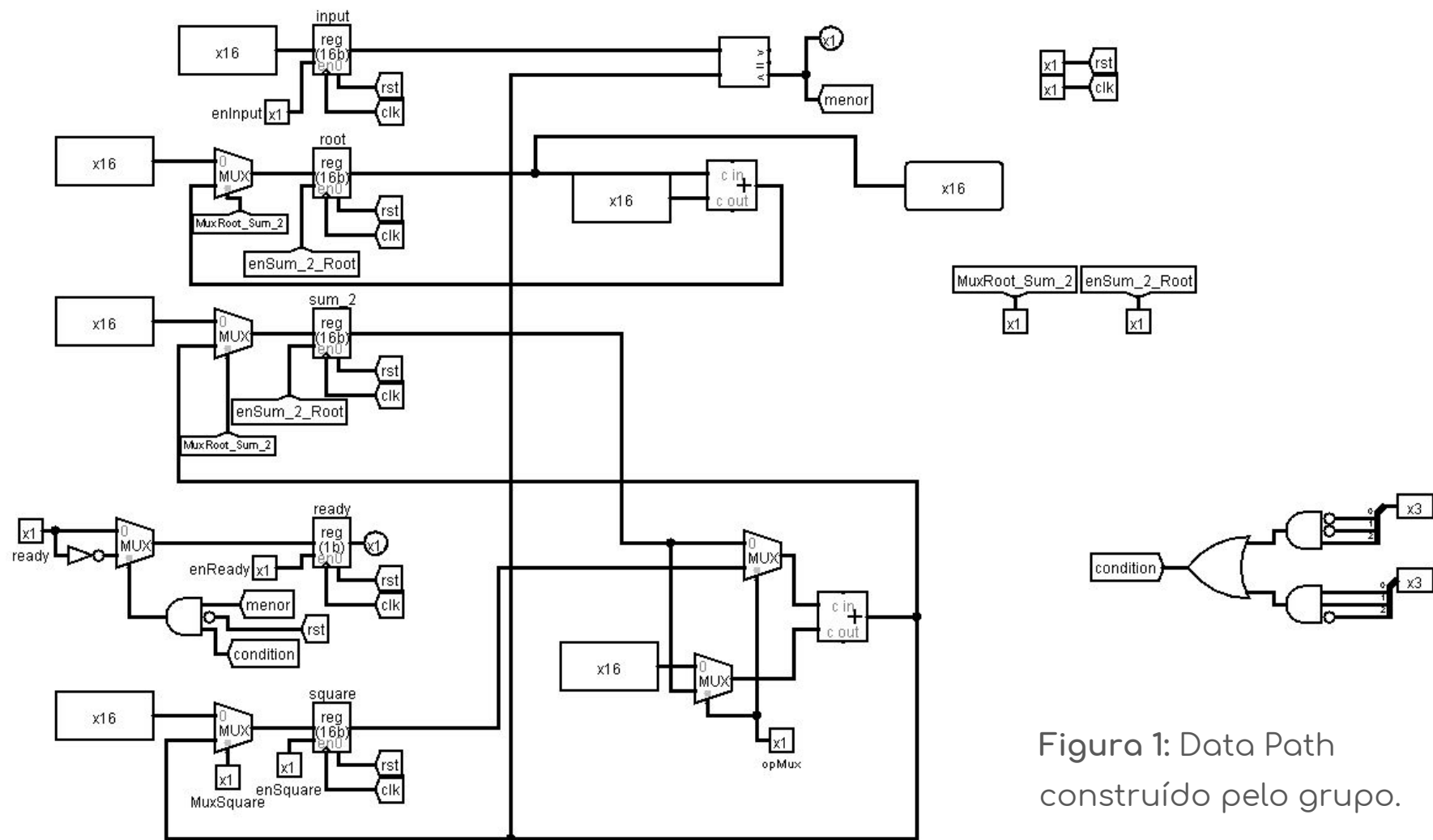
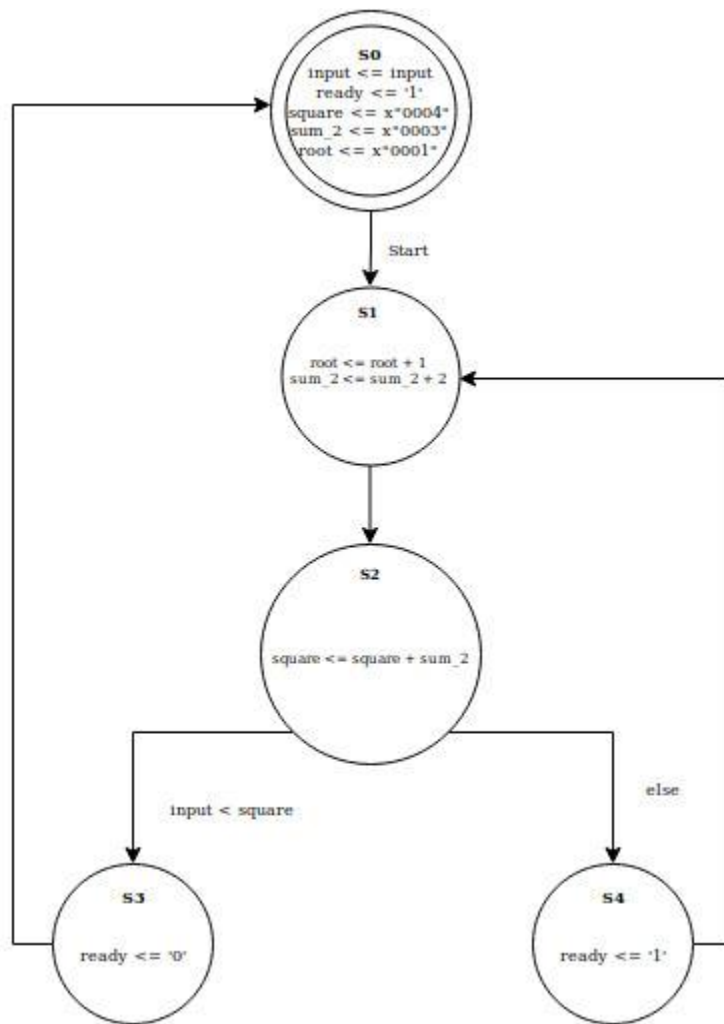


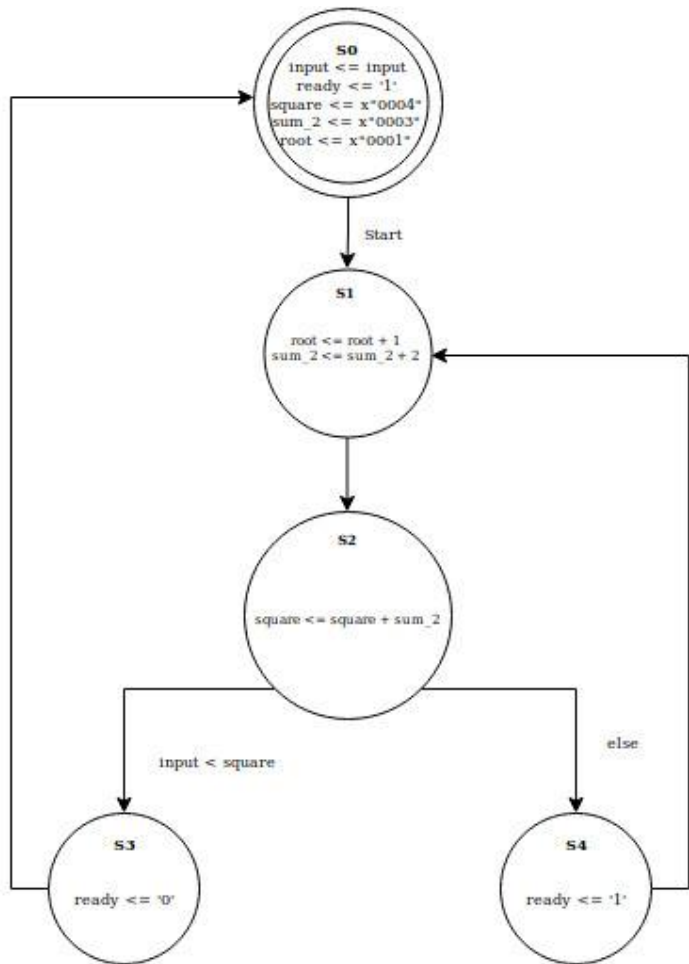
Figura 1: Data Path  
construído pelo grupo.

Figura 2: FSM  
construída pelo grupo.

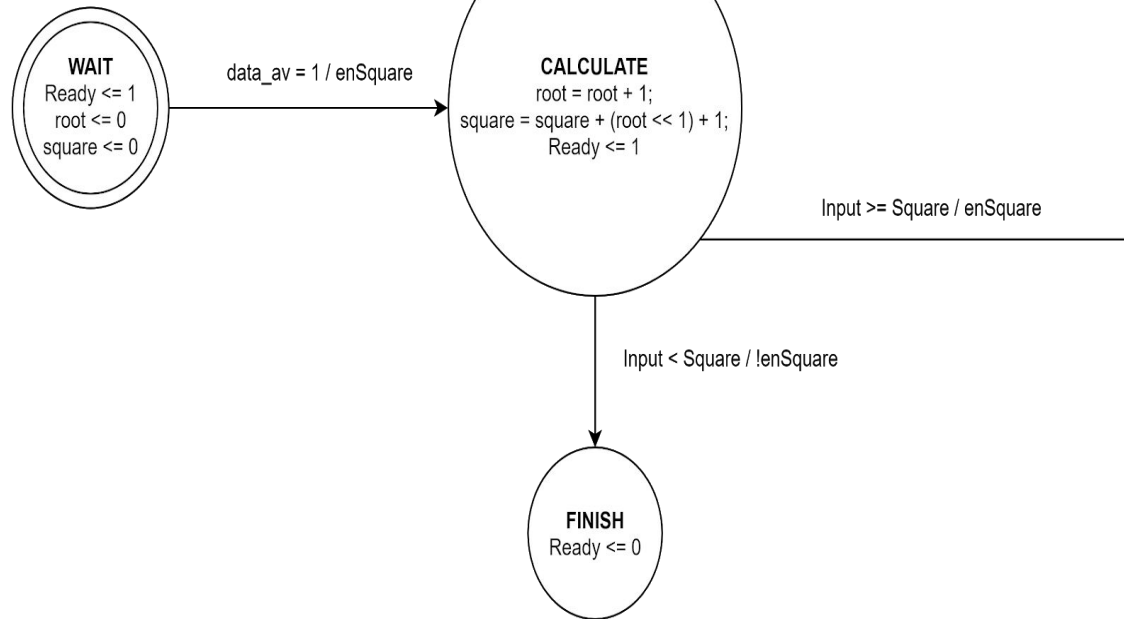


## Circuito 1:





FSM original



FSM comparativa do circuito 1



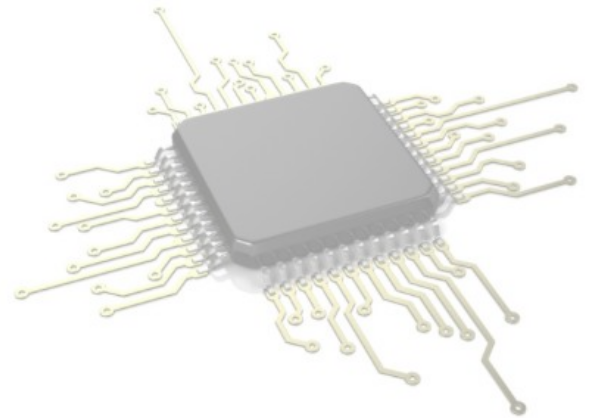
# Dados obtidos para ambos os circuitos

SÍNTESE NÃO OTIMIZADA E CÉLULAS LENTAS			
	Circuito Original	Circuito Comparativo 1	Diferença
Área (um <sup>2</sup> )	18979	15776	↑ 17%
Potência (nW)	3227385	5909079	↓ 83%
Caminho Crítico (ps)	7250	3900	↑ 46%
Frequência (MHz)	138	263	↓ 91%
Energia (J) - 137	7.19E-10	2.67E-10	↑ 62%
Energia (J) - 1243	2.14E-9	8.02E-10	↑ 63%
Tempo de Execução (ns) - 137	222.75	45.2	↑ 80%
Tempo de Execução (ns) - 1243	744	135.8	↑ 82%

Tabela 1: Dados comparativos de cada circuito.

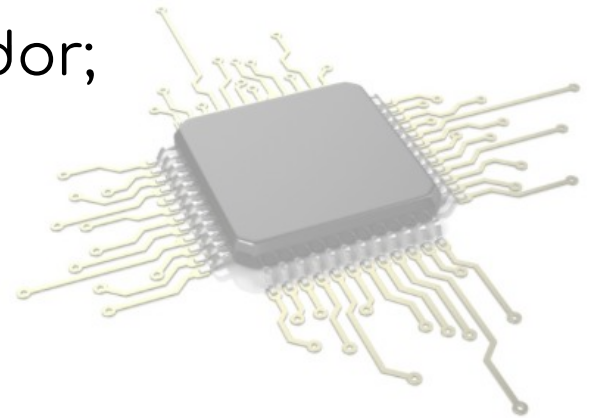
# Similaridades entre Original e Circuito 1

- 2 somadores;
- 1 comparador;
- *start* e *data\_av*.

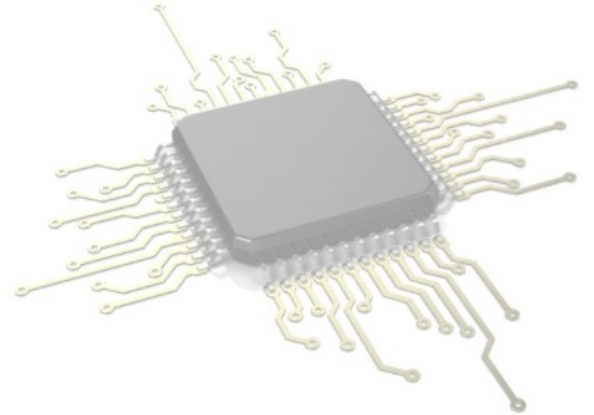


# Diferenças entre Original e Circuito 1

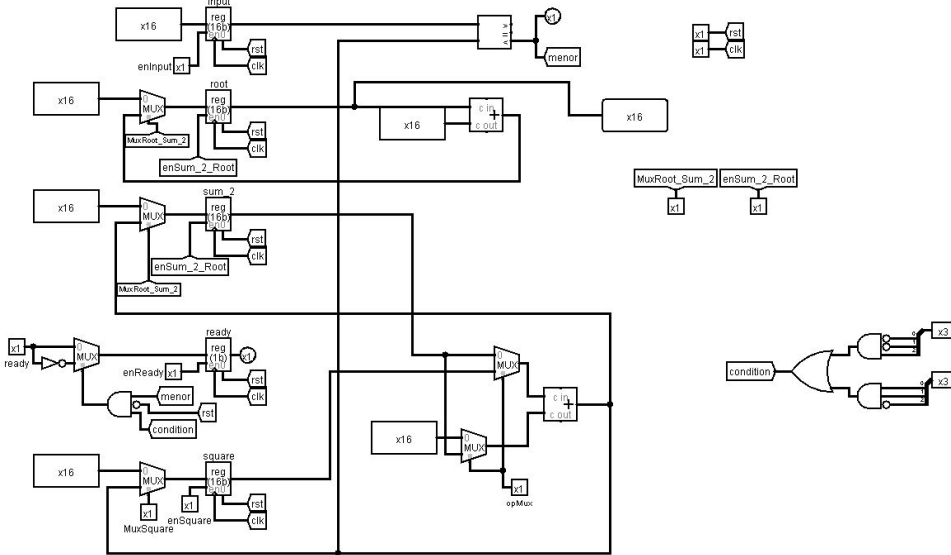
- 5 vs 4 registradores;
- 6 vs 0 multiplexadores;
- 0 vs 1 subtrator;
- Ready;
- Comparador em série com somador;
- Portas lógicas para *enable*;
- Shifter;
- Pipeline;
- Área;



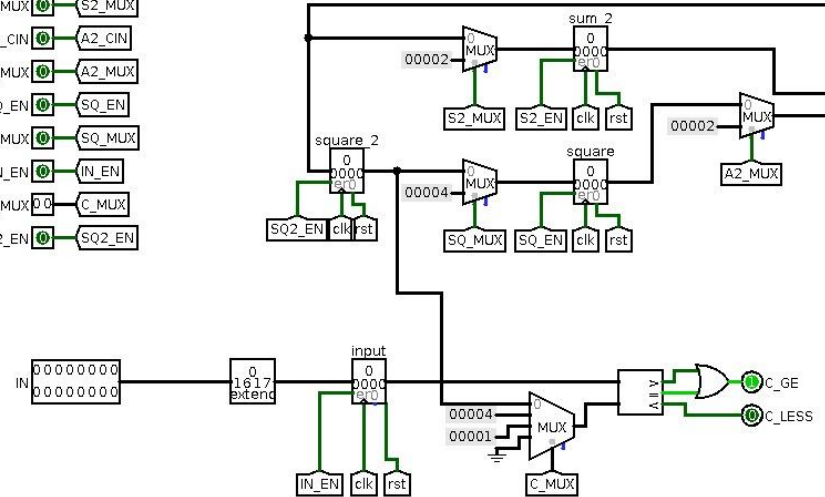
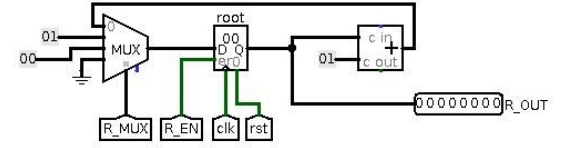
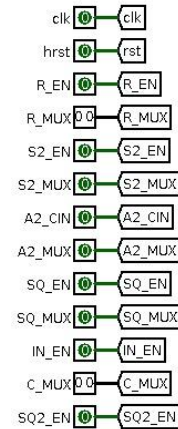
- Número de estados da FSM;
- Comparações dentro vs fora do estado;
- Estado final.



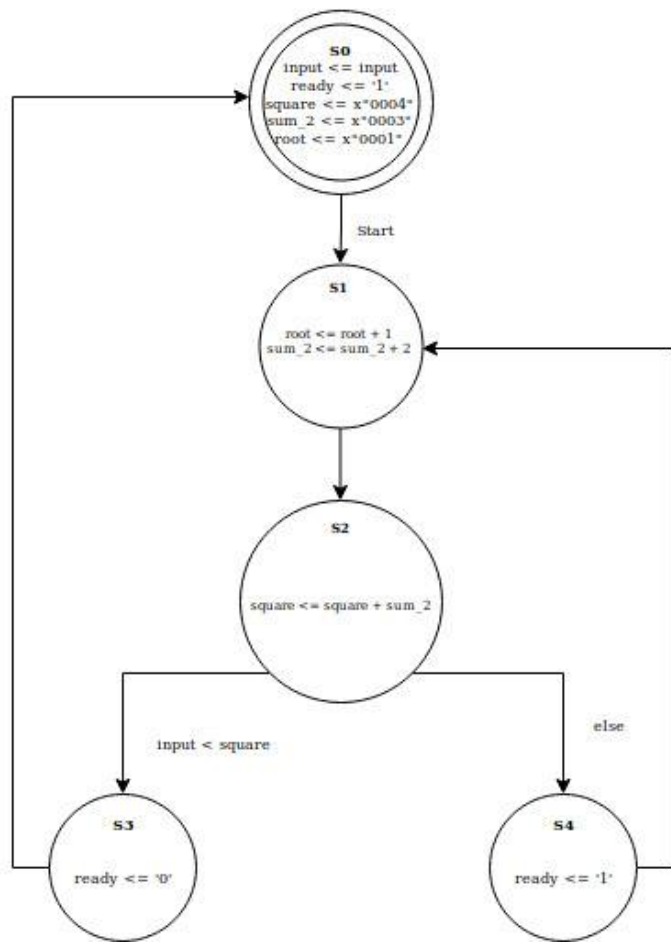
# Circuito 2:



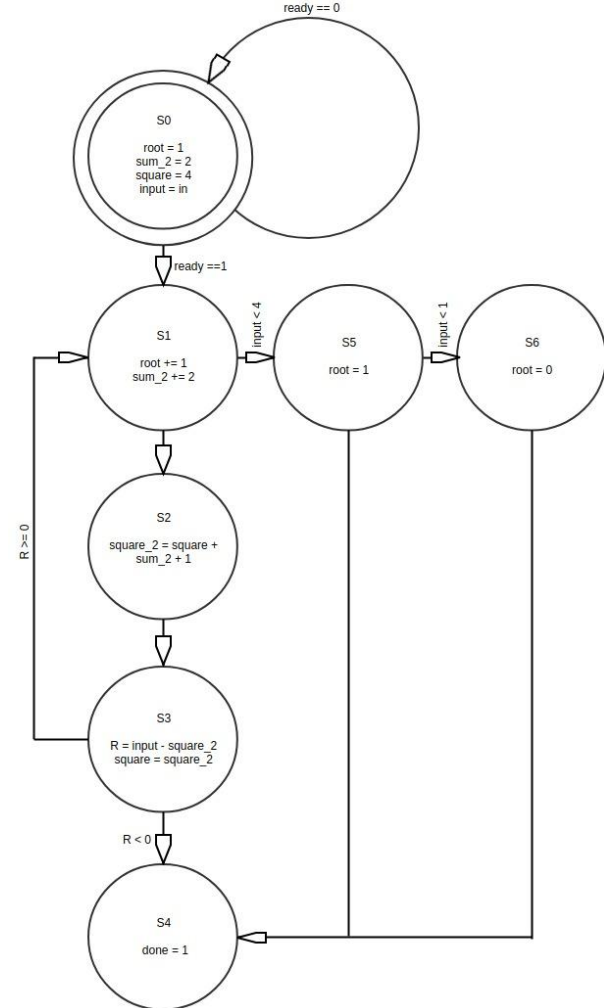
Circuito original



Circuito comparativo 2



FSM original



FSM comparativa do circuito 2

# Dados obtidos para ambos os circuitos

SÍNTESE NÃO OTIMIZADA E CÉLULAS LENTAS			
	Circuito Original	Circuito Comparativo 2	Diferença
Área (um <sup>2</sup> )	18979	20491	↓ 8%
Potência (nW)	3227385	4730000	↓ 47%
Caminho Crítico (ps)	7250	4580	↑ 37%
Frequência (MHz)	138	223.21	↓ 61%
Energia (J) - 137	7.19E-10	6.39E-10	↑ 11%
Energia (J) - 1243	2.14E-9	2.16E-9	↓ 1%
Tempo de Execução (ns) - 137	222.75	135.11	↑ 39%
Tempo de Execução (ns) - 1243	744	457.67	↑ 38.5%

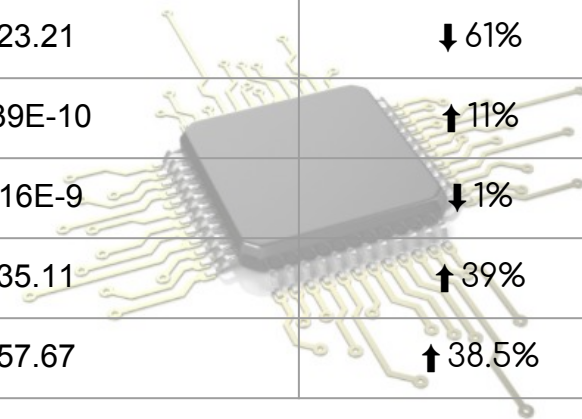
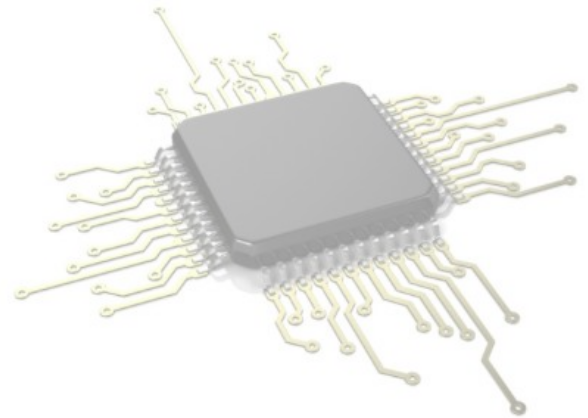


Tabela 2: Dados comparativos de cada circuito.

# Similaridades entre Original e Circuito 2

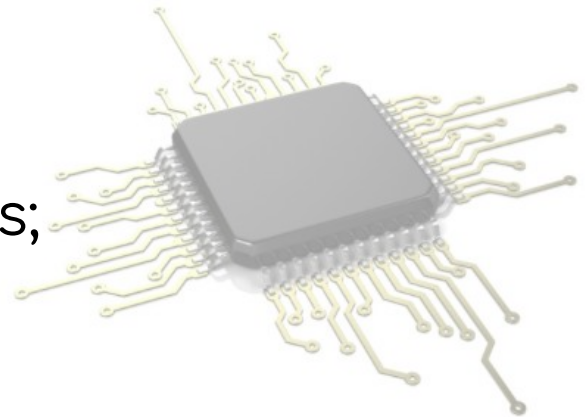
- 2 somadores;
- 1 comparador;
- 5 registradores (Ready vs Square\_2);
- Área.



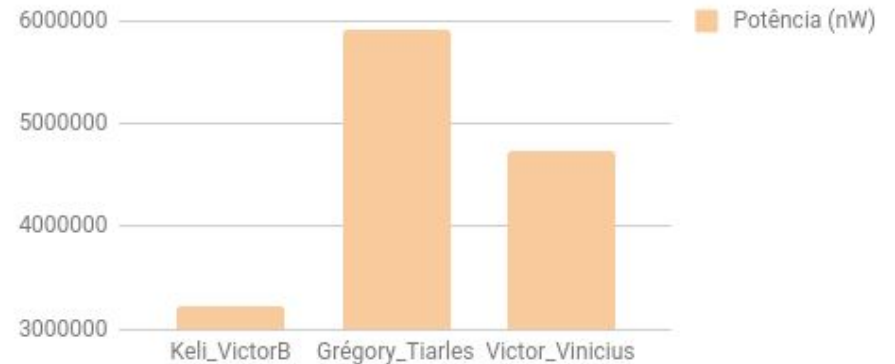
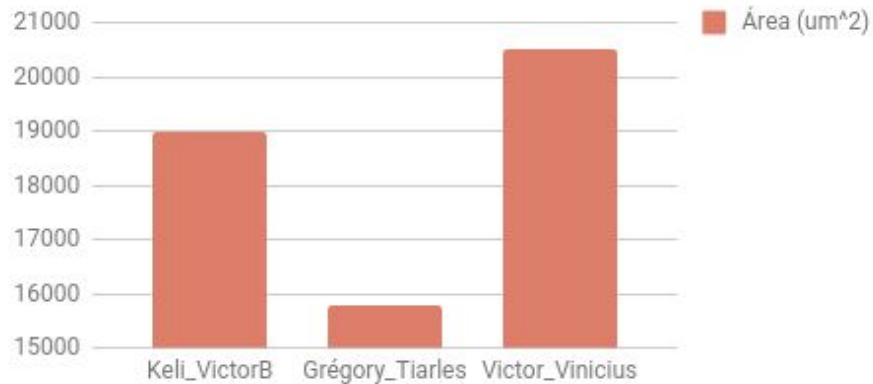


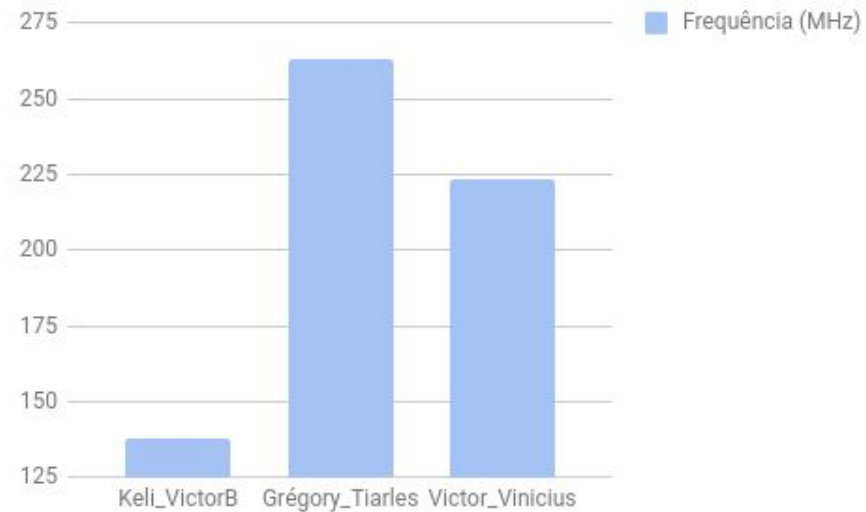
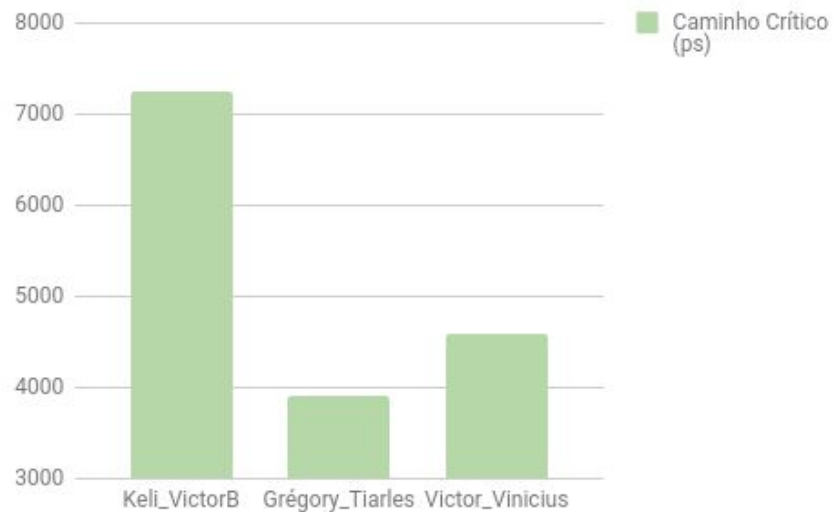
# Diferenças entre Original e Circuito 2

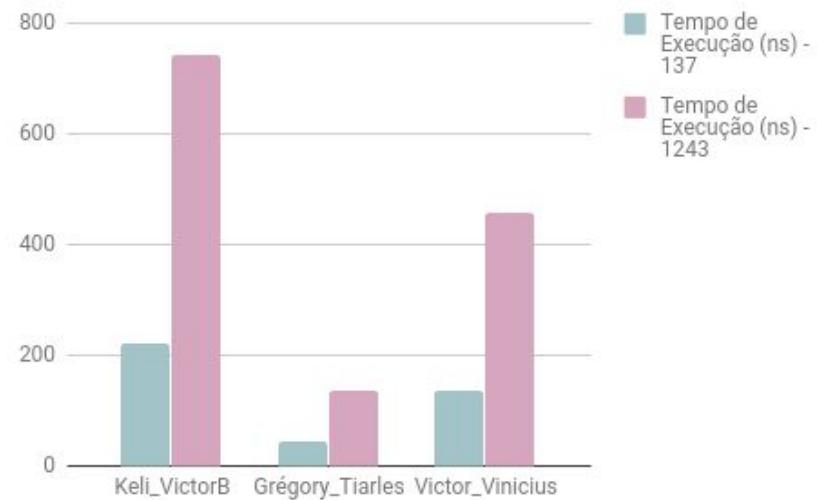
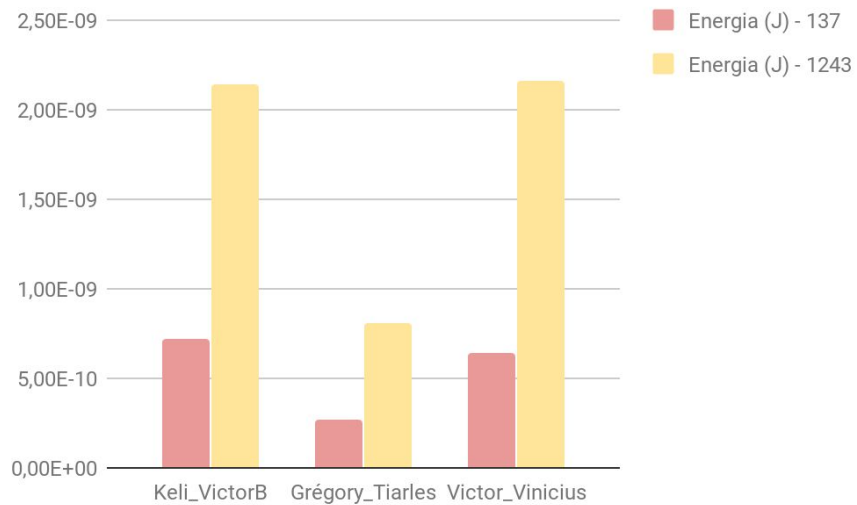
- 1 reg para Ready vs 1 reg para Square\_2;
- Comparador em série com somador;
- Portas lógicas para *enable*;
- Número de estados da FSM;
- Estado final;
- Extensor de bits;
- Mux 2 entradas vs Mux 4 entradas;
- Funções do comparador.



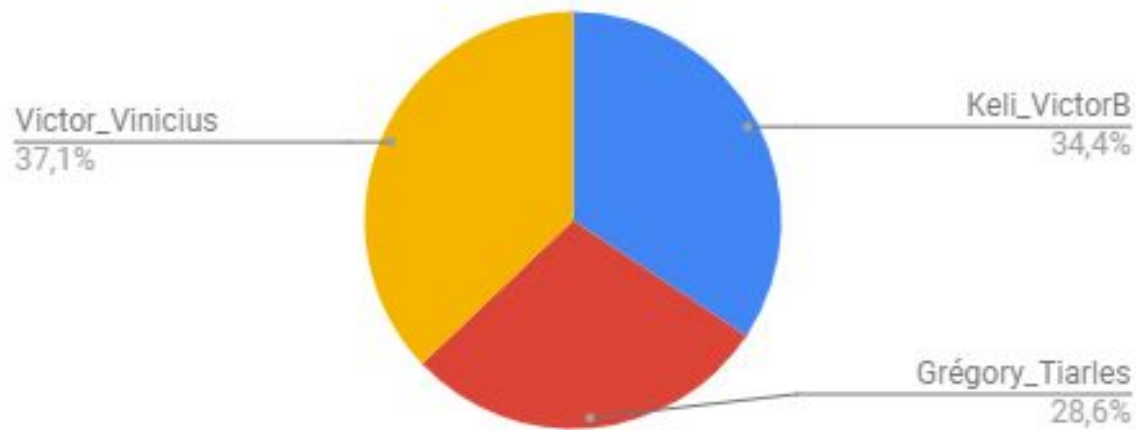
# Análise Comparativa Quantitativa



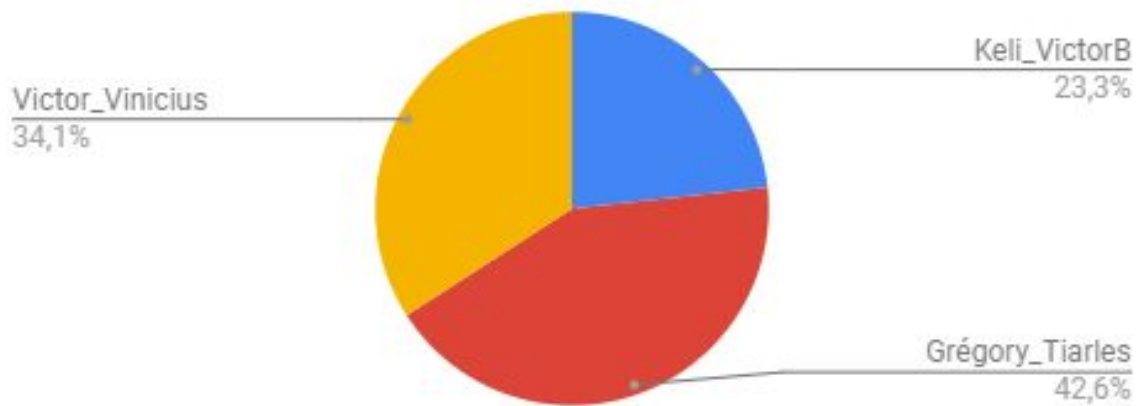




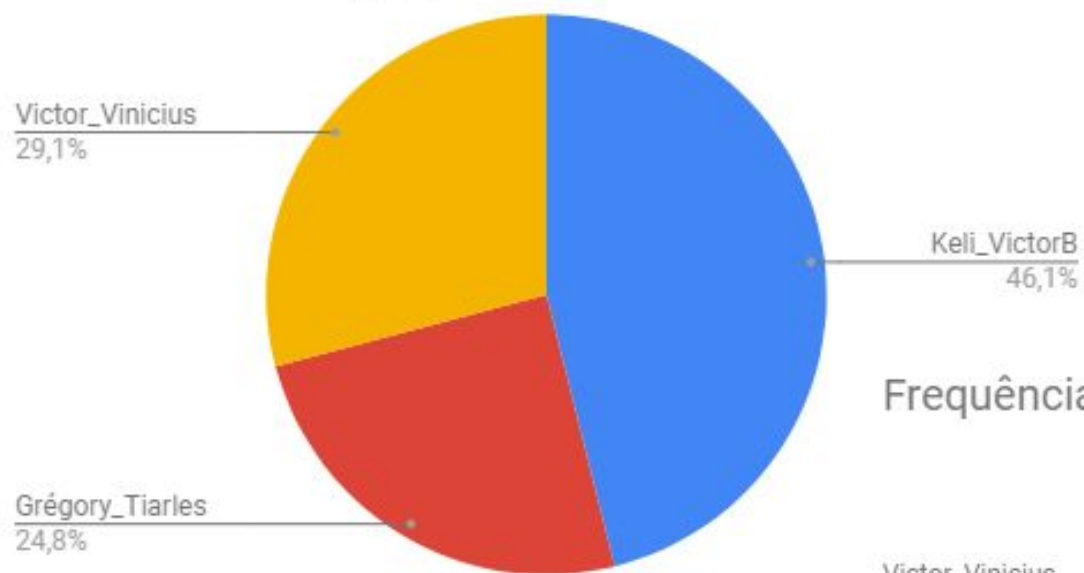
## Área (um<sup>2</sup>)



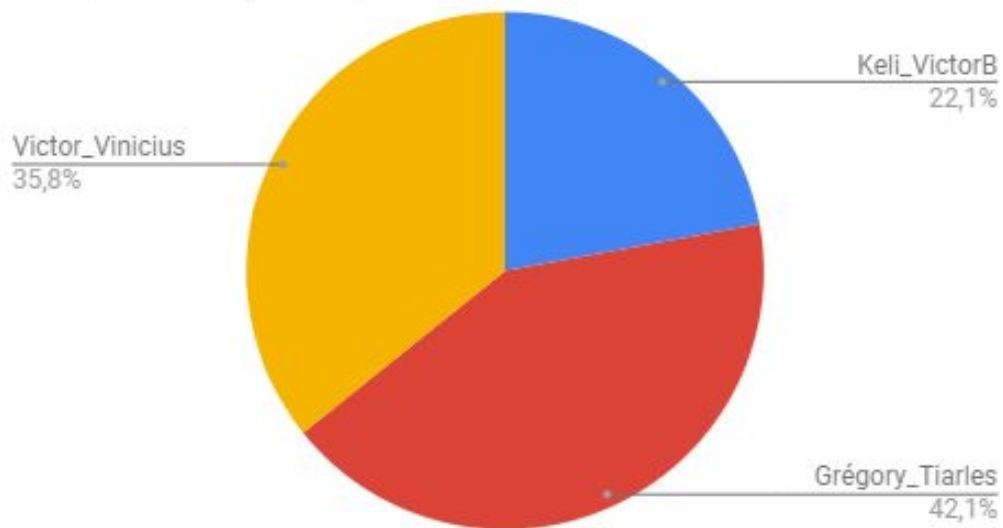
## Potência (nW)



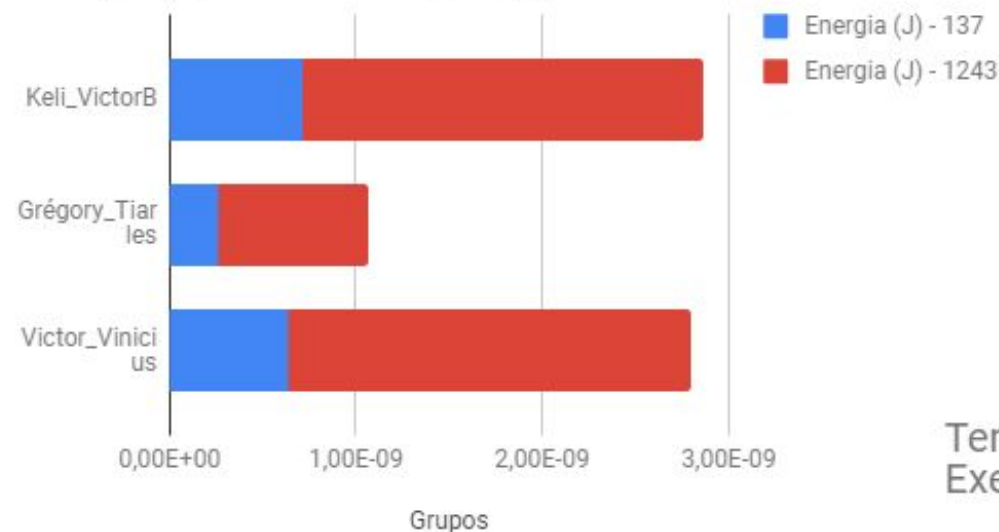
## Caminho Crítico (ps)



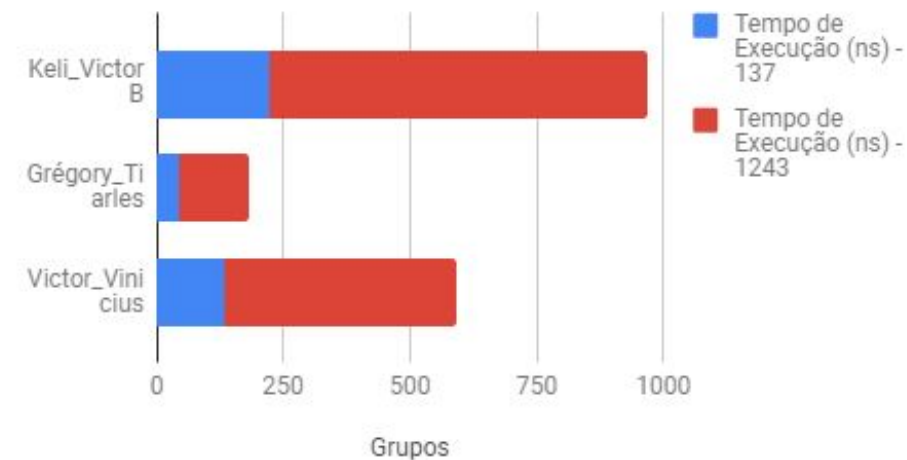
## Frequência (MHz)



## Energia (J) - 137 e Energia (J) - 1243



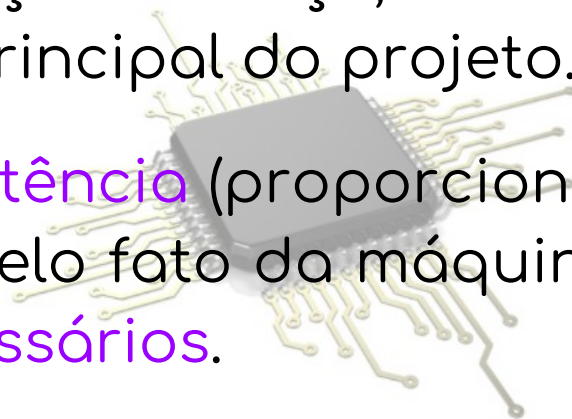
## Tempo de Execução (ns) - 137 e Tempo de Execução (ns) - 1243



# Conclusões...

Após a comparação com ambos os circuitos, percebeu-se que o **registrador** para gravar o estado da flag *ready*, assim como os **estados a mais** na *FSM* para efetuar essa gravação a cada iteração do laço, afetam muito o **desempenho**, que é o foco principal do projeto.

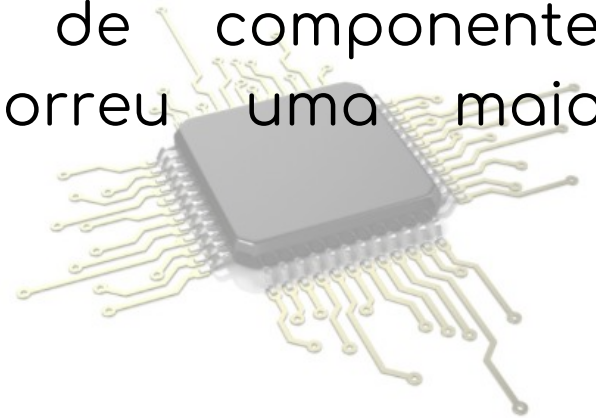
Além do desempenho baixo, a **potência** (proporcional a frequência) também ficou baixa, pelo fato da máquina de estados possuir **estados desnecessários**.





O tempo de execução também foi afetado, no intuito de executar mais coisas em um mesmo estado (paralelismo), o caminho crítico ficou maior.

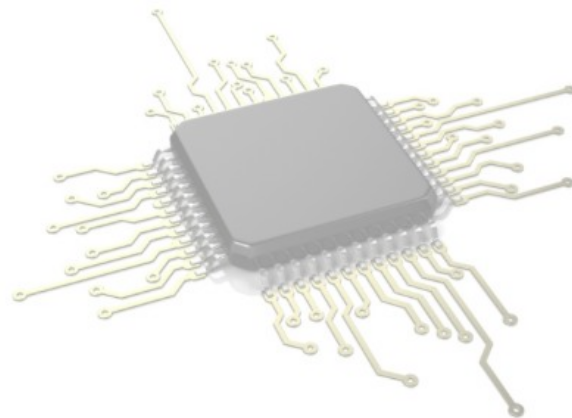
A diferença do número de componentes em relação ao Circuito 1 se dá pela diferença de área. De modo inverso, por ter um número de componentes semelhantes ao Circuito 2, ocorreu uma maior similaridade da área obtida.



# Direcionamentos Futuros

Efetuada a comparação com os circuitos analisados, percebeu-se um **baixo desempenho**. Para melhorar o resultado, alterações serão necessárias, como por exemplo:

- Aumentar a frequência;
- Mudança do somador;
- Otimização do registrador *ready*;
- Diminuição do caminho crítico.



Obrigado  
pela atenção!

