

Universidade Federal de Santa Maria

Departamento de Eletrônica e Computação

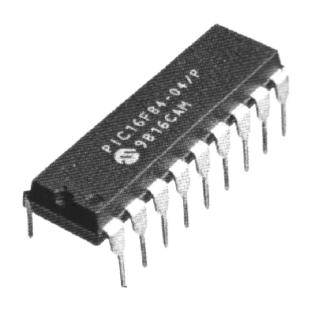
PROJETO DE SISTEMAS EMBARCADOS

Acesso ao hardware em microcontroladores

Prof. Carlos Henrique Barriquello barriquello@gmail.com

Objetivos

 Compreender como é feita a interface entre microcontrolador e o mundo externo





Tema e conteúdo

- Modos de E/S (I/O).
- Dispositivos periféricos.
- Interrupções.

- Pinos como saída digital:
 - Ligar/desligar
 - Acionamento de relés
 - Acionamento de LEDs
 - Display de 7 segmentos
- Pinos como entrada digital:
 - Leitura de teclas/botões (teclado)
 - Sensor de dois estados (ligado/desligado)

Atmega168 Pin Mapping

Arduino function			Arduino function
reset	(PCINT14/RESET) PC6 □ 1	28 PC5 (ADC5/SCL/PCINT13)	analog input 5
digital pin 0 (RX)	(PCINT16/RXD) PD0 □2	27 PC4 (ADC4/SDA/PCINT12)	analog input 4
digital pin 1 (TX)	(PCINT17/TXD) PD1 ☐3	26 PC3 (ADC3/PCINT11)	analog input 3
digital pin 2	(PCINT18/INT0) PD2 □ 4	25 PC2 (ADC2/PCINT10)	analog input 2
digital pin 3 (PWM)	(PCINT19/OC2B/INT1) PD3 ☐ 5	24 PC1 (ADC1/PCINT9)	analog input 1
digital pin 4	(PCINT20/XCK/T0) PD4 ☐ 6	23 PC0 (ADC0/PCINT8)	analog input 0
VCC	VCC □7	22 GND	GND
GND	GND □ 8	21 AREF	analog reference
crystal	(PCINT6/XTAL1/TOSC1) PB6 □9	20 AVCC	VCC
crystal	(PCINT7/XTAL2/TOSC2) PB7 ☐ 10	19 ☐ PB5 (SCK/PCINT5)	digital pin 13
digital pin 5 (PWM)	(PCINT21/OC0B/T1) PD5 ☐ 11	18 PB4 (MISO/PCINT4)	digital pin 12
digital pin 6 (PWM)	(PCINT22/OC0A/AIN0) PD6 ☐ 12	17 PB3 (MOSI/OC2A/PCINT3)	digital pin 11(PWM)
digital pin 7	(PCINT23/AIN1) PD7 ☐ 13	16 PB2 (SS/OC1B/PCINT2)	digital pin 10 (PWM)
digital pin 8	(PCINT0/CLKO/ICP1) PB0 ☐ 14	15 PB1 (OC1A/PCINT1)	digital pin 9 (PWM)
	TO SHARE CONTRACTOR OF THE STATE OF THE STAT	Administration of the Control of the	

Digital Pins 11,12 & 13 are used by the ICSP header for MOSI, MISO, SCK connections (Atmega168 pins 17,18 & 19). Avoid low-impedance loads on these pins when using the ICSP header.

!!! Exemplo referente a um microcontrolador AVR da Microchip/Atmel-http://www.atmel.com/products/microcontrollers/avr/

5

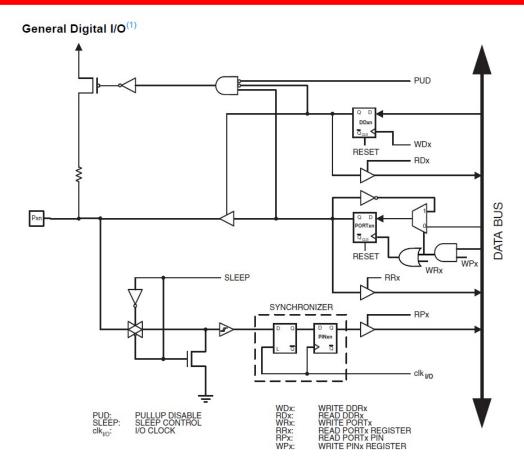


Table 14-1. Port Pin Configurations

DDxn	PORTxn	PUD (in MCUCR)	I/O	Pull-up	Comment
0	0	Х	Input	No	Tri-state (Hi-Z)
0	1	0	Input	Yes	Pxn will source current if ext. pulled low.
0	1	1	Input	No	Tri-state (Hi-Z)
1	0	Х	Output	No	Output Low (Sink)
1	1	Х	Output	No	Output High (Source)

MCUCR – MCU Control Register

Bit	7	6	5	4	3	2	1	0	
0x35 (0x55)	-	BODS ⁽¹⁾	BODSE ⁽¹⁾	PUD	-	-	IVSEL	IVCE	MCUCR
Read/Write	R	R/W	R/W	R/W	R	R	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

PUD: Pull-up Disable

PORTB - The Port B Data Register

Bit	7	6	5	4	3	2	1	0	
0x05 (0x25)	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	PORTB
Read/Write	R/W								
Initial Value	0	0	0	0	0	0	0	0	

DDRB – The Port B Data Direction Register

Bit	7	6	5	4	3	2	1	0	20
0x04 (0x24)	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	DDRB
Read/Write	R/W								
Initial Value	0	0	0	0	0	0	0	0	

PINB – The Port B Input Pins Address(1)

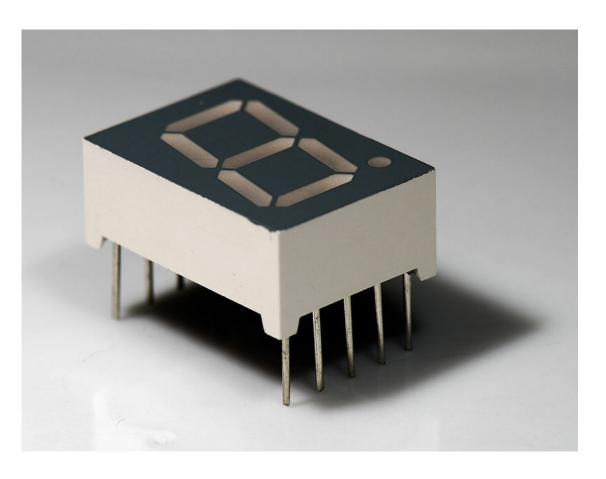
Bit	7	6	5	4	3	2	1	0	_
0x03 (0x23)	PINB7	PINB6	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	PINB
Read/Write	R/W	200							
Initial Value	N/A								

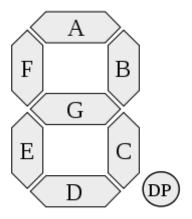
Exemplos:

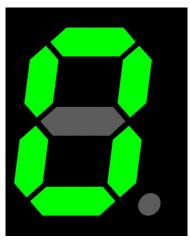
```
DDRD = 0xff;  /* porta como saída
PORTD = 0xff;
PORTD = 0;
PORTD |= (1 << PORTD0);
PORTD &= ~(1 << PORTD1);
PIND = (1 << PIND0) | (1 << PIND1);</pre>
```

Displays (mostradores)

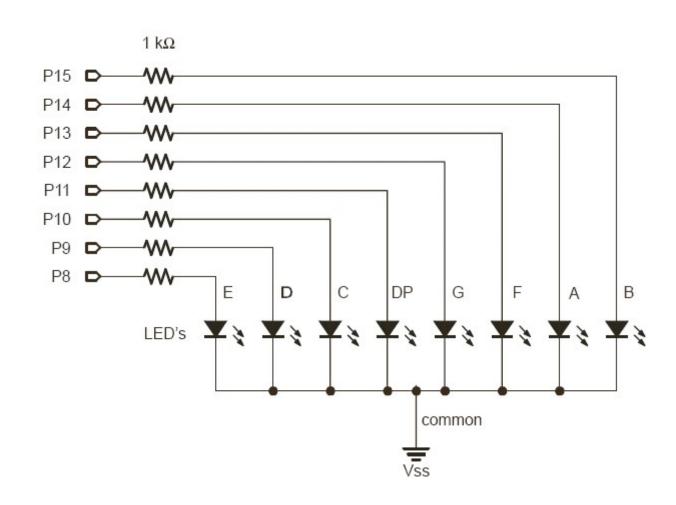
- Display de 7 segmentos
 - Uso em mostradores numéricos e alfanuméricos







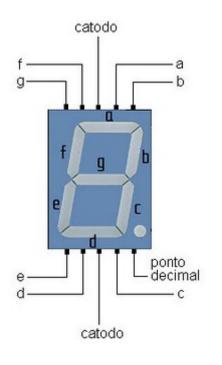
Displays (mostradores)

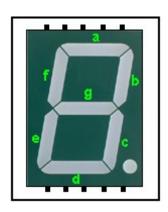


Displays (mostradores)

• Cada segmento é controlado por um pino

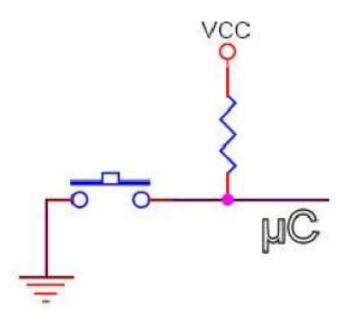
	entr BC	ada :D	\$	8	egn	nenl	DISPLAY				
D	С	В	Α	а	b	С	d	е	f	g	5151 511
0	0	0	0	1	1	1	1	1	1	0	8
0	0	0	1	0	1	1	0	0	0	0	7
0	0	1	0	1	1	0	1	1	0	1	3
0	0	1	1	1	1	1	1	0	0	1	3
0	1	0	0	0	1	1	0	0	1	1	4
0	1	0	1	1	0	1	1	0	1	1	5
0	1	1	0	0	0	1	1	1	1	1	8
0	1	1	1	1	1	1	0	0	0	0	7
1	0	0	0	1	1	1	1	1	1	1	8
1	0	0	1	1	1	1	0	0	1	1	9
1	1	1	1	0	0	0	0	0	0	0	





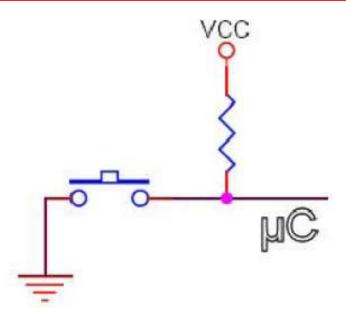


Tecla/botão



 As chaves mecânicas normalmente apresentam a configuração demonstrada ao serem conectadas ao pino de um microcontrolador

Tecla/botão



- O resistor de pull-up força um nível lógico alto no pino do microcontrolador configurado como entrada.
- Caso este resistor não seja utilizado, o pino do microcontrolador fica sujeito a ruídos.

Dois modos de funcionamento

– PollingX– Interrupção

Polling

• Polling:

- O processador permanece verificando os registradores de estado do periférico para detectar alterações de estado.
- Pode ser feito sempre,
 esporadicamente ou periodicamente

Interrupção

• Interrupção

- O periférico informa ao processador alterações de estado de seus registradores através do controlador de interrupções.
- O processador é "interrompido" e desvia o fluxo de execução do programa, se as interrupções estão habilitadas.

Interrupção

- Eventos síncronos ou assíncronos podem ocorrer durante a execução das instruções.
- Esses eventos são, em geral, mais <u>prioritários</u> do que as instruções sendo executadas.
- Por isso, o microcontrolador deve <u>interromper</u> o que está fazendo e executar o <u>código de</u> <u>tratamento do evento</u>.
- Esses eventos são chamados de interrupções ou exceções.

Interrupções

- O código de <u>tratamento da interrupção (ISR)</u> possui um endereço na memória.
- Quando ocorrer o evento (interrupção), o microcontrolador:
 - interrompe a execução do código atual
 - salva seu estado na pilha (memória RAM)
 - e passa a executar o código de tratamento

VETOR DE INTERRUPÇÃO:

o endereço do código de tratamento deve ser armazenado em um local reservado, conhecido como vetor de interrupção.

Vetores de interrupção

Os **vetores de interrupção**

são, em geral, armazenado s em uma região no final dos endereços de memória.

0xFFD6:0xFFD7	ACMP	Vacmp
0xFFD8:0xFFD9	ADC Conversion	Vadc
0xFFDA:0xFFDB	KBI Interrupt	Vkeyboard
0xFFDC:0xFFDD	Reserved	i n ve
0xFFDE:0xFFDF	SCI Transmit	Vscitx
0xFFE0:0xFFE1	SCI Receive	Vscirx
0xFFE2:0xFFE3	SCI Error	Vscierr
0xFFE4:0xFFE5	Reserved	£
0xFFE6:0xFFE7	MTIM Overflow	Vmtim
0xFFE8:0xFFE9	Reserved	==
0xFFEA:0xFFEB	Reserved	l a va
0xFFEC:0xFFED	Reserved	<u> 1988</u>
0xFFEE:0xFFEF	Reserved	1000
0xFFF0:0xFFF1	TPM Overflow	Vtpmovf
0xFFF2:0xFFF3	Reserved	2 111
0xFFF4:0xFFF5	Reserved	25.5
0xFFF6:0xFFF7	TPM Channel 0	Vtpmch0
0xFFF8:0xFFF9	Low Voltage Detect or Low Voltage Warning	VIVd
0xFFFA:0xFFFB	IRQ	Virq
0xFFFC:0xFFFD	SWI	Vswi
0xFFFE:0xFFFF	Rese:	Vreset

!!! Exemplo referente a um microcontrolador HCS08 da NXP – www.nxp.com/assets/documents/data/en/reference-manuals/HCS08RMV1.pdf

Vetores de interrupção

No mínimo, um
vetor de
interrupção
deve ser
sempre
programado.
Este é o vetor
de RESET.

0xFFD6:0xFFD7	ACMP	Vacmp
0xFFD8:0xFFD9	ADC Conversion	Vadc
0xFFDA:0xFFDB	KBI Interrupt	Vkeyboard
0xFFDC:0xFFDD	Reserved	57.5
0xFFDE:0xFFDF	SCI Transmit	Vscitx
0xFFE0:0xFFE1	SCI Receive	Vscirx
0xFFE2:0xFFE3	SCI Error	Vscierr
0xFFE4:0xFFE5	Reserved	
0xFFE6:0xFFE7	MTIM Overflow	Vmtim
0xFFE8:0xFFE9	Reserved	201 3
0xFFEA:0xFFEB	Reserved	575
0xFFEC:0xFFED	Reserved	<u> </u>
0xFFEE:0xFFEF	Reserved	200
0xFFF0:0xFFF1	TPM Overflow	Vtpmovf
0xFFF2:0xFFF3	Reserved	221. 3
0xFFF4:0xFFF5	Reserved	508
0xFFF6:0xFFF7	TPM Channel 0	Vtpmch0
0xFFF8:0xFFF9	Low Voltage Detect or Low Voltage Warning	Vlvd
0xFFFA:0xFFFB	IRQ	Virq
OVEEEC-OVEEED	CWI	Voui
0xFFFE:0xFFFF	Reset	Vreset

!!! Exemplo referente a um microcontrolador HCS08 da NXP – www.nxp.com/assets/documents/data/en/reference-manuals/HCS08RMV1.pdf

!!! Exemplo referente a um microcontrolador AVR da Microchip/Atmel-http://www.atmel.com/products/microcontrollers/avr/

Vetores de interrupção

			v
VectorNo.	Program Address ⁽²⁾	Source	Interrupt Definition
1	0x0000 ⁽¹⁾	RESET	External Pin, Power-on Reset, Brown-out Reset and Watchdog System Reset
2	0x0002	INT0	External Interrupt Request 0
3	0x0004	INT1	External Interrupt Request 1
4	0x0006	PCINT0	Pin Change Interrupt Request 0
5	0x0008	PCINT1	Pin Change Interrupt Request 1
6	0x000A	PCINT2	Pin Change Interrupt Request 2
7	0x000C	WDT	Watchdog Time-out Interrupt
8	0x000E	TIMER2 COMPA	Timer/Counter2 Compare Match A
9	0x0010	TIMER2 COMPB	Timer/Counter2 Compare Match B
10	0x0012	TIMER2 OVF	Timer/Counter2 Overflow
11	0x0014	TIMER1 CAPT	Timer/Counter1 Capture Event
12	0x0016	TIMER1 COMPA	Timer/Counter1 Compare Match A
13	0x0018	TIMER1 COMPB	Timer/Coutner1 Compare Match B
14	0x001A	TIMER1 OVF	Timer/Counter1 Overflow
15	0x001C	TIMER0 COMPA	Timer/Counter0 Compare Match A
16	0x001E	TIMER0 COMPB	Timer/Counter0 Compare Match B
17	0x0020	TIMER0 OVF	Timer/Counter0 Overflow
18	0x0022	SPI, STC	SPI Serial Transfer Complete
19	0x0024	USART, RX	USART Rx Complete
20	0x0026	USART, UDRE	USART, Data Register Empty
21	0x0028	USART, TX	USART, Tx Complete
22	0x002A	ADC	ADC Conversion Complete
23	0x002C	EE READY	EEPROM Ready
24	0x002E	ANALOG COMP	Analog Comparator
25	0x0030	TWI	2-wire Serial Interface
26	0x0032	SPM READY	Store Program Memory Ready

Os **vetores de interrupção** são, em geral, armazenados em uma região no início ou no final dos endereços de memória.

!!! Exemplo referente a um microcontrolador AVR da Microchip/Atmelhttp://www.atmel.com/products/microcontrollers/avr/

Vetores de interrupção

VectorNo.	Program Address ⁽²⁾	Source	Interrupt Definition
1	0x0000 ⁽¹⁾	RESET	External Pin, Power-on Reset, Brown-out Reset and Watchdog System Reset
2	0x0002	INT0	External Interrupt Request 0
3	0x0004	INT1	External Interrupt Request 1
4	0x0006	PCINT0	Pin Change Interrupt Request 0
5	0x0008	PCINT1	Pin Change Interrupt Request 1
6	0x000A	PCINT2	Pin Change Interrupt Request 2
7	0x000C	WDT	Watchdog Time-out Interrupt
8	0x000E	TIMER2 COMPA	Timer/Counter2 Compare Match A
9	0x0010	TIMER2 COMPB	Timer/Counter2 Compare Match B
10	0x0012	TIMER2 OVF	Timer/Counter2 Overflow
11	0x0014	TIMER1 CAPT	Timer/Counter1 Capture Event
12	0x0016	TIMER1 COMPA	Timer/Counter1 Compare Match A
13	0x0018	TIMER1 COMPB	Timer/Coutner1 Compare Match B
14	0x001A	TIMER1 OVF	Timer/Counter1 Overflow
15	0x001C	TIMER0 COMPA	Timer/Counter0 Compare Match A
16	0x001E	TIMER0 COMPB	Timer/Counter0 Compare Match B
17	0x0020	TIMER0 OVF	Timer/Counter0 Overflow
18	0x0022	SPI, STC	SPI Serial Transfer Complete
19	0x0024	USART, RX	USART Rx Complete
20	0x0026	USART, UDRE	USART, Data Register Empty
21	0x0028	USART, TX	USART, Tx Complete
22	0x002A	ADC	ADC Conversion Complete
23	0x002C	EE READY	EEPROM Ready
24	0x002E	ANALOG COMP	Analog Comparator
25	0x0030	TWI	2-wire Serial Interface
26	0x0032	SPM READY	Store Program Memory Ready

No mínimo, **um vetor de interrupção** deve ser sempre programado. Este é o vetor de **RESET**.

RESET do microcontrolador

Em geral, o vetor de RESET está nos **últimos endereços de memória**.

Nele se grava o endereço da **primeira instrução** que será executada pelo microcontrolador ao ser iniciado*.

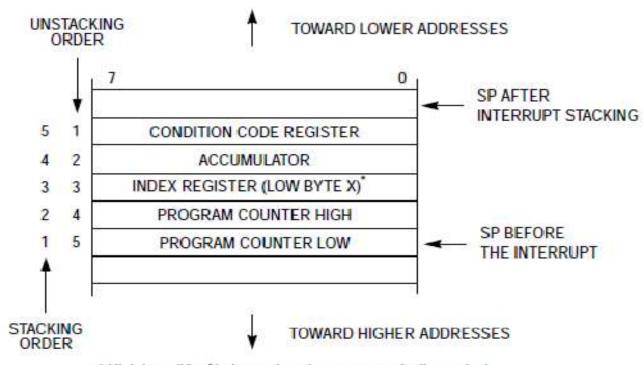
* Há diversas formas de se ativar o RESET do microcontrolador (ex.: detecção de energia, erros de software, instrução específica, etc.)

Tratamento de ISR

ISR significa sub-rotina de interrupção. Etapas de execução para tratamento de ISR:

- ocorrência de interrupção com bit I em zero (interrupções habilitadas)
- CPU interrompe a execução do código atual.
- salva seu estado na pilha (memória RAM) contexto atual.
- coloca bit I para 1 e passa a executar o código de tratamento apontado pelo respectivo vetor de ISR.

Salvamento de contexto



* High byte (H) of index register is not automatically stacked.

CPU salva registradores PCL, PCH, X, A e CCR

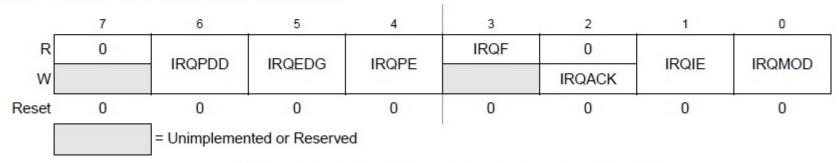
!!! Exemplo referente a um microcontrolador HCS08 da NXP – www.nxp.com/assets/documents/data/en/reference-manuals/HCS08RMV1.pdf

Exercício

Interrupção (IRQ)

Interrupt Pin Request Status and Control Register (IRQSC)

This direct page register includes status and control bits which are used to configure the IRQ function, report status, and acknowledge IRQ events.



Interrupt Request Status and Control Register (IRQSC)

!!! Exemplo referente a um microcontrolador HCS08 da NXP – www.nxp.com/assets/documents/data/en/reference-manuals/HCS08RMV1.pdf

Tratamento de ISR

SREG - AVR Status Register

The AVR Status Register - SREG - is defined as:

Bit	7	6	5	4	3	2	1	0	_
0x3F (0x5F)	- 1	T	Н	S	V	N	Z	C	SREG
Read/Write	R/W								
Initial Value	0	0	0	0	0	0	0	0	

Bit 7 – I: Global Interrupt Enable

Habilita/desabilita as interrupções.

O bit I do SREG é controlado pelas instruções:

CLI - Clear I bit

SEI – Set I bit

RETI - Return from ISR and set I bit

Vetores de interrupção

```
Address Labels Code
                                       Comments
0x0000
                       RESET
                                       ; Reset Handler
                dmi
0 \times 00002
                       EXT INTO
                                       ; IROO Handler
                qmp
0 \times 00004
                qmr
                       EXT INT1
                                       ; IRO1 Handler
0x0006
                       PCINTO
                                       : PCINTO Handler
                jmp
0x0008
                       PCINT1
                                       ; PCINT1 Handler
                qmp
                                       : PCINT2 Handler
0x000A
                qmr
                       PCINT2
                                       ; Watchdog Timer Handler
0x000C
                jmp
                       WDT
0x000E
                       TIM2 COMPA
                                       ; Timer2 Compare A Handler
                dmi
0x0010
                       TIM2 COMPB
                                       ; Timer2 Compare B Handler
                qmr
0x0012
                                       : Timer2 Overflow Handler
                jmp
                       TIM2_OVF
0x0014
                dmi
                       TIM1 CAPT
                                       ; Timer1 Capture Handler
                                       ; Timer1 Compare A Handler
0x0016
                amir
                       TIM1_COMPA
                                       ; Timer1 Compare B Handler
0x0018
                       TIM1 COMPB
                qmr
0x001A
                                       : Timer1 Overflow Handler
                       TIM1_OVF
                jmp
0x001C
                       TIMO_COMPA
                                       ; Timer0 Compare A Handler
                qmp
                                       ; Timer0 Compare B Handler
0x001E
                qmr
                       TIMO_COMPB
```

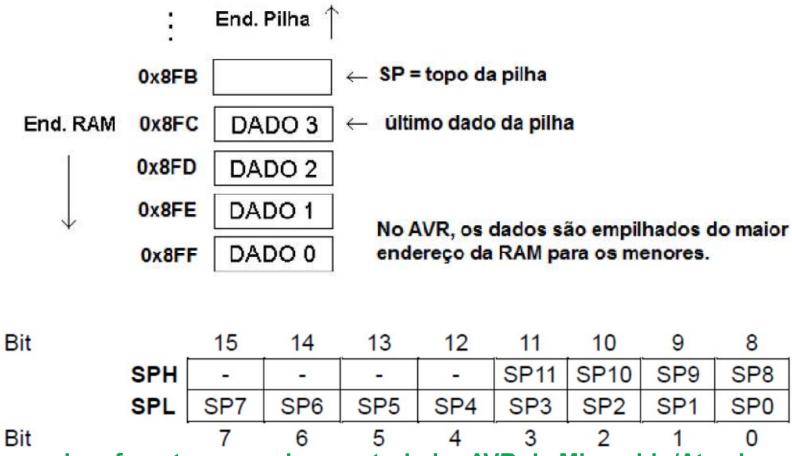
ISR de RESET

Rotina de tratamento da ISR de RESET:

- inicializa o stack pointer
- habilita interrupções

```
0x0033RESET: ldi r16, high(RAMEND); Main program start
0x0034 out SPH,r16 ; Set Stack Pointer to top of RAM
0x0035 ldi r16, low(RAMEND)
0x0036 out SPL,r16
0x0037 sei ; Enable interrupts
0x0038 <instr> xxx
```

Pilha (stack)



!!! Exemplo referente a um microcontrolador AVR da Microchip/Atmel-http://www.atmel.com/products/microcontrollers/avr/

Definições de ISRs

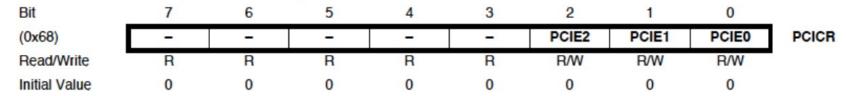
```
#define INTO vect
                                       /* External Interrupt Request 0 */
                           VECTOR (1)
                           VECTOR (2)
#define INT1 vect
                                       /* External Interrupt Request 1 */
#define PCINTO vect
                           VECTOR (3)
                                       /* Pin Change Interrupt Request 0 */
#define PCINT1 vect
                                       /* Pin Change Interrupt Request 0 */
                           VECTOR (4)
                                       /* Pin Change Interrupt Request 1 */
#define PCINT2 vect
                           VECTOR (5)
#define WDT vect
                           VECTOR (6)
                                       /* Watchdog Time-out Interrupt */
#define TIMER2 COMPA vect VECTOR(7)
                                       /* Timer/Counter2 Compare Match A */
#define TIMER2 COMPB vect VECTOR(8)
                                       /* Timer/Counter2 Compare Match A */
#define TIMER2 OVF vect
                                       /* Timer/Counter2 Overflow */
                           VECTOR (9)
                                       /* Timer/Counter1 Capture Event */
#define TIMER1 CAPT vect
                           VECTOR (10)
                                       /* Timer/Counter1 Compare Match A */
#define TIMER1 COMPA vect VECTOR(11)
#define TIMER1 COMPB vect VECTOR(12)
                                       /* Timer/Counter1 Compare Match B */
#define TIMER1 OVF vect
                           VECTOR (13)
                                       /* Timer/Counter1 Overflow */
#define TIMERO COMPA vect
                                       /* TimerCounter0 Compare Match A */
                          VECTOR (14)
#define TIMERO COMPB vect VECTOR(15)
                                       /* TimerCounter0 Compare Match B */
#define TIMERO OVF vect
                                       /* Timer/Couner0 Overflow */
                           VECTOR (16)
#define SPI STC vect
                                       /* SPI Serial Transfer Complete */
                           VECTOR (17)
#define USART RX vect
                           VECTOR (18)
                                       /* USART Rx Complete */
#define USART UDRE vect
                                       /* USART, Data Register Empty */
                           VECTOR (19)
#define USART TX vect
                                       /* USART Tx Complete */
                           VECTOR (20)
#define ADC vect
                                       /* ADC Conversion Complete */
                           VECTOR (21)
#define EE READY vect
                           VECTOR (22)
                                       /* EEPROM Ready */
#define ANALOG COMP vect
                                       /* Analog Comparator */
                           VECTOR (23)
                                       /* Two-wire Serial Interface */
#define TWI vect
                           VECTOR (24)
#define SPM READY vect
                          VECTOR (25)
                                       /* Store Program Memory Read */
```

Definições de ISRs

- As interrupções possuem diferentes prioridades: quanto menor é o endereço, maior é a prioridade da interrupção correspondente;
- O desvio para uma rotina de interrupção leva pelo menos 4 ciclos de clock;
- O retorno da interrupção também leva 4 ciclos de clock;

Interrupção externa

- Interrupção externa (PCINT):
- ▶ Pin Change Interrupt Control Register



PCIEx habilita um conjunto de pinos para interrupção:

PCIE2 habilita PCINT[23:16]

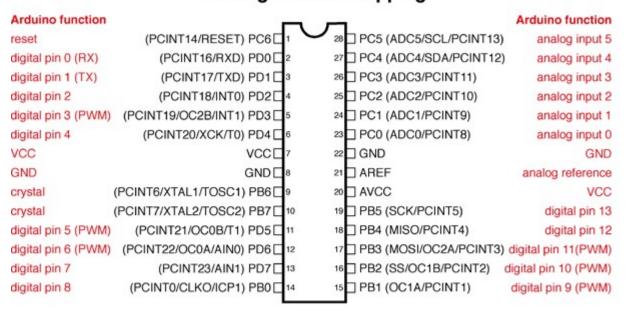
PCIE1 habilita PCINT[14:8]

PCIE0 habilita PCINT[7:0]

Interrupção externa

Interrupção externa (PCINT):

Atmega168 Pin Mapping



Digital Pins 11,12 & 13 are used by the ICSP header for MOSI, MISO, SCK connections (Atmega168 pins 17,18 & 19). Avoid low-impedance loads on these pins when using the ICSP header.

Interrupção externa

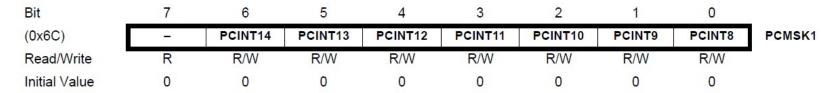
Interrupção externa (PCINT):

PCIFR – Pin Change Interrupt Flag Register

Bit	7	6	5	4	3	2	1	0	_
0x1B (0x3B)	_	_	_	_	-	PCIF2	PCIF1	PCIF0	PCIFR
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

Bits de *flag* indicam pedidos de interrupção.

PCMSK1 – Pin Change Mask Register 1



Bits de *máscara* permitem habilitar pinos individualmente.

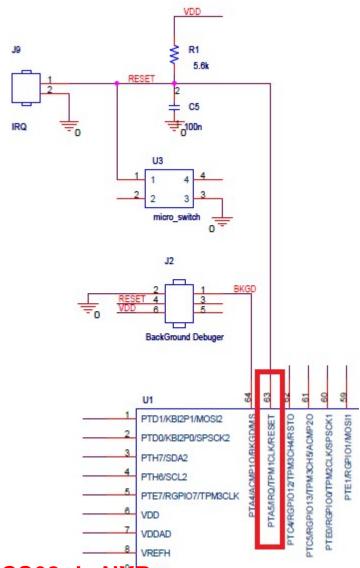
Exercício

- Interrupção externa (PCINT):
 - Projeto com tratamento da ISR do pino PC6 (PCINT14)

```
(PCINT14/RESET) PC6
                                 28 PC5 (ADC5/SCL/PCINT13)
      (PCINT16/RXD) PD0 □
                                 27 PC4 (ADC4/SDA/PCINT12)
      (PCINT17/TXD) PD1
                                 26 PC3 (ADC3/PCINT11)
      (PCINT18/INT0) PD2□
                                 25 PC2 (ADC2/PCINT10)
 (PCINT19/OC2B/INT1) PD3 ☐ 5
                                 24 PC1 (ADC1/PCINT9)
    (PCINT20/XCK/T0) PD4 ☐6
                                 23 PC0 (ADC0/PCINT8)
                                 22 GND
                    VCC □
                                 21 AREF
                    GND □8
(PCINT6/XTAL1/TOSC1) PB6 ☐9
                                 20 AVCC
(PCINT7/XTAL2/TOSC2) PB7 ☐ 10
                                 19 PB5 (SCK/PCINT5)
   (PCINT21/OC0B/T1) PD5 ☐ 11
                                 18 PB4 (MISO/PCINT4)
 (PCINT22/OC0A/AIN0) PD6 ☐ 12
                                 17 PB3 (MOSI/OC2A/PCINT3)
      (PCINT23/AIN1) PD7 ☐ 13
                                 16 PB2 (SS/OC1B/PCINT2)
  (PCINT0/CLKO/ICP1) PB0 ☐ 14
                                 15 PB1 (OC1A/PCINT1)
```

Exercício

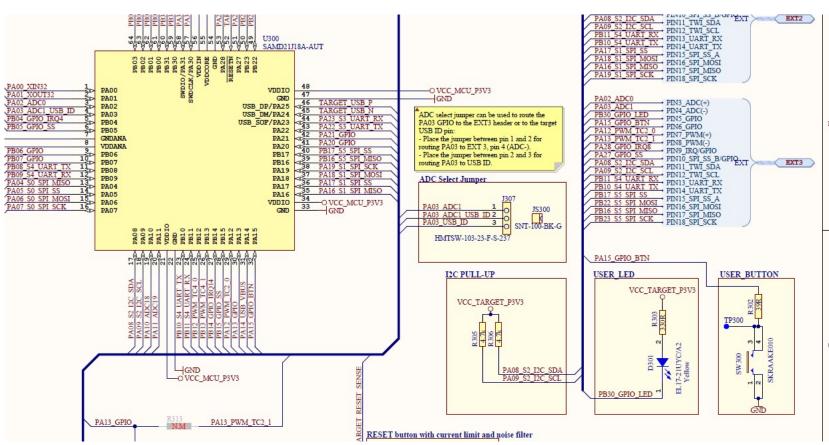
• Interrupção (IRQ)



!!! Exemplo referente a um microcontrolador HCS08 da NXP www.nxp.com/assets/documents/data/en/reference-manuals/HCS08RMV1.pdf

Exercício SAM D21

• Interrupção (EXTINT)



Exercício SAM R21

Interrupção (EXTINT)

