

# Trabalho - Portas Lógicas em Tecnologia CMOS

Prof. Tiago Oliveira Weber

2017

## 1 Objetivo

- Compreender o funcionamento das portas lógicas utilizando tecnologia CMOS;

## 2 Descrição

Para as simulações, serão utilizados transistores do tipo NMOS e PMOS no software LTSPICE utilizando o modelo LEVEL 54 disponível em [www.cmosedu.com](http://www.cmosedu.com) (arquivo *cmosedu\_models.txt*). Assuma que  $V_{DD} = 1.2\text{ V}$ .

- utilize canal mínimo tanto para o PMOS quanto para o NMOS;
- calcule uma relação  $(W_p/L_p)/(W_n/L_n)$  baseada nos parâmetros do processo e a utilize para todas as portas lógicas do exercício.

### 2.0.1 Parte 1

Descreva a tecnologia CMOS e suas principais características

### 2.0.2 Parte 2

Para as portas lógicas da lista abaixo:

- desenhe o esquemático e obtenha via simulação a saída de tensão para todos os possíveis casos de entrada;
- faça a tabela verdade e confira se está adequada.

Lista de portas lógicas:

- Inversor;
- NAND de 2 entradas:
- NAND de 3 entradas:
- NOR de 2 entradas:

### 2.0.3 Parte 3

- Pesquise o conceito de **consumo de potência estático** e **consumo de potência dinâmico**.
- Escolha alguma das portas lógicas anteriores e faça a medição de potência sendo fornecida pela fonte de alimentação (VDD) do circuito e veja se o comportamento está de acordo com o pesquisado;
- Do que depende o consumo de potência dinâmico em portas lógicas implementadas com tecnologia CMOS?

### 2.0.4 Parte 4

- Escolha uma função lógica combinacional que exija o uso de pelo menos 3 portas lógicas;
- Implemente-a no LTSPICE em nível de transistores e confira a tabela verdade.