

Escalamento e Limites de Dispositivos MOS

Jacobus W. Swart

Leandro T. Manera

CCS e FEEC

UNICAMP

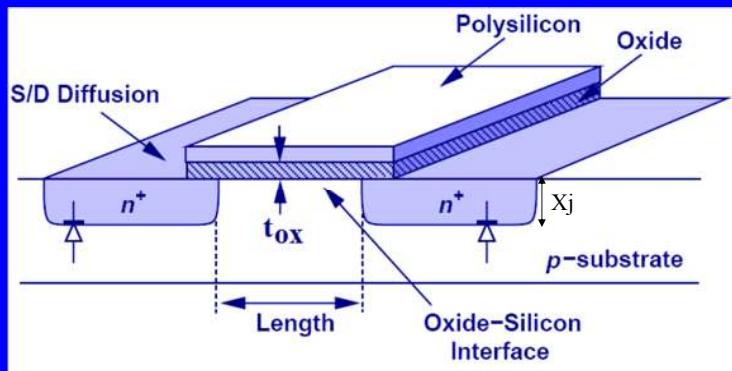
1

Sumário:

1. Introdução
2. Leis de escalamento
3. Limitações de Transistores Pequenas Dims.
 1. Efeitos de canal curto: V_T vs L
 2. Efeito de canal estreito: V_T vs W
 3. Punchthrough
 4. Resistências parasitárias
 5. Capacitância de porta
 6. Corrente de tunelamento
 7. Redução de mobilidade
 8. Injeção de portadores quentes
 9. Rupturas do transistor
4. Efeitos das limitações e “mapa de estrada”.
5. Limites de Escalamento

2

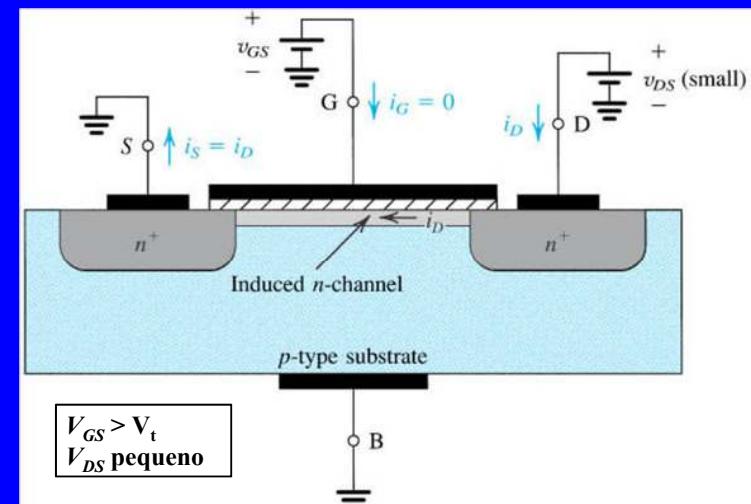
Transistores MOSFET



➤ A porta do transistor pode ser formado por polisilício ou outros tipos de materiais condutores (metais).

3

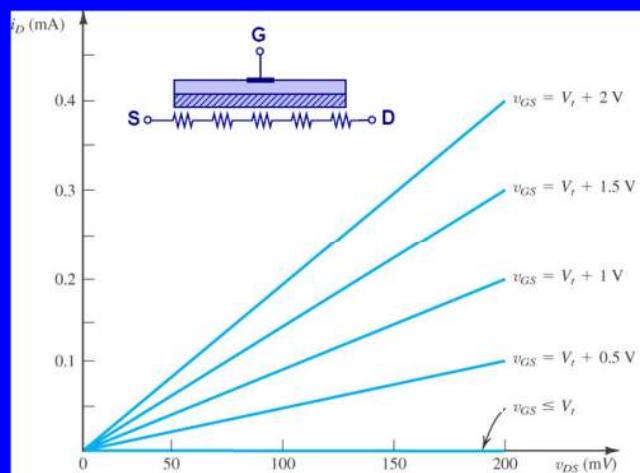
Transistores MOSFET



➤ Transistor funciona como um resistor linear cujo valor é controlado por V_{GS} .

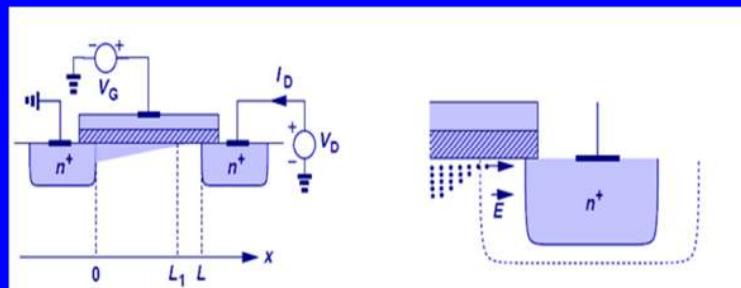
Transistores MOSFET

Curva característica $i_D \times v_{DS}$ – Transistor nMOS



- Transistor funciona como um resistor linear cujo valor é controlado por V_{GS} .

Transistores MOSFET

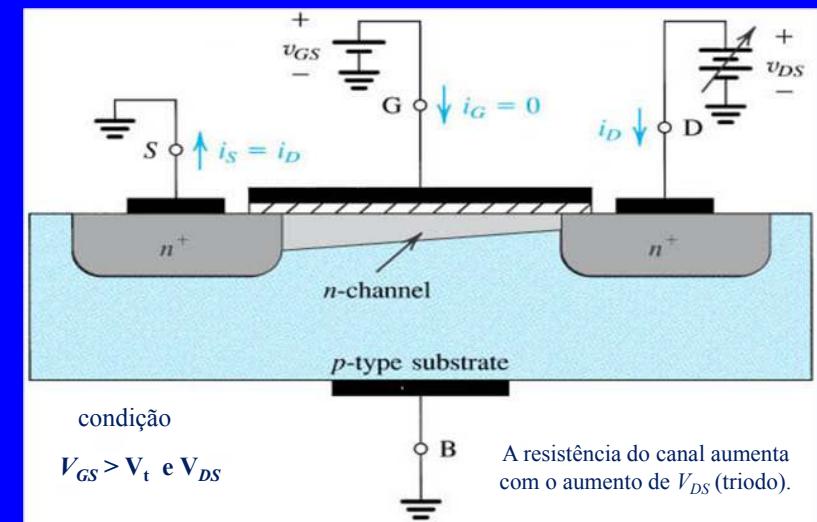


Estrangulamento do canal (*pinch off*) e modulação comprimento do canal (efeito canal curto)
Saturação

7

Transistores MOSFET

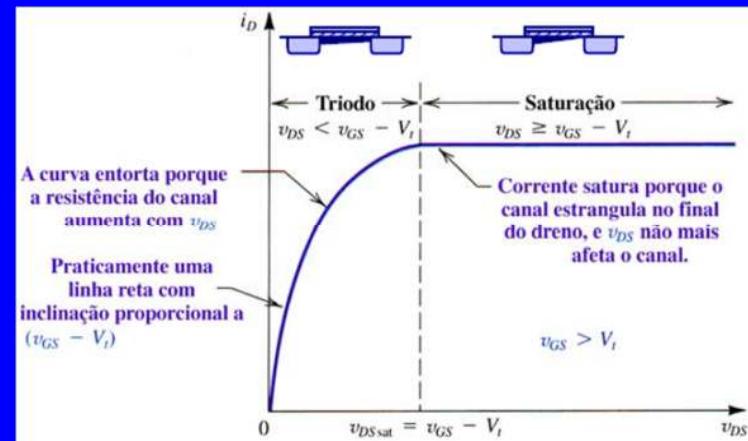
Estreitamento do canal



6

Transistores MOSFET

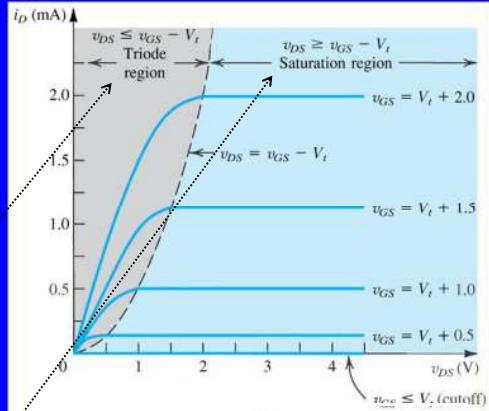
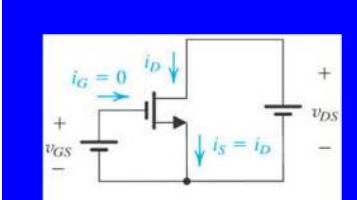
Curva característica $i_D \times v_{DS}$ – Transistor nMOS



8

Transistores MOSFET

Curva característica i_D x V_{DS} – Transistor nMOS



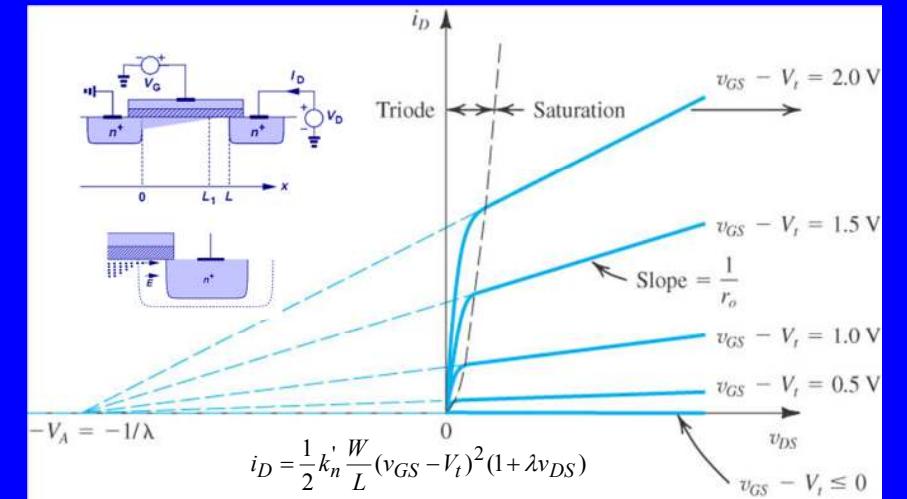
$$i_D = k_n \frac{W}{L} \left[(v_{GS} - V_t) v_{DS} - \frac{1}{2} v_{DS}^2 \right]$$

$$i_D = \frac{1}{2} k_n \frac{W}{L} (v_{GS} - V_t)^2$$

9

Transistores MOSFET

Modulação do comprimento do canal

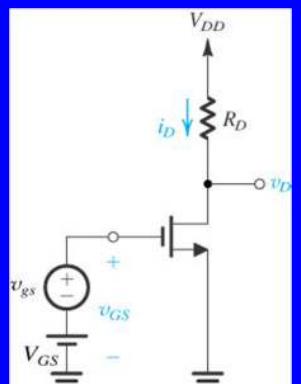


➤ A corrente no canal aumenta com o aumento de v_{DS} !!

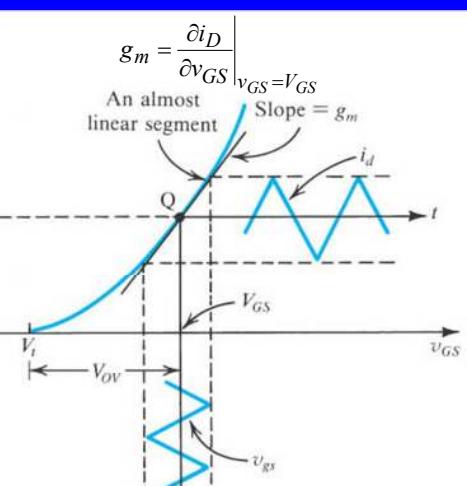
10

Transistores MOSFET

Transcondutância (g_m)



$$g_m = \frac{i_d}{v_{gs}} = k_n \frac{W}{L} (V_{GS} - V_t)$$

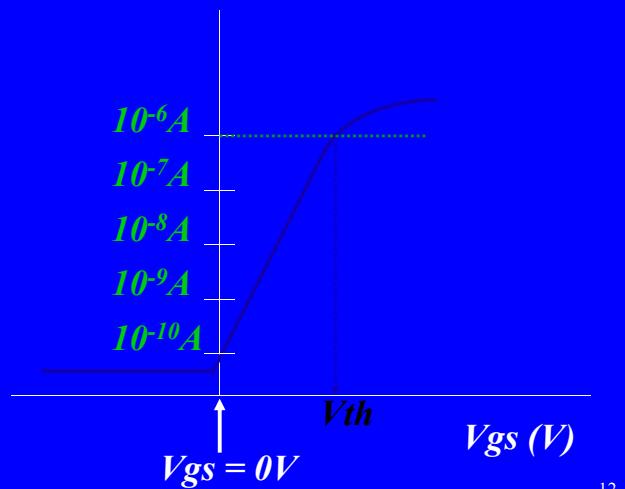


11

Transistores MOSFET

Log Id

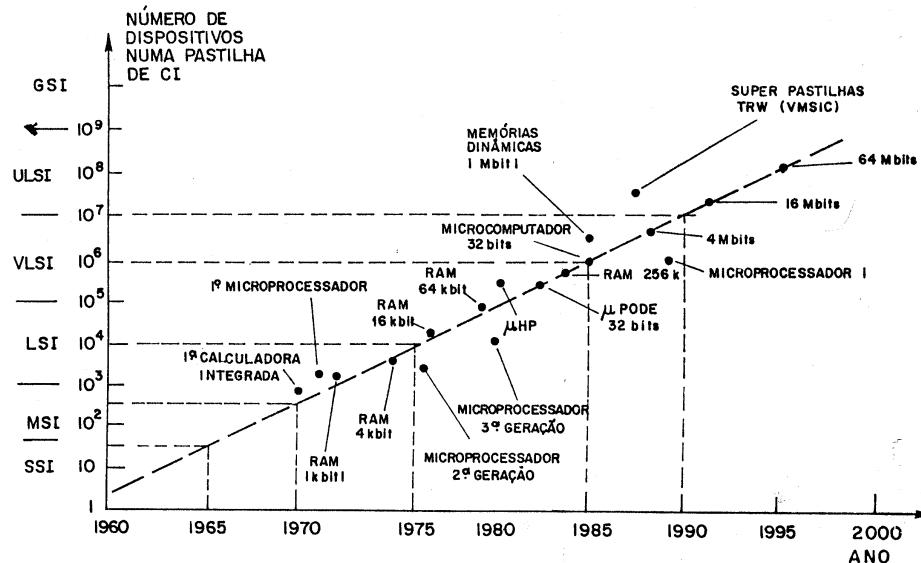
Subthreshold leakage current



12

1. Introdução - Escalamento

- Lei de Moore:



1. Introdução – Escalamento – cont.

- Quais as forças propulsoras para o escalamento?
 - Maior densidade integração ⇒ economia
 - Menor consumo de energia ⇒ desempenho
 - Maior velocidade de operação ⇒ desempenho
 - Menor no. de chips / sistema ⇒ economia

14

1. Introdução – Escalamento – cont.

- Perguntas:

- Como reduzir (escalar) dimensões ?
- Quais as limitações dos dispositivos escalados?
- Quais os limites de escalamento?

15

1. Introdução – Escalamento – cont.

FEATURE	LIMIT	REASON
Oxide Thickness	2.3 nm	Leakage (I_{GATE})
Junction Depth	30 nm	Resistance (R_{SDE})
Channel Doping	$V_T=0.25$ V	Leakage (I_{OFF})
SDE Under Diffusion	15 nm	Resistance (R_{INV})
Channel Length	0.06 μm	Leakage (I_{OFF})
Gate Length	0.10 μm	Leakage (I_{OFF})

16

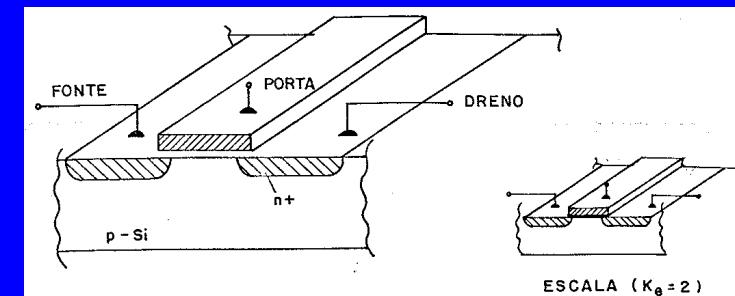
2. Leis de Escalamento

Regra Escalamento por Campo elétrico Constante - EC

Parâmetro	Fator de escala($k_e > 1$)
Dimensões: L, W, t_{ox}, x_J	$1/k_e$
N dopagem	k_e
Tensões	$1/k_e$

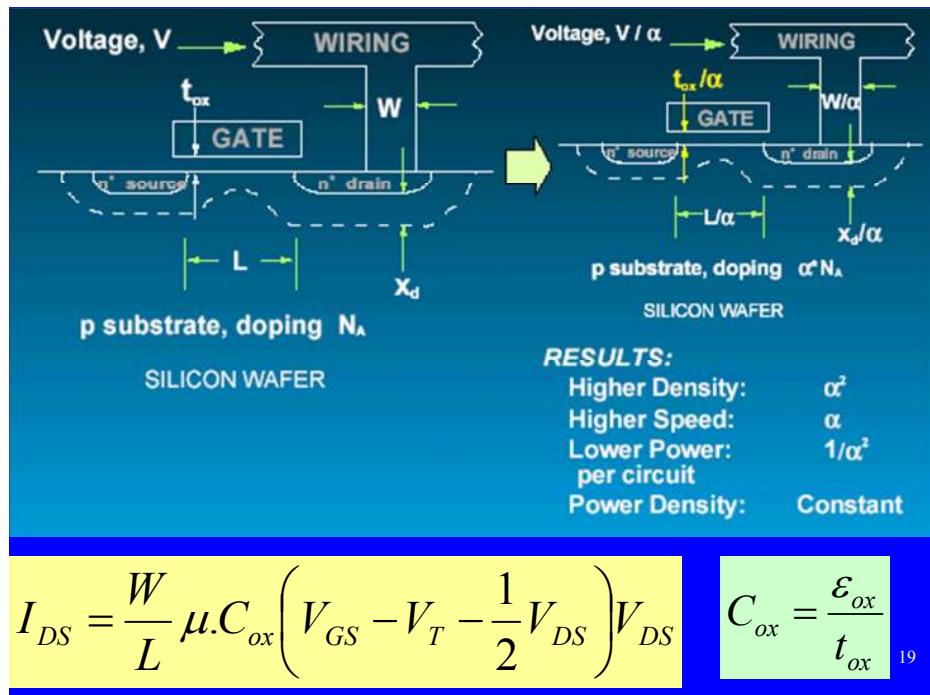
Evita-se variações em efeitos que dependam do campo elétrico 17

2. Leis de Escalamento – cont.



ESCALA ($K_e = 2$)

18

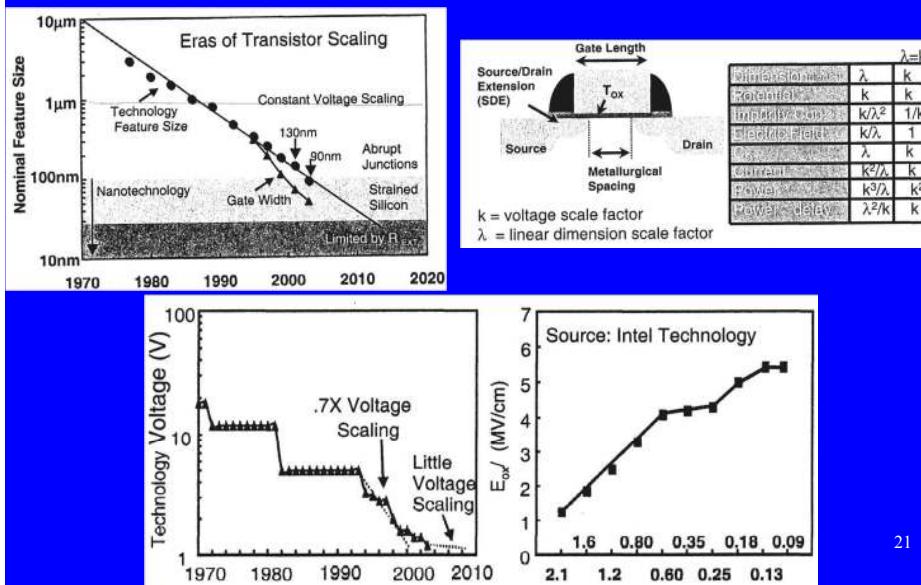


2. Leis de Escalamento – Tipos de Leis

Parâmetro	EC	VC	VQC	Geral
W, L, x_J	$1/k$	$1/k$	$1/k$	$1/k_d$
t_{ox}	$1/k$	$1/\sqrt{k}$	$1/k$	$1/k_d$
N	k	k	k	k_d^2/k_v
V_{DD}	$1/k$	1	$1/\sqrt{k}$	$1/k_v$
I_{DS}	$1/k$	\sqrt{k}	1	k_d/k_v^2
C	$1/k$	$1/k^{3/2}$	$1/k$	$1/k_d$
t_a	$1/k$	$1/k^2$	$1/k^{3/2}$	k_d/k_v^2
P	$1/k^2$	\sqrt{k}	$1/\sqrt{k}$	k_d/k_v^3
$P \cdot t_a$	$1/k^3$	$1/k^{3/2}$	$1/k^2$	$1/k_d^2 k_v$
P/A	1	$k^{5/2}$	$k^{3/2}$	k_d^3/k_v^3

20

Três eras: i) tensão constante (70-90), ii) junções abruptas (90-00) e iii) strained Si engineering (00-...)



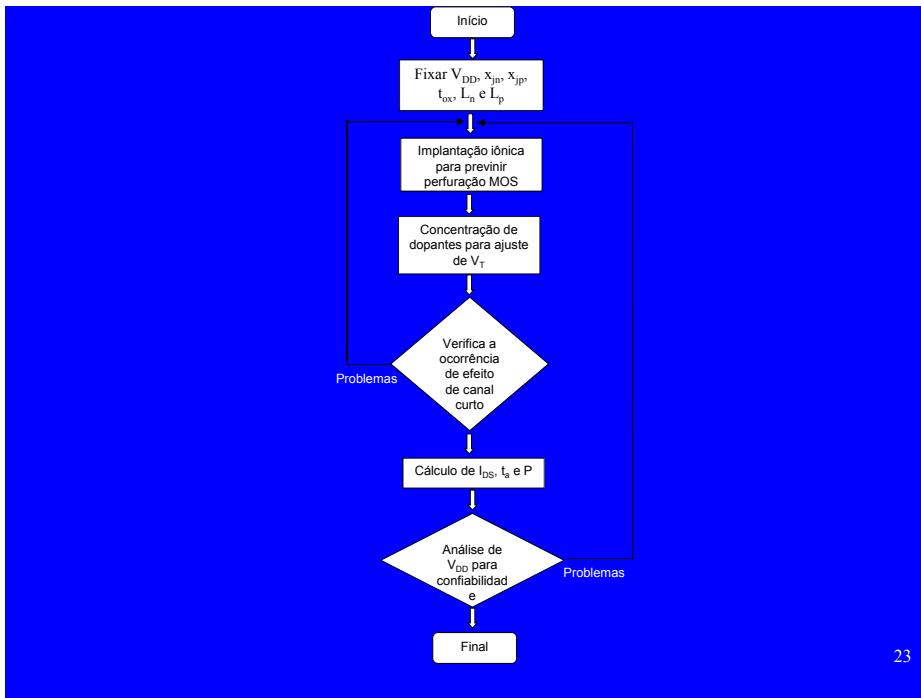
21

22

2. Leis de Escalamento – Procedimento Prático

- Por simulações de:
 - Processos (SUPREM; Athena)
 - Dispositivos (PISCES; Atlas)
- Ajustar os parâmetros para ótimo desempenho, com análise de:
 - Tensão de limiar, V_T
 - Efeito de canal curto ($V_T \times L$ e V_{DD})
 - Perfuração MOS (punchthrough)
 - Corrente de corte, I_{off}
 - Tempo de atraso, t_a
 - Potência, P
 - Corrente de porta e substrato p/ confiabilidade

22



23

3. Limitações

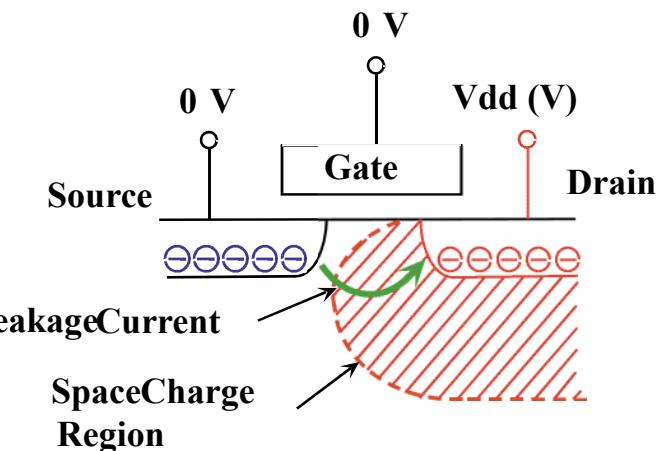
Limitações de transistores de pequenas dimensões:

1. Efeitos de canal curto e canal estreito, $\Delta V_T \times L$ e $\Delta V_T \times V_{DS}$ (DIBL)
2. Perfuração MOS
3. Resistências parasitárias
4. Capacitância de inversão
5. Corrente de tunelamento de porta
6. Redução de mobilidade
7. Injeção de portadores quentes
8. Rupturas

24

3.1- Efeitos de Canal Curto – SCE

DIBL

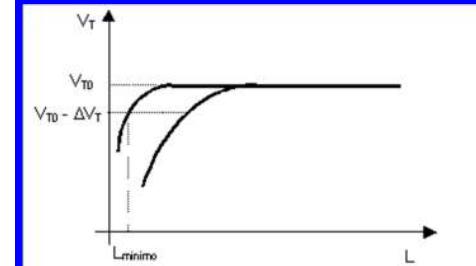


25

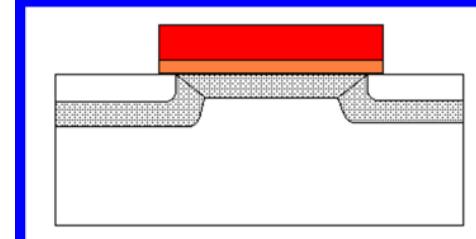
3.1 Limitações – Efeitos de canal curto: V_T vs L

(canal n, L longo)

- Parâmetros de ajuste:
 - Dopagem no canal
 - Profundidade de junção
 - Espessura de óxido de porta



$$V_T = -\frac{Q_{ef}}{C_{ox}} + \phi_{MS} + 2\phi_F + \frac{1}{C_{ox}} \sqrt{2q\epsilon_{ox}N_A(2\phi_F + V_{SB})}$$



No projeto de um processo deve-se ajustar estes parâmetros para a máxima variação tolerável (ΔV_t)

26

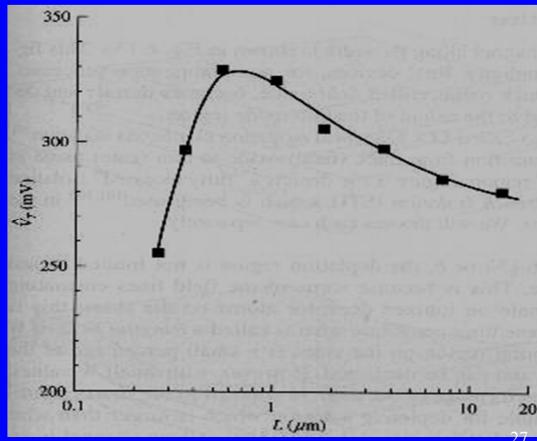
Efeito reverso de canal curto (RSCE).

Sabe-se que $\downarrow L \downarrow V_T$,

No entanto, freqüentemente é observado que primeiro $V_T \uparrow$ quando $L \downarrow$.

Acredita-se que esse efeito deve-se à não uniformidade de Q'_0 e N_A ao longo do canal.

O efeito deve ser minimizado na tecnologia



27

3.1 – Dispositivos de canal estreito.

Fig 6.13a – Largura ao longo do canal.

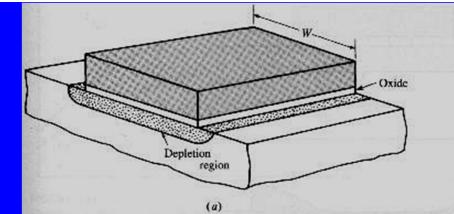


Fig.6.13b – LOCOS (local oxidation of silicon) – formação do “bico de passáro”

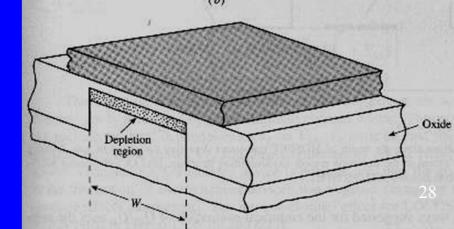
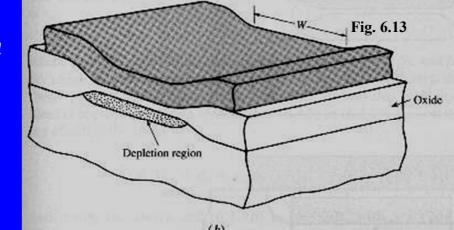


Fig 6.13c - STI (shallow-trench isolation) usado na tecnologia CMOS 0.35μm e abaixo.

28

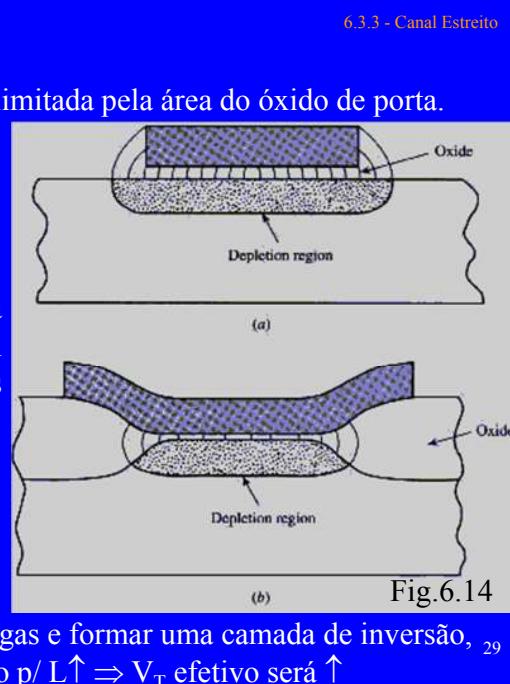
Isolação LOCOS.

A região de depleção não fica limitada pela área do óxido de porta.

Campos laterais originados de cada lado na porta terminam nos átomos ionizados.

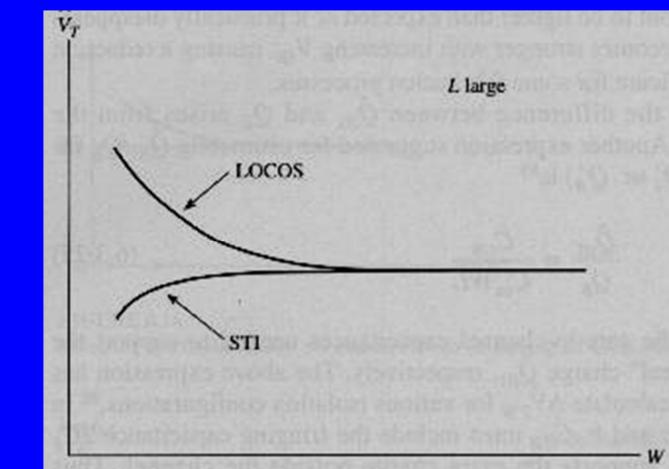
Se W é grande, então uma pequena parcela da carga total é afetada pelos campos laterais.

Se W for pequeno, a parcela da carga afetada não é desprezível.



Neste caso, para depletar as cargas e formar uma camada de inversão, V_{GS} deve ser maior que previsto p/ $L \uparrow \Rightarrow V_T$ efetivo será \uparrow

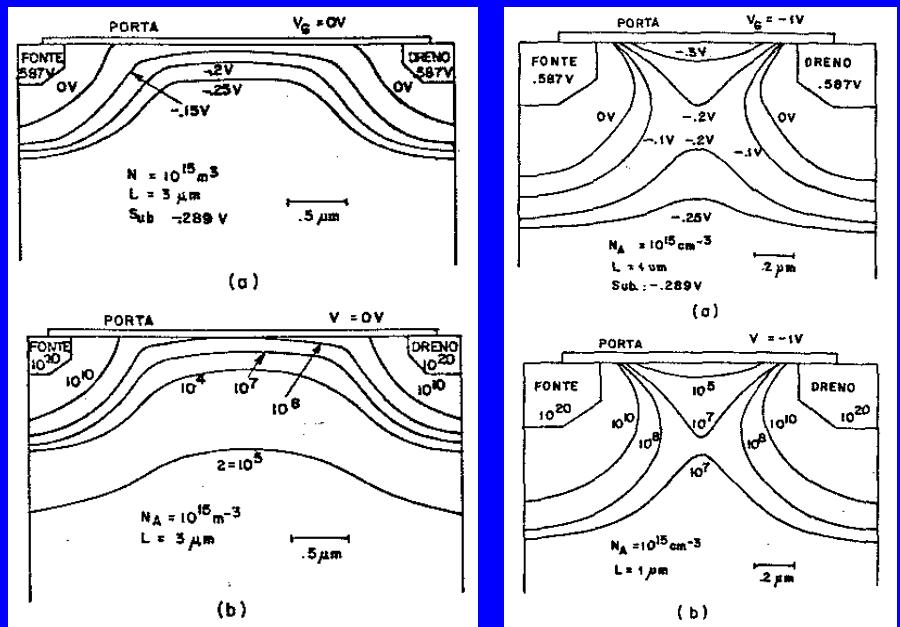
Isolação LOCOS e STI



Nota: No caso STI é possível reduzir a dependência com W , pelo arredondamento da quina do Si do STI.

30

3.2 Limitações – “Punchthrough”



3.2 Perfuração MOS (*punchthrough*).

O critério mais usado para observar integridade dos efeitos eletrostáticos (canal curto) é S pouco dependente de V_{DS} e com valor próximo ao L longo

$$S = dV_{GS} / d \log I_{DS} \quad S \approx 80 \text{ mV/dec (longo)} \text{ e } \approx 60 \text{ mV/dec (curto)}$$

Para o menor dispositivo aceita-se uma variação de alguns % ($\sim 5 \text{ mV/dec}$)

A fig. 6.11b apresenta uma boa característica eletrostática.

O deslocamento da curva para esquerda quando $V_{DS} \uparrow$ deve-se ao efeito DIBL.

$\Delta V_{GS} / \Delta V_{DS} < 100 \text{ mV/V}$
valores típicos aceitáveis.

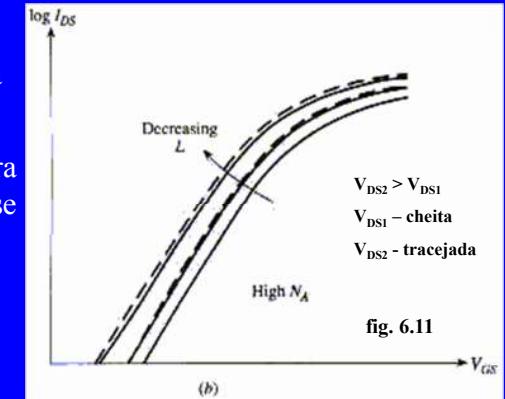
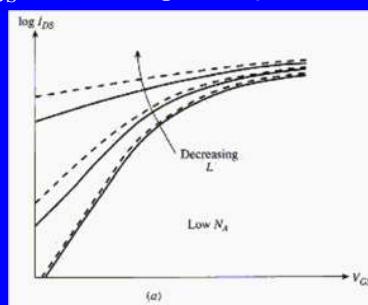
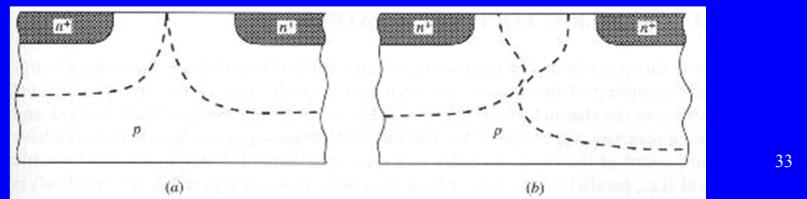


Fig 6.11a, grande dependência de S com V_{DS} – efeito de perfuração MOS

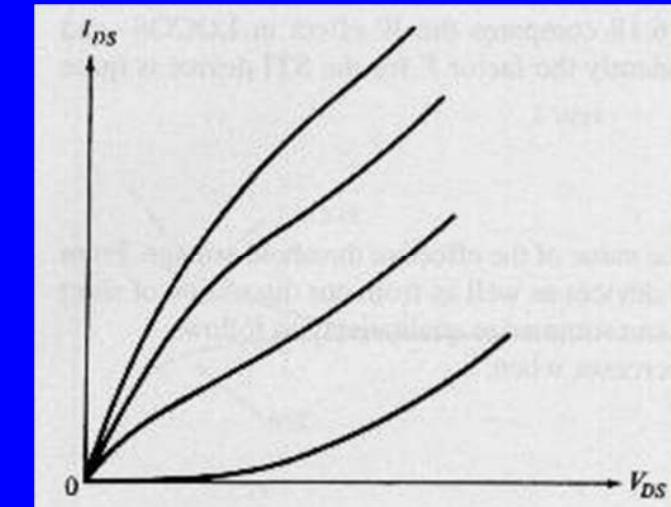
É uma caso severo de diminuição de barreira que causa um fluxo de elétrons da fonte para o dreno. A integridade eletrostática é violada

Também pode ocorrer quando há o encontro das regiões de depleção da fonte e do dreno, na ausência da região de depleção na porta:

- a) perfuração de superfície (dopagem uniforme)
- b) perfuração de corpo (dopagem maior na superfície)



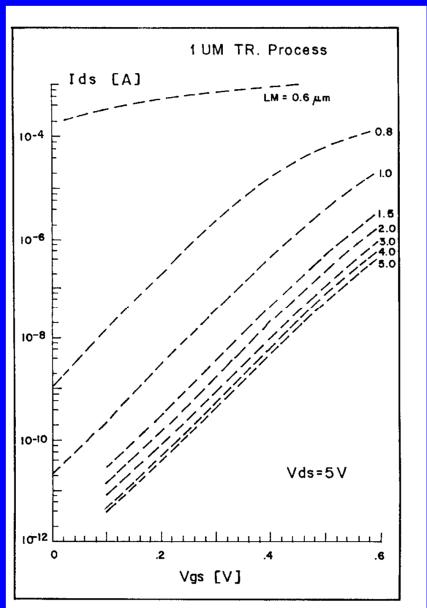
Efeitos de perfuração MOS sobre as curvas características:



Perfuração MOS deve ser evitado por construção e não necessita ser modelado em modelos compactos SPICE.

34

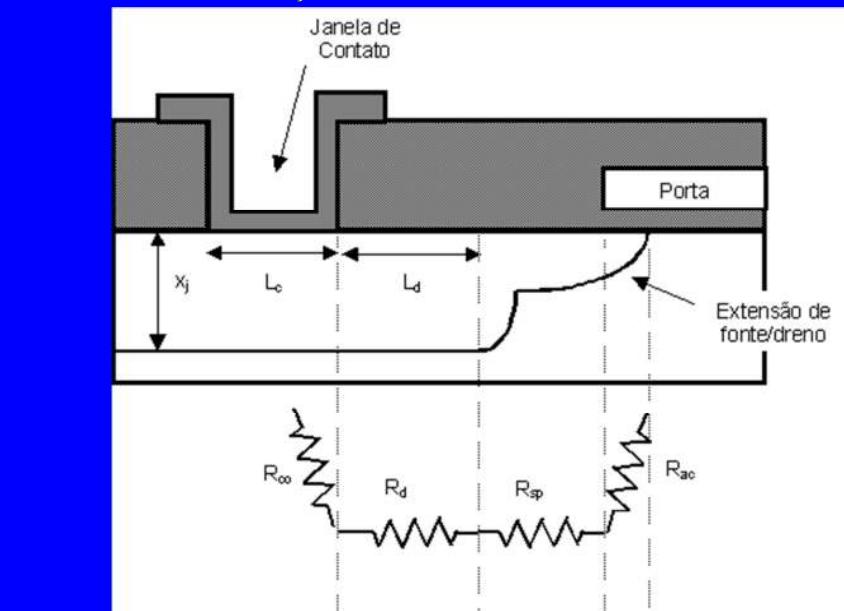
“Punchthrough” – cont.



Para observar a ocorrência:
 $\log I_d \times V_{GS}$ – não mais apresenta comportamento exponencial com V_{GS} .

- Parâmetros de ajuste:
 - Dopagem no canal, com alta energia para elevar a conc. do corpo, evitar que a depleção do dreno caminhe para o canal
 - Profundidade de junção (LD ou SDE=Source/drain extention)
 - Espessura de óxido de porta

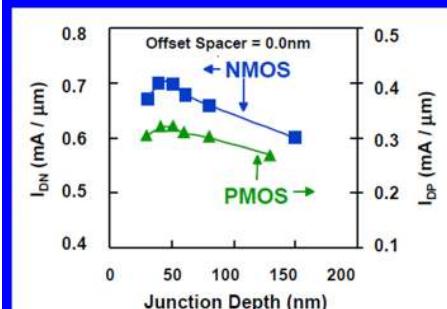
3.3 Limitações – Resistências Parasitárias



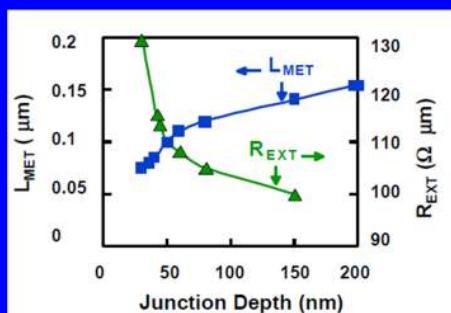
35

36

3.3 Limitações – Resistências Parasitárias

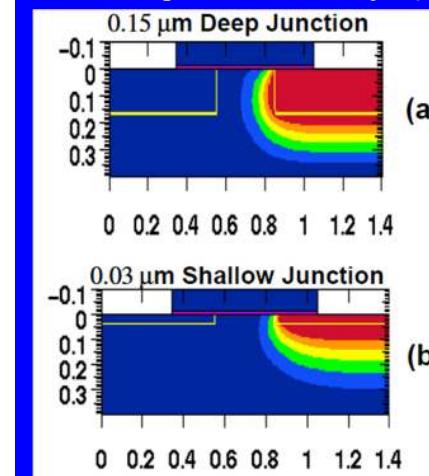


Compromisso entre aumento da corrente de dreno e aumento das resistências parasitárias.

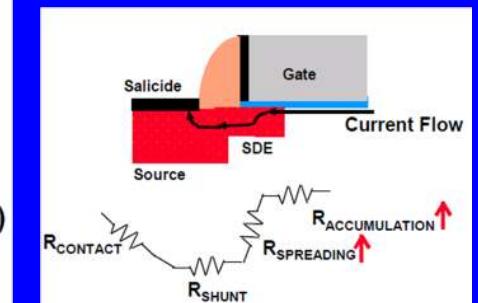


3.3 Limitações – Resistências Parasitárias – cont.

Para diminuir efeitos de canal curto deve-se diminuir a profundidade de junção.



Dificuldades:
 $X_J \downarrow \Rightarrow R_d \uparrow$
 $\text{Área} \downarrow \Rightarrow R_{Co} \uparrow$



38

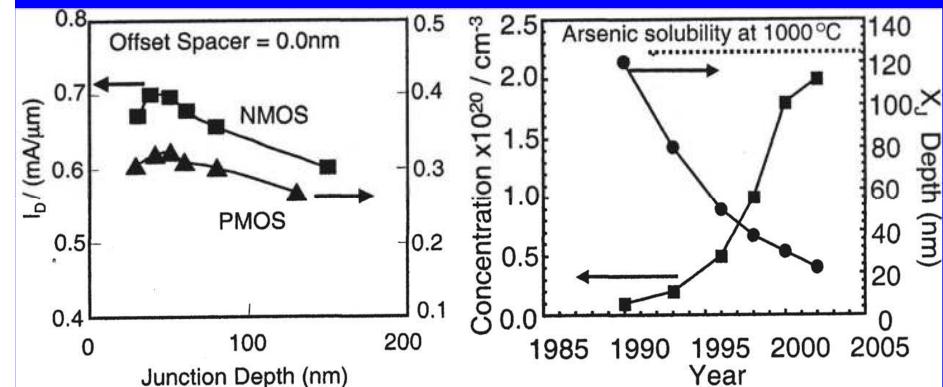
3.3 Limitações – Resistências Parasitárias – cont.

- Dificuldades:
 - $X_J \downarrow \Rightarrow R_d \uparrow$
 - $\text{Área} \downarrow \Rightarrow R_{Co} \uparrow$
- Soluções:
 - Siliceto sobre a região de S/D
 - S/D com alta dopagem, uso de RTP.
 - Perfil abrupto da região LDD: R_{SP} e $R_{AC} \downarrow$

Recomenda-se que a soma das resistências parasitárias de fonte e dreno não excedam a 10% da resistência intrínseca do canal

39

I_{on} vs. x_J para I_{off} fixo (Era junção abrupta)



X_J menor resulta S menor, permite V_T menor, aumenta I_{on}

40

3.4 Limitações – Capacitância de Porta

- Classicamente: $Q_c = C_{ox}(V_{GS} - V_T)$

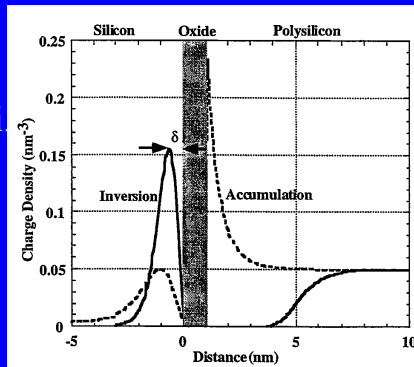
$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}}$$

- Correções:

efeito da espessura do canal
depleção da porta de Si-poli

$$\frac{1}{C_{ef}} = \frac{1}{C_{ox}} + \frac{1}{C_c} + \frac{1}{C_{poli}}$$

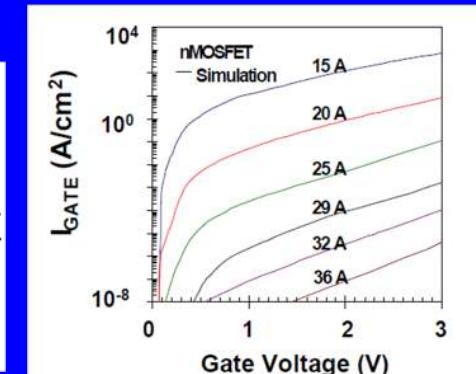
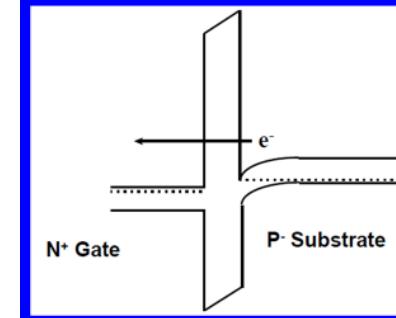
$$C_c = \frac{\epsilon_{Si}}{t_c} \quad C_{poli} = \frac{\epsilon_{Si}}{t_{depl}}$$



41

3.5 Limitações – Corrente de tunelamento

O limite da espessura do óxido não está limitado pelo processo de fabricação. Pode-se fabricar $\text{SiO}_2 < 1,5\text{nm}$
Limitado por corrente de fuga/tunelamento!



42

3.5 Limitações – Corrente de tunelamento

$$J_{tun} = A \cdot \exp\left(-2\sqrt{\frac{2m^* \cdot q \cdot \phi_B}{\hbar^2}} \cdot t_{ox}\right)$$

- $I_{tunel} < 0,01 I_{DS}$
- $\text{SiO}_2 > \sim 1,5 \text{ nm}$
- Solução: usar dielétrico de alta constante dielétrica:
 - Espessura maior para mesma capacitância!
 - Necessário para $L < \sim 50 \text{ nm}$.

43

CMOS GATE DIELECTRICS

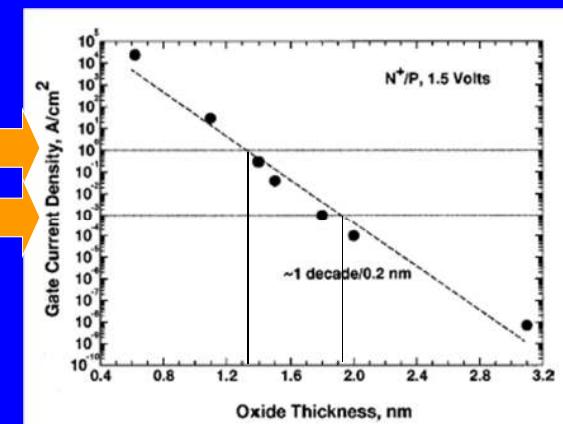
35nm NMOSFETs

For desktop applications

$$1 \text{ A/cm}^2$$

For portable applications

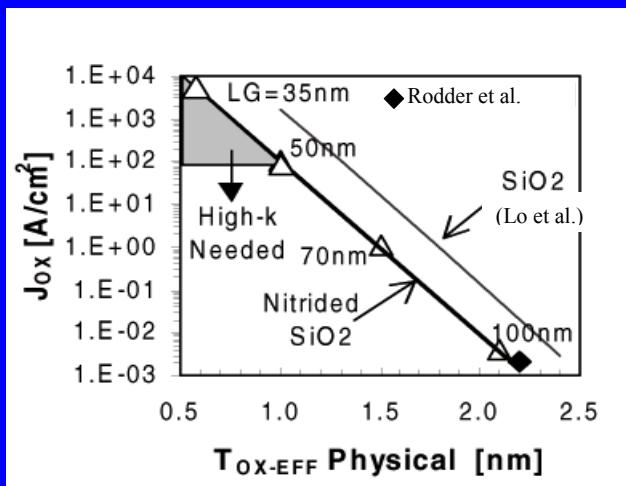
$$1 \text{ mA/cm}^2$$



Reference #1 - M.L. Green, E.P. Gusev, R. Degraeve and E. L. Garfunkel,
“Ultrathin (<4 nm) SiO_2 and Si-O-N gate dielectric layers for silicon
microelectronics: Understanding the processing, structure, and physical and
electrical limits”, J. Appl. Phys., 90 (5), 2057 (2001).

44

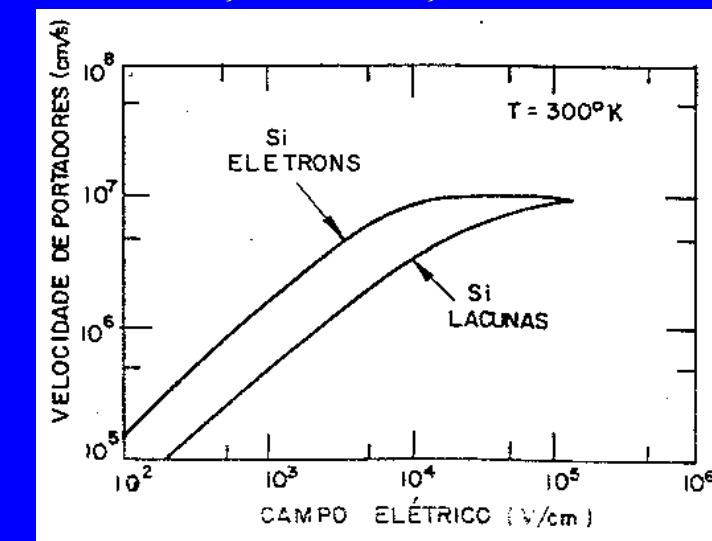
Gate leakage current density vs. T_{ox} equivalent.



T. Ghani et al., Symp. on VLSI, p.174, June, 2000⁴⁵

~ 2005:
 $L \sim 50$ nm
 Necessidade de high-k, p/
 potência reduzida

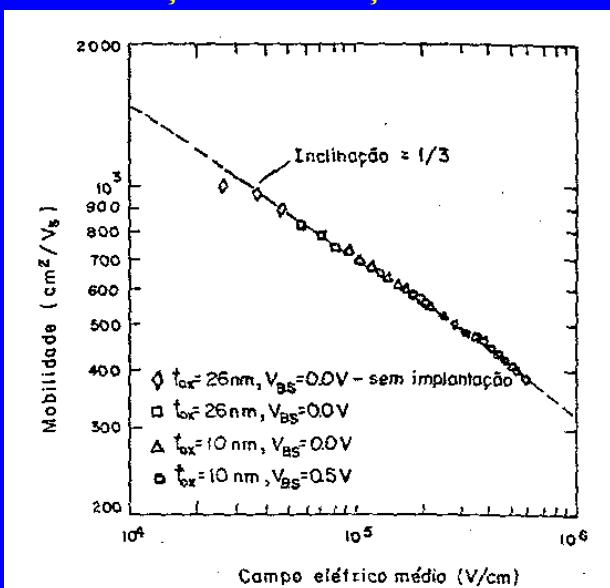
3.6 Limitações – Redução de mobilidade



Saturação da velocidade dos portadores $\sim 10^7$ cm/s.
 Campo elétrico 2×10^4 para n e 1×10^5 para p

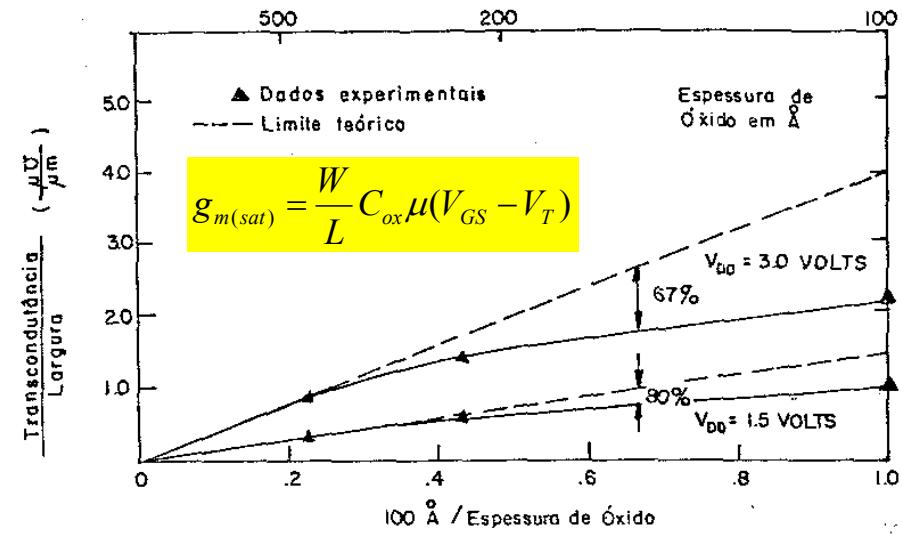
46

3.6 Limitações – Redução de mobilidade



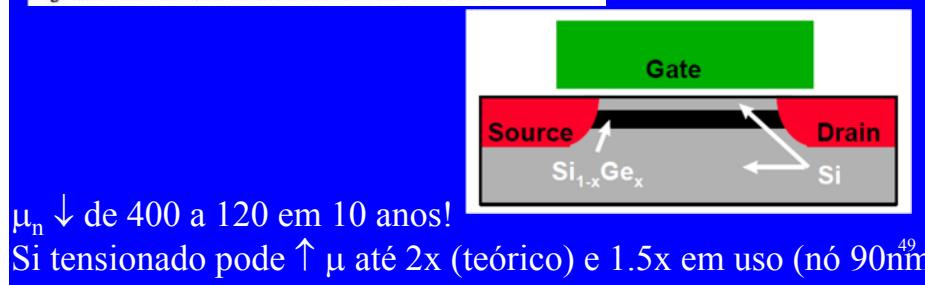
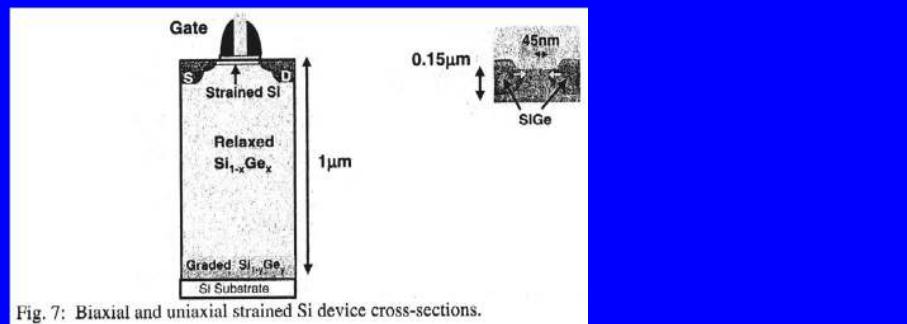
47

3.6 Limitações – Redução de mobilidade – cont.

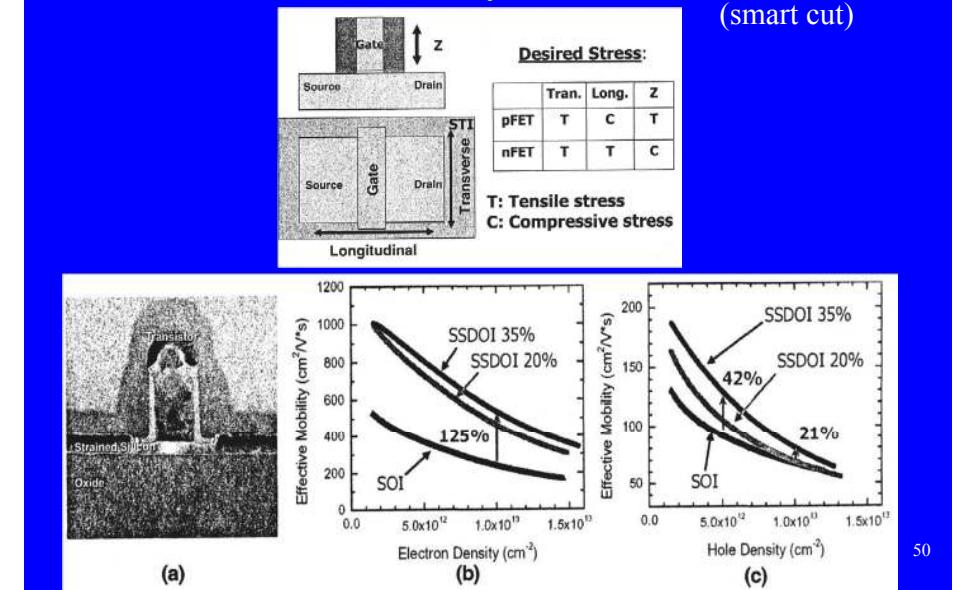


48

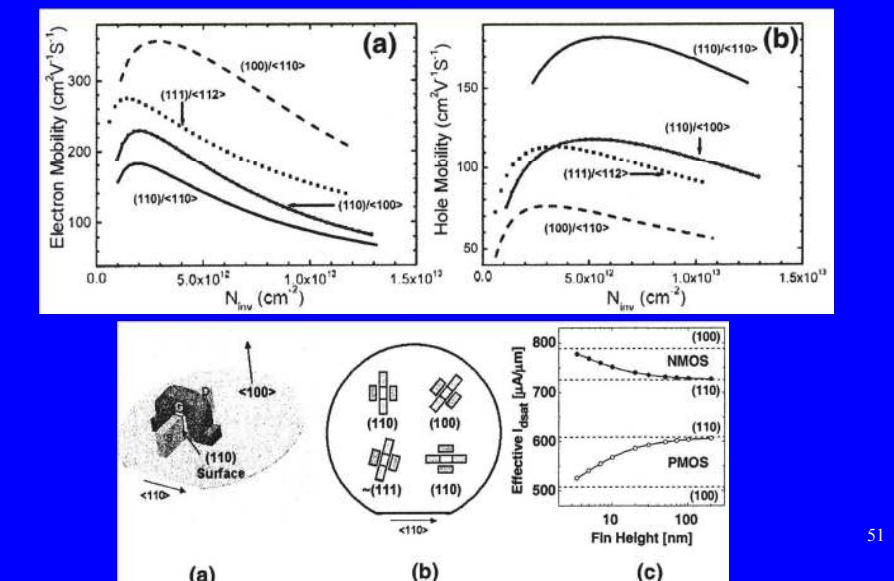
Uso de Si tensionado – aumenta mobilidade



Uso de Si tensionado – aumenta mobilidade (ex. Si/SiGe)
SSDOI = strained silicon directly on insulator, por técnica de transferência (smart cut)



Efeito da orientação:
 μ_n máx. (100)/<110>; μ_p máx. (110)/<110> (\uparrow 2.5x)



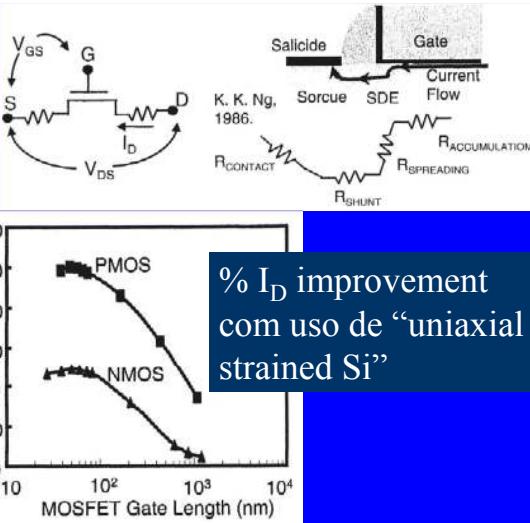
51

Transistores MOS com Ge (Stanford)

- Mobilidade muito melhor, porém, baixo limite de solubilidade sólida $\sim 10^{19} \text{ cm}^{-3}$.

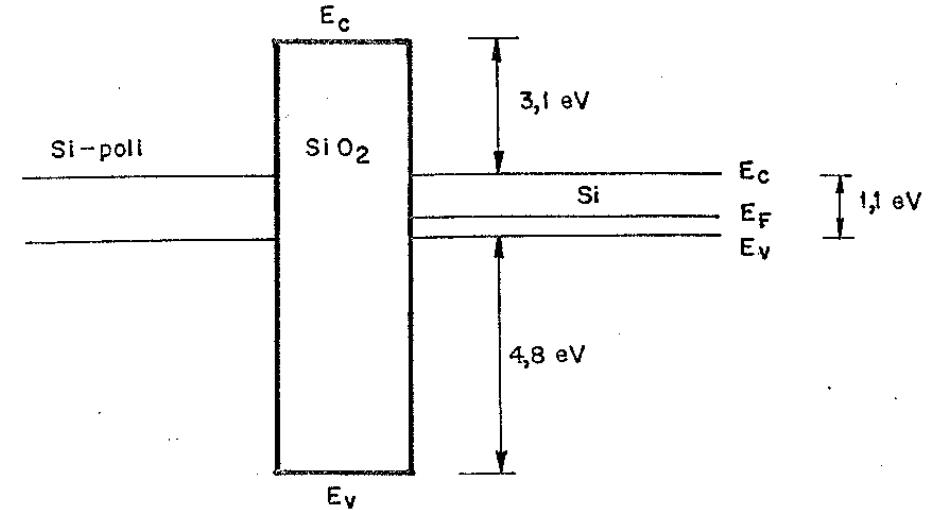
52

Séria limitação: R_{SD}



- R_{SD}/R_{ch} era menor que 20%, agora tende a 1 !
- Ganho pelo strain tende a saturar para $L < 100\text{nm}$ (nMOS) e $L < 50\text{nm}$ (pMOS) devido à R_{SD} .
- Prioridade: reduzir R_{SD} ; não adianta melhorar a chave MOS (CNT ?)⁵³

3.7 Injeção de Portadores Quentes



54

Portadores quentes.

O campo longitudinal aumenta da fonte para o dreno.

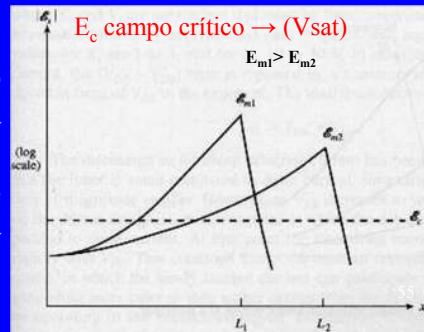
O pico do campo se dá na junção canal-dreno e depende fortemente de L e V_{DS} .

Para $L_{(2)} \uparrow$, o campo crítico \sim coincide com o inicio do estrangulamento.

Para $L_{(1)} \downarrow$, há uma porção do canal antes do estrangulamento onde a velocidade dos portadores satura.

Em campos $> E_c$:

A velocidade dos portadores não aumenta devido às colisões, porém a energia cinética randômica aumenta. Uma pequena fração de portadores adquirem uma quantidade de energia alta \Rightarrow “portadores quentes”



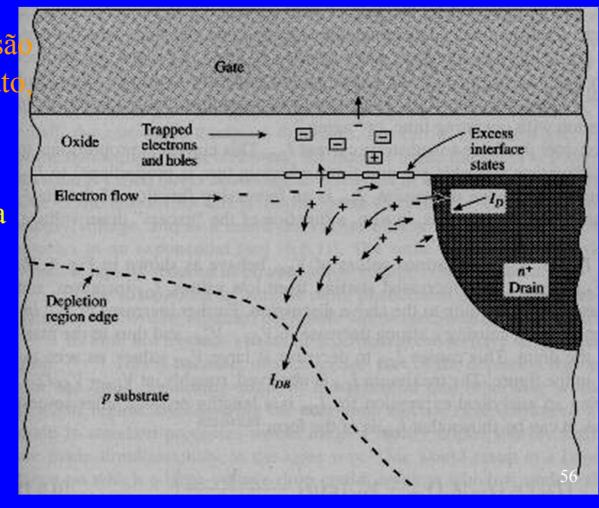
Alguns dos elétrons adquirem energia suficiente para produzir ionização por impacto com átomos de silício do cristal, onde são criados novos pares elétron-lacuna \Rightarrow avalanche fraca.

Elétrons gerados são atraídos para o dreno;

Lacunas geradas são “puxadas” para o substrato, gerando a corrente I_{DB} .

Uma fração dos elétrons podem sobrepor a barreira do SiO_2 , serem injetados no óxido e coletados pela porta.

$\Rightarrow \uparrow N_{it}$ e modifica Q_0 , $\Rightarrow \downarrow$ tempo de vida dos dispositivos e ΔV_t

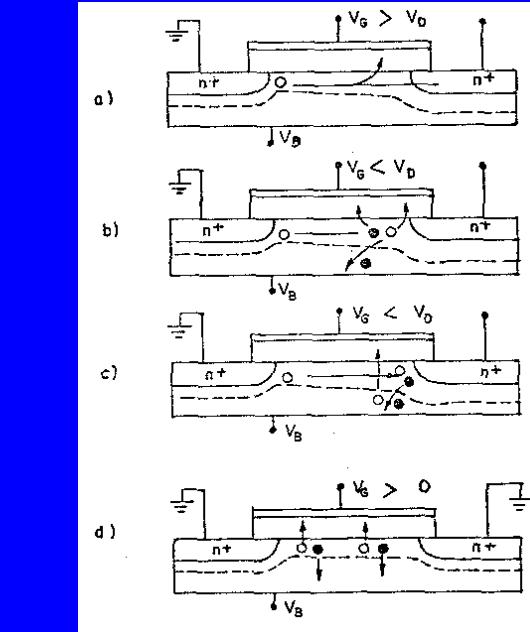


55

3.7 Injeção de Portadores Quentes – cont.

- Modos principais de injeção de portadores quentes:
 - a) elétrons quentes do canal
 - b) elétrons quentes e lacunas quentes produzidos por avalanche;
 - c) elétrons quentes do substrato, induzidos por ionização secundária;
 - d) elétrons térmicos quentes.

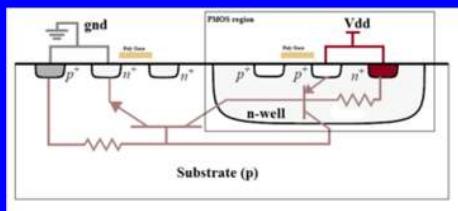
57



58

3.7 Injeção de Portadores Quentes – cont.

- Efeitos da injeção de portadores quentes:
 - Corrente de porta
 - Corrente de substrato
 - Degradação da mobilidade ou transcondutância
 - Degradação da tensão de limiar
 - Ruptura do transistor
 - Latch-up em CMOS.



59

3.7 Injeção de Portadores Quentes – cont.

- Dependência com parâmetros:
 - a) polarizações V_G , V_D , V_B ;
 - b) dimensões L , t_{ox} , X_j ;
 - c) dopagem de substrato;
 - d) forma do perfil do dreno próximo ao canal;
 - e) temperatura.
- Soluções:
 - a) Reduzir tensões (adoptado após 1990)
 - b) Alterar dopagem de S/D: LDD ou extensão (usado durante década de 80; em seguida, a extensão foi projetada para desempenho, I_{on}/I_{off}).

60

$I_{DB} \propto I_{DS}$ I_{DB} é função do campo, ou, excesso $V_{DS} - V'_{DS}$

Para um dado V_{DS} e aumentando V_{GS} , $\uparrow I_{DS}$ e $\uparrow I_{DB}$

aumentando mais V_{GS} , $\uparrow V'_{DS}$ e $(V_{DS} - V'_{DS}) \downarrow$ e o campo no dreno \downarrow

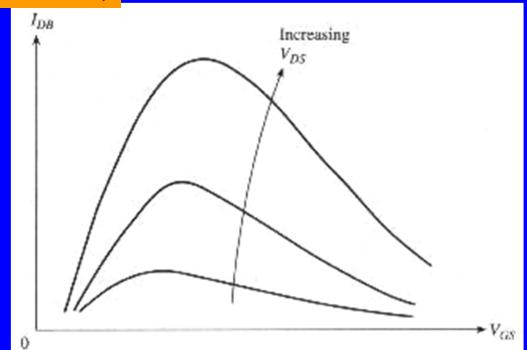
$$|I_{DB}| = |I_{DS}| K_i (V_{DS} - V'_{DS}) \exp\left(\frac{V_i}{V_{DS} - V'_{DS}}\right)$$

K_i de 1 a 3 V_i de 10 a 30V.

I_{DB} é máx em $V_{GS} \sim V_{DS}/2$

corrente total de dreno,

$$I_D = I_{DS} + I_{DB}$$



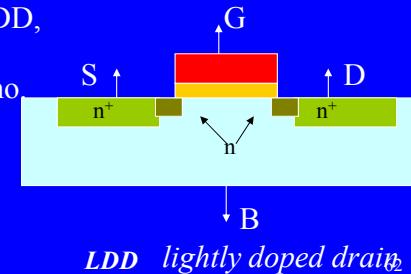
Se $t_{ox} \downarrow$ a corrente de porta (efeito de portadores quentes) não é mais desprezível.

Porém o limite de t_{ox} é definido pelo efeito de *tunelamento* e não por portadores quentes, pois $\downarrow t_{ox}$, \downarrow tensões e campos (escalamento).

Para limitar os efeitos por portadores quentes - *LDD*

Parte da região de depleção dentro LDD,

Diminuição do campo elétrico máximo



$n^+/n \approx$ entre 10 e 100

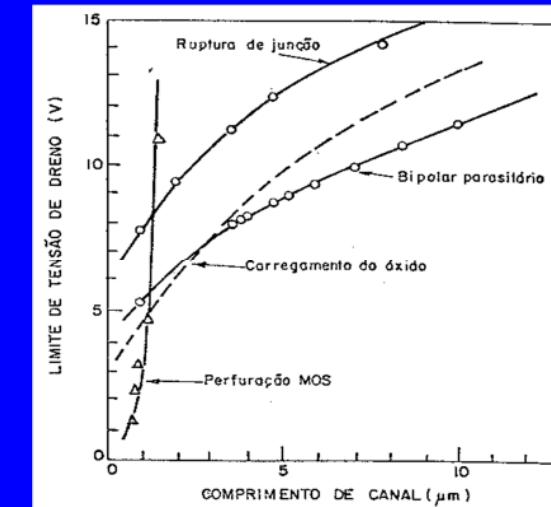
3.8 Rupturas de Transistor MOS

A - Ruptura do óxido de porta: $E_{max} = 1 \times 10^7$ V/cm
Limite era de ~ 1 a $1,5 \times 10^6$ V/cm
Atualmente 5×10^6 V/cm (modelamento do efeito de ruptura)

B - Ruptura bipolar parasitária: Corrente de substrato pode gerar polarização direta na junção fonte-substrato.

C - Ruptura por avalanche de dreno e/ou canal: pode haver ruptura devido à multiplicação de portadores por avalanche.

3.8 Rupturas de Transistor MOS



Perfuração MOS e ruptura bipolar parasitária podem ocorrer para tensões menores

4. Efeitos das limitações e “mapa de estrada”

- As limitações estudadas:
 - afetam o desempenho elétrico dos dispositivos
 - determinam as condições limites de operação
 - determinam condições de contorno para o projeto da estrutura física dos transistores e do processo de fabricação.

⁶⁵

ITRS 2001 with 2002 Update

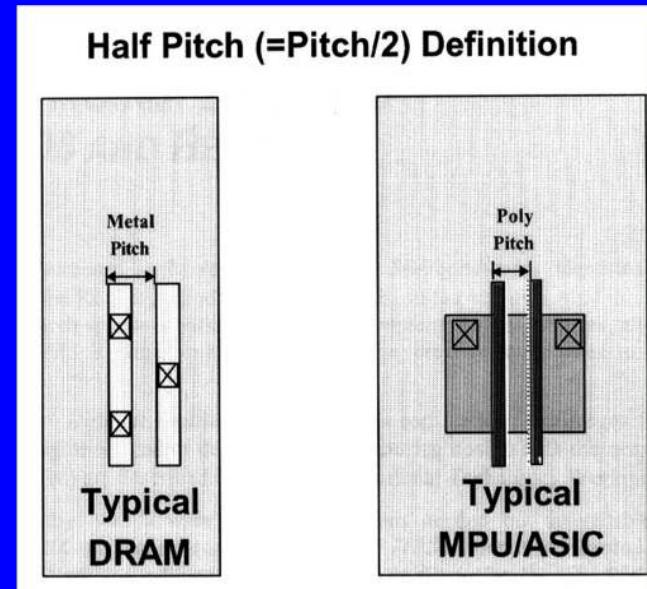
Roadmap CMOS

http://www.itrs.net/2001_sia_roadmap/home.htm

Ano	01	02	03	04	05	06	07	10	13	16
P1	130	115	100	90	80	70	65	45	32	22
P2	150	130	107	90	80	70	65	45	32	22
L1	90	75	65	53	45	40	35	25	18	13
L2	65	53	45	37	32	28	25	18	13	9

P1 = DRAM $\frac{1}{2}$ Pitch; P2 = MPU $\frac{1}{2}$ Pitch
 L1 = PMU Printed Gate Length;
 L2 = PMU Physical Gate Length; (all in nm) ⁶⁶

ITRS 2001 with 2002 Update

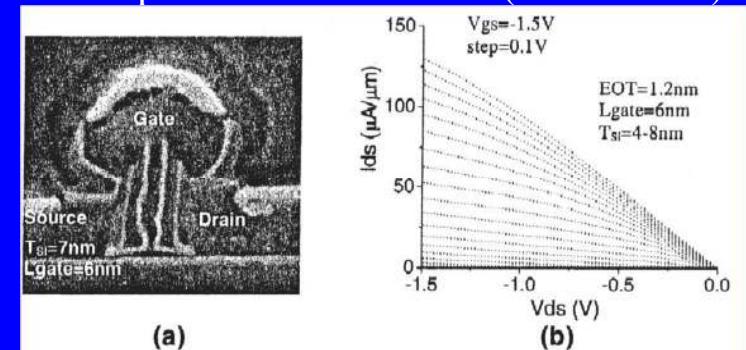


⁶⁷

ITRS2001 – dimensões em nm

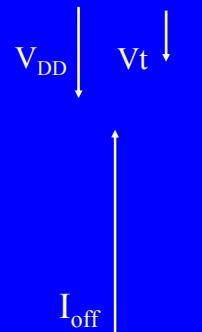
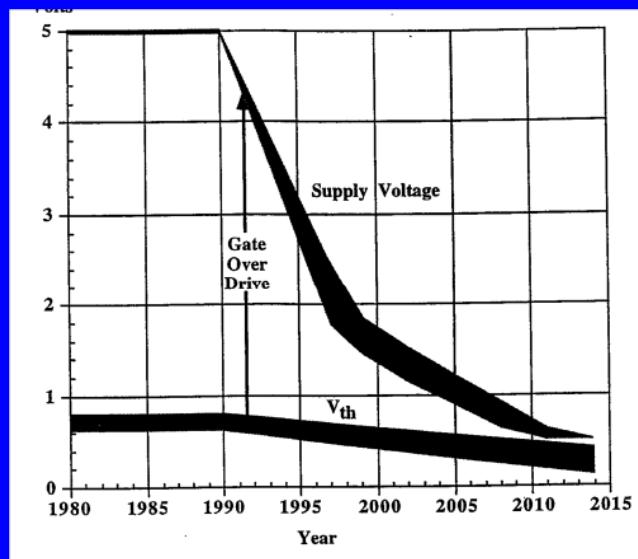
Ano	04	07	10	13	16	19	22	25
Lito	90	65	45	32	22	15	10	7
Printed Gate	53	35	25	18	13	9	6	4
Physical Gate	37	25	18	13	9	6	4	3

Transistor pMOS com L = 6 nm (IBM - 2004)



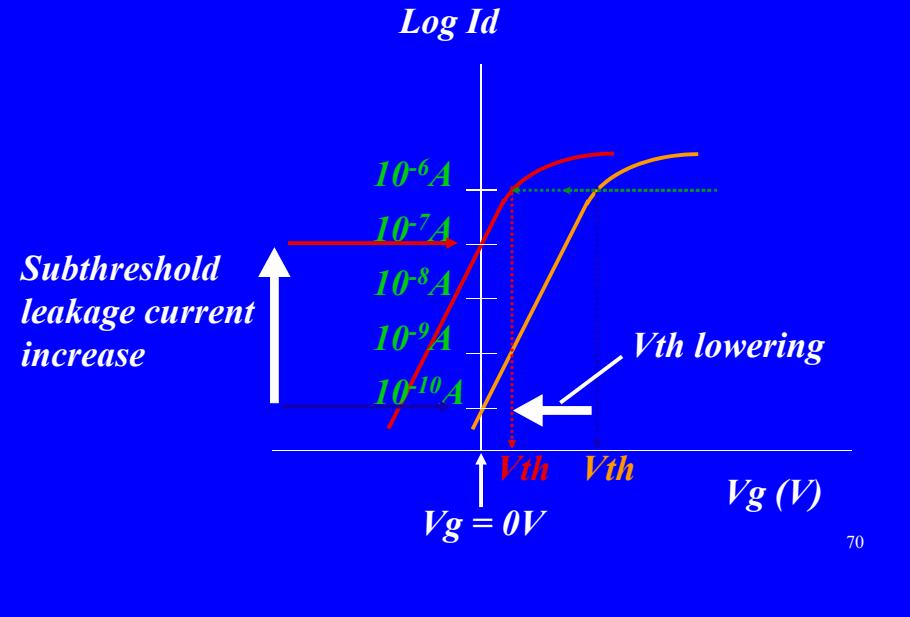
⁶⁸

4 Efeitos das limitações e “mapa de estrada” – cont.



69

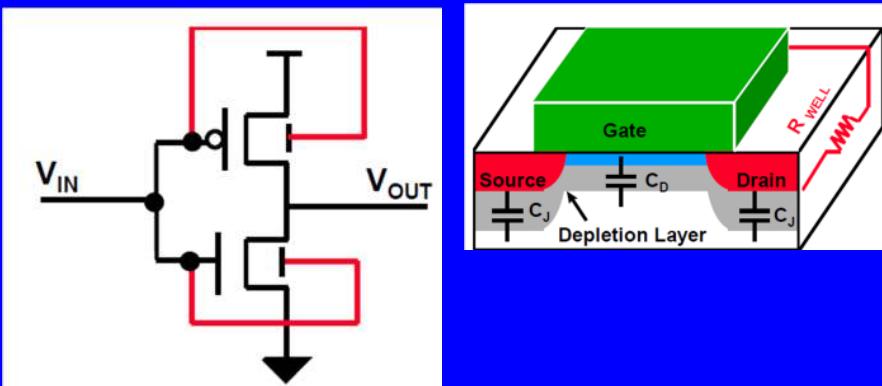
4 Efeitos das limitações e “mapa de estrada” – cont.



70

Dynamic V_t Device - DTMOS

Para operações com tensão menor que 0,6 V – evitar condução nos diodos de fonte e dreno



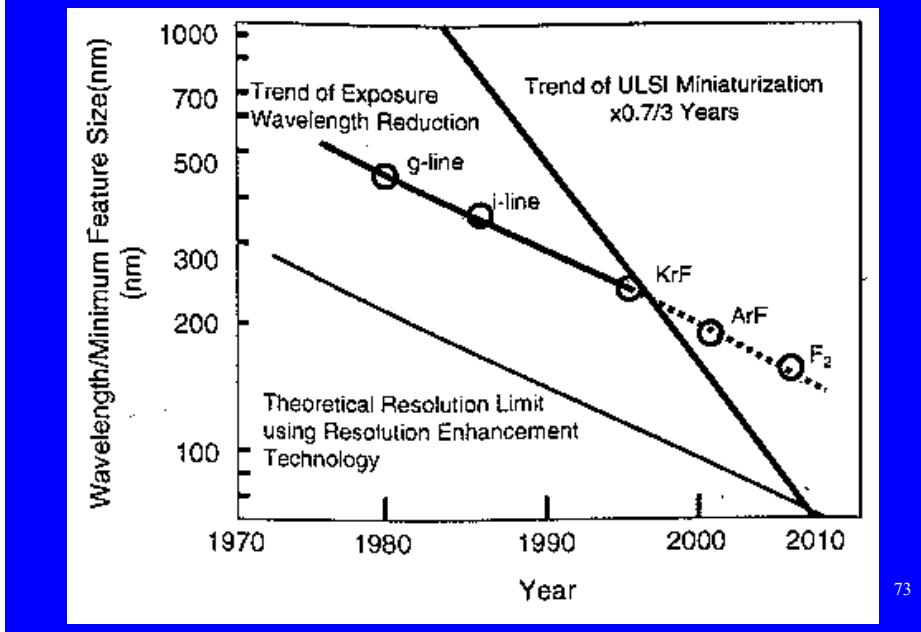
Conecta-se a porta ao substrato (poço) – V_t dinâmico!

4. Efeitos das limitações e “mapa de estrada” – cont.

Ano	1997	1999	2002	2005	2008	2011	2014
Dimensão mínima (nm)	250	180	130	100	70	50	35
DRAM (início de vendas)	256M	1G (3G)	8G	(24G)	64G	(192G)	
Área chip DRAM (mm ²)	280	400	460	530	630	710	860
Espessura equivalente de óxido (nm)	3-5	1.9-2.5	1.5-1.9	1.0-1.5	0.8-1.2	0.6-0.8	0.5-0.6
Res. máx. de material de porta ($\mu\Omega \cdot \text{cm}$)	60	43	33	23	16	11	
Res. máx. de contato siliceto/si ($\Omega \cdot \text{cm}^2$)	30×10^{-8}	17×10^{-8}	10×10^{-8}	5×10^{-8}	2.5×10^{-8}	1.5×10^{-8}	
Resistência de folha da extensão S/D (Ω/\square)	350-800	250-700	200-625	150-525	120-525	100-400	
X _d da extensão S/D (nm)	50-100	42-70	25-43	20-33	16-26	11-19	8-13
Perfil da extensão S/D (nm/dec.)		14	8.5	6.5	4.5	3.2	2.2
V _{DD}	1.8-2.5	1.5-1.8	1.2-1.5	0.9-1.2	0.6-0.9	0.5-0.6	0.5

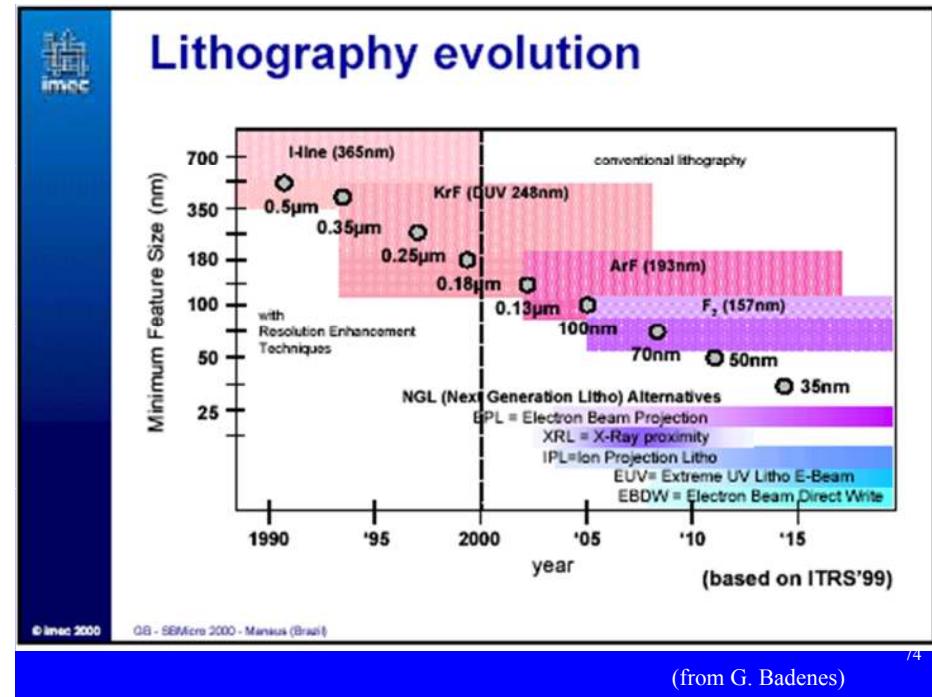
72

4 Efeitos das limitações e “mapa de estrada” – cont.



73

Lithography evolution



(from G. Badenes)

74

An example of Real Scaling

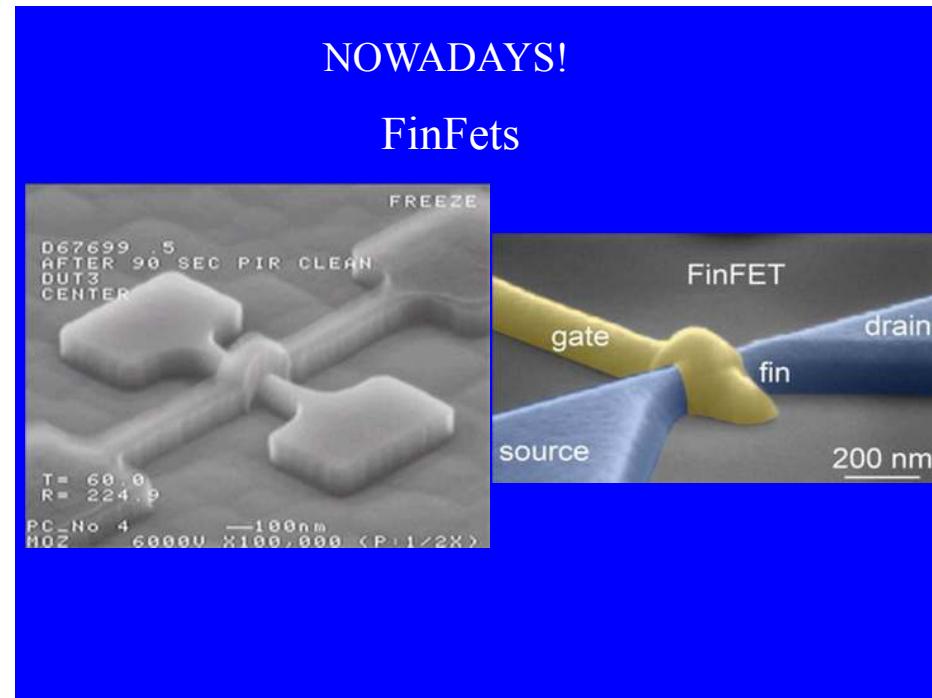
	1972	2001	Ratio	Limiting factor
Gate length	6 µm	0.1 µm	1/60	
Gate oxide	100 nm	2 nm	1/50	Gate leakage TDDB
Junction depth	700 nm	35 nm	1/20	Resistance
Supply voltage	5 V	1.2 V	1/4	V _{th} , Power
Threshold voltage	0.8 V	0.3 V	1/2.6	Subthreshold leakage
Electric field (Vd/tox)	0.5 MVcm ⁻¹	6 MVcm ⁻¹	30	TDDDB

(from H. Iwai)

75

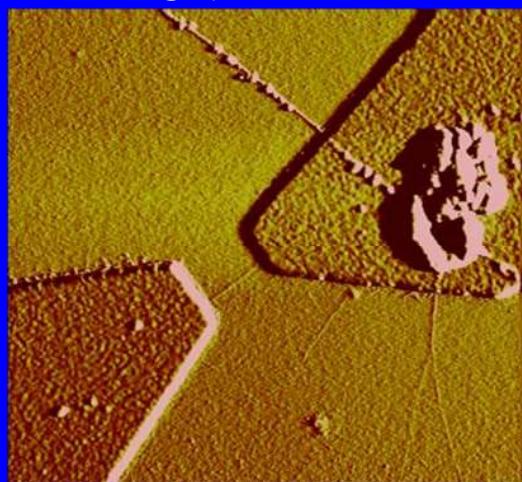
NOWADAYS!

FinFets



NOWADAYS!

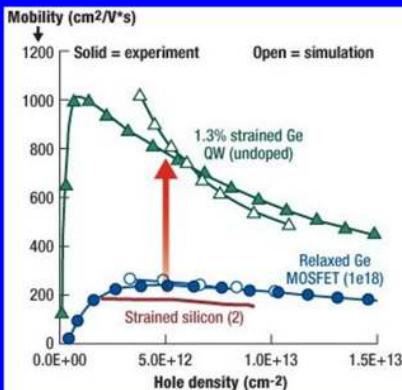
CNT FET



Carbon NanoTube (CNT) FET

NOWADAYS!

The transistor uses HfO_2/TiN high- k /metal gate, self-aligned boron implanted source and drains, W/Ti contacts, 1.3% strained Ge QW channel and a phosphorus isolation layer



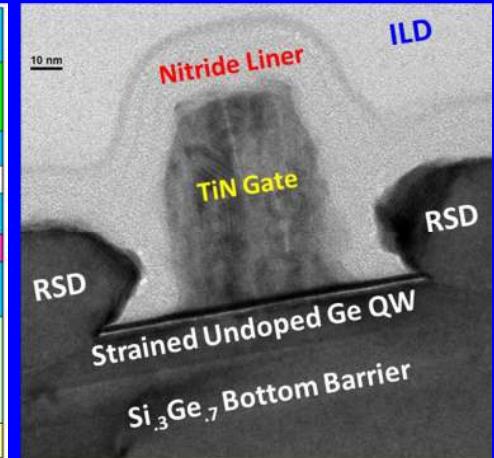
http://www.electroiq.com/articles/sst/2010/12/intel-fabs_highest.html

NOWADAYS!

Intel announced a record-breaking quantum well field effect transistor (QWFET); a 35nm gate length device capable of $0.28\text{mA}/\mu\text{m}$ drive current and peak transconductance of $1350\mu\text{S}/\mu\text{m}$. These QWFETs used InGaAs as the quantum well channel material. High-mobility germanium QWFET that achieves the highest mobility ($770\text{ cm}^2/\text{Vsec}$) with ultrathin oxide thickness (14.5\AA) for low-power CMOS applications.

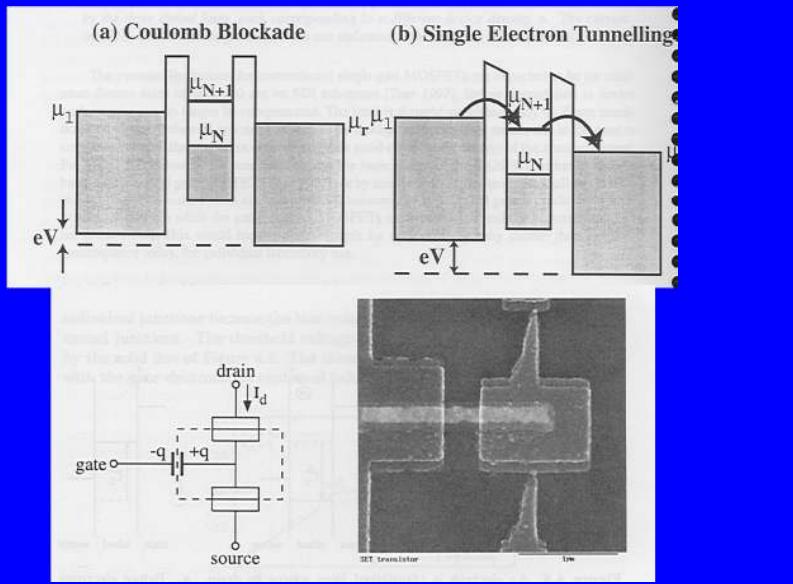
http://www.electroiq.com/articles/sst/2010/12/intel-fabs_highest.html

NOWADAYS!



http://www.electroiq.com/articles/sst/2010/12/intel-fabs_highest.html

NOWADAYS! SET



Limites Teóricos

Limite das flutuações térmicas: $\Delta\varepsilon > 4kT$. Qualquer informação deve conter no mínimo $4kT$.

$$\Delta V = 4kT/q$$

Sabe-se que o tempo de atraso mínimo :

$$\tau_{\min} = \frac{L_{\min}}{v_{\max}} + \frac{\Delta V / EC}{v_{\max}}$$

Para o silício :

$$Ec = 3 \times 10^5 \text{ V/cm}^3, v_{\max} = 1 \times 10^7 \text{ cm/s}, L_{\min} = 10 \text{ nm } (?)$$

$$\therefore \tau = 3 \times 10^{-14} \text{ s ou } \sim 5 \text{ THz}$$